

**UNIVERSIDADE DO ESTADO DO ESTADO DE SANTA CATARINA –UDESC  
CENTRO DE CIÊNCIAS TECNOLÓGICAS –CCT  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE  
PÓS-GRADUAÇÃO EM AUTOMAÇÃO INDUSTRIAL – PGAI**

**Formação: Mestrado em Automação Industrial**

**DISSERTAÇÃO DE MESTRADO OBTIDA POR  
Julio Cesar Raycik**

**PROJETO DE UM RETIFICADOR DE CORRENTE REVERSÍVEL  
COM ALTO FATOR DE POTÊNCIA E CONTROLE DIGITAL  
IMPLEMENTADO EM DSP**

**Apresentado em 18/02/2005 perante a Banca Examinadora:**

**Prof. Dr. Marcello Mezaroba – Orientador – CCT/UDESC**

**Prof. Dr. Samir Ahmad Mussa – UNIJUI**

**Prof. Dr. Antônio Heronaldo de Sousa – Orientador – CCT/UDESC**

**Prof. Dr. Alcindo do Prado Jr. – CCT/UDESC**

**UNIVERSIDADE DO ESTADO DO ESTADO DE SANTA CATARINA –UDESC  
CENTRO DE CIÊNCIAS TECNOLÓGICAS –CCT  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE  
PÓS-GRADUAÇÃO EM AUTOMAÇÃO INDUSTRIAL – PGAI**

**DISSERTAÇÃO DE MESTRADO**

**Mestrando: Julio Cesar Raycik, Eng.**

**Orientador: Marcello Mezaroba, Dr. Eng.**

**PROJETO DE UM RETIFICADOR DE CORRENTE REVERSÍVEL  
COM ALTO FATOR DE POTÊNCIA E CONTROLE DIGITAL  
IMPLEMENTADO EM DSP**

Dissertação submetida à Universidade  
do Estado de Santa Catarina como parte  
dos requisitos para a obtenção do grau  
de Mestre em Automação Industrial.

Joinville

2005

## FICHA CATALOGRÁFICA

<b>NOME:</b> RAYCIK, Julio Cesar	
<b>DATA DA DEFESA:</b> 18/02/2005	
<b>LOCAL:</b> Joinville, CCT/UDESC	
<b>NÍVEL:</b> Mestrado	<b>Número de Ordem:</b> 18 -CCT/UDESC
<b>FORMAÇÃO:</b> Automação Industrial	
<b>ÁREA DE CONCENTRAÇÃO:</b> Controle e Eletrônica de Potência	
<b>TÍTULO:</b> Projeto de um Retificador de Corrente Reversível com Alto Fator de Potência e Controle Digital Implementado em DSP.	
<b>PALAVRAS-CHAVES:</b> Controlador DSP, Conversor, Ponte Completa, Retificador, Controle Digital, Eletrônica de Potência.	
<b>NÚMERO DE PÁGINAS:</b> xxiii,134 p.	
<b>CENTRO/UNIVERSIDADE:</b> Centro de Ciências Tecnológicas da UDESC.	
<b>PROGRAMA:</b> Pós-Graduação em Automação Industrial – PGAI	
<b>CADASTRO CAPES:</b>	
<b>ORIENTADOR:</b> Dr. Marcello Mezaroba	
<b>PRESIDENTE DA BANCA:</b> Dr. Marcello Mezaroba	
<b>MEMBROS DA BANCA:</b>	
Dr. Samir Ahmad Mussa	
Dr. Antônio Heronaldo de Sousa	
Dr. Alcindo do Prado Jr.	

## DEDICATÓRIA

*À minha amada Catarina  
e aos meus pais, Narcizo e  
Mercedes.*

## AGRADECIMENTOS

A Deus, pelas oportunidades e bênçãos derramadas em minha vida.

Ao Professor Marcello Mezaroba pela orientação e admirável sabedoria, pela enorme motivação, pela ajuda incomparável, pela amizade e pelo privilegio de seus ensinamentos neste um ano e meio de trabalho.

A Banca Examinadora pelas contribuições e correções.

Ao Professor Alessandro Batschauer também pela ajuda e ensinamentos valiosos e pela transmissão de seus conhecimentos na área da Eletrônica de Potência.

Ao grande amigo, Mestrando Valmor Adami Jr. pelos grandes conhecimentos de programação e pela ajuda incansável e por estar sempre ao meu lado.

Aos membros da banca examinadora pelas revisões, correções e sugestões.

Ao colega Eng. Fabiano Cardoso pela ajuda e companheirismo.

Ao Engenheiro Roberto Andrisch pelos esclarecimentos e auxílios.

Aos brilhantes Professores do Programa de Mestrado da Universidade do Estado de Santa Catarina-Joinville, em especial aos Professores Alcindo Prado Junior e Antônio Heronaldo de Sousa, pela infinidável carga de conhecimento.

Aos demais estimáveis colegas do mestrado e graduação que me ajudaram nesta caminhada.

Ao Seu Ernesto Warnecke e Dona Denise Aidar Warnecke pela ajuda e apoio.

A Catarina pela paciência, apoio e amor.

A Ciência pela inspiração, orientação e esclarecimento.

Resumo da Dissertação apresentado à UDESC como parte dos requisitos necessários para obtenção do grau de Mestre em Automação Industrial.

**PROJETO DE UM RETIFICADOR DE CORRENTE REVERSÍVEL COM ALTO FATOR DE POTÊNCIA E CONTROLE DIGITAL IMPLEMENTADO EM DSP**

**Julio Cesar Raycik**

Fevereiro de 2005

Orientador: Marcello Mezaroba, Dr.

Área de Concentração: Eletrônica de Potência.

Palavras-chaves: Controlador DSP, Conversor, Ponte Completa, Retificador, Controle Digital, Eletrônica de Potência.

Número de Páginas: xxiii, 134

**RESUMO**

O principal objetivo deste trabalho é o projeto e a montagem de um retificador de corrente reversível com alto fator de potência, através do controle de corrente utilizando o método dos valores instantâneos. O controle será feito através de um Processador Digital de Sinais (DSP). Apesar de vários estudos já terem sido realizados nesta área, este campo é recente entre os pesquisadores da UDESC, por isso a contribuição deste trabalho está no domínio da tecnologia do controle digital para emprego em trabalhos futuros. É realizado neste o estudo qualitativo e quantitativo do conversor, onde é apresentada a estrutura do conversor, o princípio de funcionamento nos diversos quadrantes de operação e a definição das principais equações que regem a dinâmica do conversor. O trabalho também apresenta o projeto do circuito de potência e do compensador digital. Por fim traz os resultados obtidos através de simulações, o estudo do processador digital de sinais e a estrutura montada para os testes práticos das leis de controles, além dos resultados práticos obtidos.

Abstract of Dissertation presented to UDESC as a partial fulfillment of requirements for the degree of Master in Industrial Automation.

**DESIGN OF ONE CURRENTE REVESIBLE RETIFIER WITH HIGH POWER  
FACTOR AND DIGITAL CONTROL IMPLEMENTED IN DSP**

**Julio Cesar Raycik**

2005, February

Advisor: Marcello Mezaroba, Dr.

Área of Concentration: Power Eletronics.

Palavras-chaves: DSP Controler, Current Retifier, Full Brigdh, Retifier, Digital Control, Power Electronic.

Number of Pages: xxiii, 134

**ABSTRACT**

The target of this work is the design and assembly of a reversible current rectifier with high power factor, by current control using the instantaneous values. The control is made by one Digital Signal Processor (DSP). Though many studies already have been made in this area, this field is recently between the UDESC's research, So, this work's contributions is in the technology upper hand of digital control to use in futures research. A qualitative and quantities study is made, where is showed the converter structure, the working principles in the almost working site and the main equation definition that are used in this converter. This work show too the power circuits and digital control design. And in the end show the results get by simulation, the digital processor study and results get though the assembled structure for practical tests of control lows implement in laboratory.

## ÍNDICE

<b>FICHA CATALOGRÁFICA .....</b>	<b>III</b>
<b>DEDICATÓRIA .....</b>	<b>IV</b>
<b>AGRADECIMENTOS.....</b>	<b>V</b>
<b>RESUMO .....</b>	<b>VI</b>
<b>ABSTRACT .....</b>	<b>VII</b>

### CAPITULO 1

<b>1 ESTUDO QUALITATIVO DO CONVERSOR.....</b>	<b>1</b>
1.1 A Estrutura do Conversor.....	1
1.2 Princípios de Funcionamento.....	2
1.3 Etapas de Funcionamento como Retificador.....	5
1.3.1 Funcionamento no 1º Quadrante .....	5
1.3.2 Funcionamento no 3º Quadrante .....	8
1.4 Conclusões.....	12

### CAPITULO 2

<b>2 ANALISE QUANTITATIVA DO CONVERSOR.....</b>	<b>13</b>
2.1 Análise Quantitativa .....	13
2.2 Definição das Principais Equações .....	15
2.3 Esforços nos Componentes.....	18
2.3.1 Equações para Esforços das Chaves .....	18
2.3.2 Equações para Esforços do Diodo.....	20
2.3.3 Equações para Cálculo do Capacitor .....	22
2.3.4 Equações para o Calculo do Indutor .....	25
2.4 Definição das Equações para o Cálculo Térmico.....	28

2.5	<b>Cálculo Térmico .....</b>	<b>31</b>
2.6	<b>Conclusões.....</b>	<b>32</b>
<b>CAPITULO 3</b>		
<b>3</b>	<b>PROJETO DO CIRCUITO DE POTÊNCIA.....</b>	<b>33</b>
3.1	<b>Definição dos Parâmetros para o Projeto.....</b>	<b>33</b>
3.1.1	<b>Cálculos das Correntes.....</b>	<b>34</b>
3.1.2	<b>Cálculo do Indutor .....</b>	<b>34</b>
3.1.2.1	Cálculo da indutância: .....	34
3.1.2.2	Cálculo do indutor: .....	34
3.1.3	<b>Cálculo do Capacitor de Saída .....</b>	<b>36</b>
3.1.4	<b>Esforços nos Transistores .....</b>	<b>36</b>
3.1.5	<b>Esforços dos Diodos .....</b>	<b>37</b>
3.2	<b>Cálculo Térmico .....</b>	<b>39</b>
3.2.1	<b>Perdas por Condução no Transistor.....</b>	<b>39</b>
3.2.2	<b>Perdas na Entrada no Transistor .....</b>	<b>39</b>
3.2.3	<b>Perdas no Bloqueio o Transistor .....</b>	<b>39</b>
3.2.4	<b>Perda Total para o Transistor.....</b>	<b>40</b>
3.2.5	<b>Perdas por Condução no Diodo.....</b>	<b>40</b>
3.2.6	<b>Perdas por Entrada em comutação no Diodo .....</b>	<b>40</b>
3.2.7	<b>Perdas Totais no Diodo .....</b>	<b>40</b>
3.2.8	<b>Perdas no Transistor e Didos.....</b>	<b>41</b>
3.3	<b>Cálculo Térmico .....</b>	<b>41</b>
3.3.1	<b>Cálculo da temperatura de cápsula para o TRANSISTOR .....</b>	<b>41</b>
3.3.2	<b>Cálculo da temperatura de cápsula para o DIODO .....</b>	<b>41</b>
3.3.3	<b>Cálculo da Temperatura do Dissipador. ....</b>	<b>42</b>
3.3.4	<b>Especificação da Resistência Dissipadora Ambiente Máxima (<math>R_{da(th)}</math>). 42</b>	
3.3.5	<b>Escolha do Dissipador .....</b>	<b>42</b>
3.4	<b>Conclusões.....</b>	<b>42</b>

## CAPITULO 4

<b>4 PROJETO DO SISTEMA DE COMANDO E CONTROLE .....</b>	<b>44</b>
<b>4.1 Introdução.....</b>	<b>44</b>
<b>4.2 Visão Geral do Diagrama de Controle.....</b>	<b>44</b>
<b>4.2.1 Malha de corrente.....</b>	<b>44</b>
<b>4.2.2 Malha de Tensão.....</b>	<b>46</b>
<b>4.3 Diagrama de Blocos de Controle Usando DSP.....</b>	<b>48</b>
<b>4.4 Funções de Transferência do Retificador .....</b>	<b>49</b>
<b>4.4.1 Função de Transferência para Controle de Corrente.....</b>	<b>50</b>
<b>4.4.2 Função de Transferência para Controle de Tensão .....</b>	<b>52</b>
<b>4.5 Função de Transferência do filtro anti-aliasing.....</b>	<b>53</b>
<b>4.6 Função de Transferência do Modulador PWM.....</b>	<b>55</b>
<b>4.7 Função de Transferência do Conversor A/D.....</b>	<b>57</b>
<b>4.8 Função de Transferência do Sensor de Corrente .....</b>	<b>57</b>
<b>4.9 Metodologia de projeto para controladores digitais.....</b>	<b>59</b>
<b>4.9.1 Transformações Bilineares .....</b>	<b>59</b>
<b>4.9.2 Transformada z e w.....</b>	<b>60</b>
<b>4.9.3 Distorções resultantes da digitalização .....</b>	<b>62</b>
<b>4.10 Procedimento de Projeto dos Compensadores Digitais .....</b>	<b>64</b>
<b>4.11 Projeto do Compensador de Corrente.....</b>	<b>65</b>
<b>4.11.1 Função de Transferência no Plano s .....</b>	<b>65</b>
<b>4.11.2 Função de Transferência no Plano z.....</b>	<b>66</b>
<b>4.11.3 Função de Transferência no Plano w.....</b>	<b>67</b>
<b>4.11.4 Função de Transferência de Malha Aberta (FTMAi).....</b>	<b>68</b>
<b>4.11.5 Análise da resposta em freqüência da FTMAi.....</b>	<b>69</b>
<b>4.11.6 Projeto do Compensador de Corrente.....</b>	<b>72</b>
<b>4.11.7 Analise da Influência do Compensador.....</b>	<b>73</b>
<b>4.11.8 Transformada Inversa do Compensador .....</b>	<b>74</b>
<b>4.11.9 Equações de Diferenças para Compensador de Corrente .....</b>	<b>74</b>
<b>4.12 Projeto do Controlador de Tensão.....</b>	<b>75</b>

4.12.1	Função de Transferência no Plano s .....	75
4.12.2	Função de Transferência no Plano z.....	76
4.12.3	Função de Transferência no Plano w.....	77
4.12.4	Função de Transferência no Plano de Malha Aberta (FTMAv).....	78
4.12.5	Ganho do Sensor de Corrente .....	79
4.12.6	Análise da resposta em freqüência da FTMAv.....	79
4.12.7	Projeto do Compensador de Tensão .....	82
4.12.8	Analise da Influência do Compensador.....	83
4.12.9	Transformada Inversa do Compensador .....	84
4.12.10	Equações de Diferenças para Compensador de Corrente .....	85
4.13	Conclusões .....	85

## CAPITULO 5

5	SIMULAÇÃO NÚMERICA .....	86
5.1	Introdução.....	86
5.2	Ferramenta para Simulação .....	86
5.3	Funcionamento como Retificador .....	89
5.4	Regeneração.....	91
5.5	Conclusões.....	94

## CAPITULO 6

6	PROCESSADOR DIGITAL DE SINAIS - DSP .....	95
6.1	Introdução.....	95
6.2	A Arquitetura do Processador.....	95
6.3	TMS320LF24xx.....	97
6.4	Conversor Analógico para Digital de 10 Bits (ADC).....	101
6.5	Event Manager .....	102
6.6	Interrupção .....	104
6.7	Representação Numérica em DSP .....	106
6.7.1	Processadores de Ponto Flutuante .....	106

6.7.2	Processadores de Ponto Fixo .....	107
6.7.3	Implementação do Programa .....	108
6.8	Conclusões.....	109
<b>CAPITULO 7</b>		
7	<b>RESULTADOS EXPERIMENTAIS.....</b>	110
7.1	Introdução.....	110
7.2	Estrutura de Potência .....	110
7.3	Placa de Condicionamento de Sinais.....	111
7.4	Placa de Comando.....	113
7.5	Placa de Controle .....	116
7.6	Protótipo Final.....	116
7.7	Resultados Experimentais .....	117
7.7.1	Tensão e Corrente Drenada pela Rede.....	117
7.7.2	Tensão e Corrente Drenada pela Rede.....	118
7.7.3	Tensão e Corrente na Carga.....	118
7.7.4	Tensão na Carga e Corrente Drenada pela Rede .....	119
7.7.5	Ensaio de Mudança de Carga.....	119
7.7.6	Regeneração de Energia.....	120
7.8	Conclusões.....	122
8	<b>CONCLUSÕES GERAIS .....</b>	123
9	<b>BIBLIOGRAFIA .....</b>	124
10	<b>ANEXO I – Programa do DSP .....</b>	126
11	<b>ANEXO II – Layout da Placas .....</b>	131
11.1	Placa de Aquisição .....	131
11.2	Placa dos Drives de Comando .....	131
11.3	Placa de Mãe para Drives de Comando .....	132
12	<b>ANEXO II – Listas de Componentes .....</b>	133

## ÍNDICE DE FIGURAS

### CAPÍTULO 1

<b>Figura 1-1 Conversor reversível de corrente monofásico.</b> .....	<b>1</b>
<b>Figura 1-2 Conversor reversível de corrente monofásico.</b> .....	<b>2</b>
<b>Figura 1-3 Estrutura representativa de um fonte de corrente .....</b>	<b>2</b>
<b>Figura 1-4 Referência adotada para tensão e corrente positivas.....</b>	<b>3</b>
<b>Figura 1-5 Representação dos quadrantes de operação.....</b>	<b>3</b>
<b>Figura 1-6 Comportamento das formas de onda para Retificador e Inversor.....</b>	<b>4</b>
<b>Figura 1-7 1<sup>a</sup> etapa de operação para 1º quadrante. ....</b>	<b>5</b>
<b>Figura 1-8 2<sup>a</sup> etapa de operação para 1º quadrante. ....</b>	<b>6</b>
<b>Figura 1-9 Tensão nas chaves e corrente e tensão no indutor de entrada (1º quadrante).....</b>	<b>8</b>
<b>Figura 1-10 1<sup>a</sup> etapa de operação para 3º quadrante. ....</b>	<b>9</b>
<b>Figura 1-11 2<sup>a</sup> etapa de operação para 3º quadrante. ....</b>	<b>9</b>
<b>Figura 1-12 Tensão nas chaves e corrente e tensão no indutor de entrada (3º quadrante).....</b>	<b>11</b>

### CAPÍTULO 2

<b>Figura 2-1 Processo de geração de sinal PWM. ....</b>	<b>14</b>
<b>Figura 2-2 Variação da razão cíclica em função de <math>\omega t</math> .....</b>	<b>16</b>
<b>Figura 2-3 Variação da Tensão entre os pontos <i>a</i> e <i>b</i> em função da razão cíclica. ....</b>	<b>17</b>
<b>Figura 2-4 Etapas do funcionamento para um período de chaveamento no 1º quadrante. ....</b>	<b>22</b>
<b>Figura 2-5 Período de chaveamento para o 1º quadrante.....</b>	<b>22</b>
<b>Figura 2-6 Corrente Media Instantânea no Capacitor.....</b>	<b>24</b>
<b>Figura 2-7 1<sup>a</sup> etapa de operação para 1º quadrante. ....</b>	<b>25</b>
<b>Figura 2-8 Ondulação de corrente parametrizada em função de <math>\omega t</math> .....</b>	<b>27</b>
<b>Figura 2-9 Ondulação de corrente parametrizada para um período de funcionamento da rede.....</b>	<b>27</b>

### CAPÍTULO 3

<b>Figura 3-1 Variação da corrente no transistor em função de <math>\omega t</math> .....</b>	<b>37</b>
<b>Figura 3-2 Variação da corrente no diodo em função de <math>wt</math>.....</b>	<b>38</b>
<b>Figura 4-1 Diagrama de blocos do controle do Conversor(Malha de Corrente). ....</b>	<b>45</b>
<b>Figura 4-2 Diagrama de blocos do controle da malha de corrente. ....</b>	<b>46</b>
<b>Figura 4-3 Diagrama de blocos do controle do Conversor(Malha de Tensão).....</b>	<b>46</b>
<b>Figura 4-4 Diagrama de blocos do controle da malha de Tensão.....</b>	<b>47</b>
<b>Figura 4-5 Diagrama de blocos do controle da malha de Tensão.....</b>	<b>48</b>
<b>Figura 4-6 Diagrama de blocos do controle de um Conversor de Corrente.....</b>	<b>49</b>
<b>Figura 4-7 Esquema do Conversor Reversível em corrente. ....</b>	<b>50</b>
<b>Figura 4-8 Modelo para grandes sinais. ....</b>	<b>50</b>

<b>Figura 4-9</b> Circuito simplificado do conversor .....	52
<b>Figura 4-10</b> Efeito <i>anti-aliasing</i> .....	53
<b>Figura 4-11</b> Diagrama esquemático do filtro de <i>anti-aliasing</i> .....	54
<b>Figura 4-12</b> Forma de onda para geração do PWM.....	55
<b>Figura 4-13</b> Valor da onda triangular sendo incrementada a cada período do clock. ....	56
<b>Figura 4-14</b> Valor de $V_c$ sendo atualizado a cada período $T_{pwm}$ .....	56
<b>Figura 4-15</b> Diagrama esquemático do Sensor de Corrente .....	58
<b>Figura 4-16</b> Relação entre corrente de fundo de escala e tensão de entrada.....	58
<b>Figura 4-17</b> Diagrama de blocos do processo no domínio de $s$ e convertido para o domínio de $z$ .....	60
<b>Figura 4-18</b> Mapeamento usando a transformação bilinear.....	61
<b>Figura 4-19</b> Distorção na freqüência devido ao mapeamento usando a transformação bilinear, com $T_a=1ms$ .....	62
<b>Figura 4-20</b> Distorção menor para freqüência pequenas, com $T_a=1ms$ .....	63
<b>Figura 4-21</b> Distorção para freqüência no plano $s$ até 10kHz, com $T_a=1ms$ .....	63
<b>Figura 4-22</b> Distorção para freqüência no plano $s$ até 50kHz, com $T_a=1us$ .....	64
<b>Figura 4-23</b> Malha de Controle da corrente com funções de transferência. ....	66
<b>Figura 4-24</b> Malha de Controle da Corrente Simplificada.....	67
<b>Figura 4-25</b> Malha de Controle da Corrente Simplificada .....	68
<b>Figura 4-26</b> Resposta em freqüência para a planta de corrente continua e discreta.....	71
<b>Figura 4-27</b> Resposta da $FTMA_i$ com o controlador de corrente .....	73
<b>Figura 4-28</b> Representação do bloco do controlador de corrente isoladamente .....	74
<b>Figura 4-29</b> Malha de controle de tensão .....	75
<b>Figura 4-30</b> Malha de controle de tensão simplificada.....	76
<b>Figura 4-31</b> Malha de Controle de Tensão Simplificada.....	78
<b>Figura 4-32</b> Resposta em freqüência para a planta de tensão contínua e discreta. ....	82
<b>Figura 4-33</b> Resposta da $FTMA_i$ com o controlador de corrente .....	84
<b>Figura 4-34</b> Representação do bloco do controlador de tensão isoladamente.....	85

## CAPÍTULO 5

<b>Figura 5-1</b> Diagrama de blocos genérico .....	86
<b>Figura 5-2</b> Diagrama de blocos do controle do conversor usado para simulação.....	87
<b>Figura 5-3</b> Diagrama da malha de tensão.....	87
<b>Figura 5-4</b> Diagrama de blocos utilizados na malha de corrente. ....	88
<b>Figura 5-5</b> Diagrama de blocos para geração da onda PWM.....	88
<b>Figura 5-6</b> Estrutura de Potência.....	89
<b>Figura 5-7</b> Formato Senoidal Imposto à Corrente de Entrada. ....	89
<b>Figura 5-8</b> Comparação entre a Corrente de Referência e a Corrente de Entrada.....	90
<b>Figura 5-9</b> Fase entre Tensão e Corrente de Entrada. ....	90
<b>Figura 5-10</b> Tensão de Saída. ....	91

<b>Figura 5-11</b> Estrutura para trabalhar com regeneração. ....	92
<b>Figura 5-12</b> Efeito na corrente de entrada quando na regeneração de energia. ....	92
<b>Figura 5-13</b> Corrente de entrada e corrente de referência dentro do DSP. ....	93
<b>Figura 5-14</b> Comparação entre Tensão de Referência e Tensão de Entrada dentro do DSP. ....	93
<b>Figura 5-15</b> Comparação entre a fase da Tensão e Corrente de Entrada. ....	94

## CAPÍTULO 6

<b>Figura 6-1</b> Arquitetura esquemática do DSP TMS320LF24xx. ....	98
<b>Figura 6-2</b> Arquitetura esquemática do módulo ADC. ....	102
<b>Figura 6-3</b> Arquitetura esquemática do EVA ....	103
<b>Figura 6-4</b> Esquema de interrupção ....	105

## CAPÍTULO 7

<b>Figura 7-1</b> Diagrama esquemático do circuito de potência do conversor.....	110
<b>Figura 7-2</b> Aspecto final do circuito de potência. ....	111
<b>Figura 7-3</b> Diagrama esquemático da fonte de alimentação da placa de aquisição. ....	111
<b>Figura 7-4</b> Diagrama esquemático do circuito de sincronismo. ....	112
<b>Figura 7-5</b> Diagrama esquemático do circuito de aquisição de corrente. ....	112
<b>Figura 7-6</b> Diagrama esquemático do circuito de aquisição de tensão de saída.....	113
<b>Figura 7-7</b> Aspecto final da placa de aquisição de dados. ....	113
<b>Figura 7-8</b> Diagrama esquemático da placa mãe.....	114
<b>Figura 7-9</b> Diagrama esquemático da placa mãe.....	114
<b>Figura 7-10</b> Característica de condução do IGBT IRGP35B60PD (Vce x Ic). Dados importantes para o dimensionamento da proteção. ....	115
<b>Figura 7-11</b> Aspecto final da placa de comando. ....	116
<b>Figura 7-12</b> Aspecto final da placa de controle.....	116
<b>Figura 7-13</b> Aspecto final do conversor com todos os módulos. ....	117
<b>Figura 7-14</b> Formas de ondas de tensão e corrente drenada pela rede.....	117
<b>Figura 7-15</b> Formas de ondas de corrente drenada pela rede e tensão de saída.....	118
<b>Figura 7-16</b> Formas de ondas de corrente e tensão de saída do conversor.....	118
<b>Figura 7-17</b> (a) controle não atuando sobre o conversor e (b) controle atuando sobre o conversor. ....	119
<b>Figura 7-18</b> (a) Degrau de 25% da aumento de carga. (b) Degrau de 50% de aumento de carga .....	120
<b>Figura 7-19</b> Passagem do conversor para o modo de regeneração de energia. ....	120

## ANEXO II

<b>Figura 11-1- <i>Layout</i> da Placa de Aquisição de Dados.....</b>	131
<b>Figura 11-2 <i>Layout</i> da Placa de Aquisição do <i>Drives</i> de Comando .....</b>	131
<b>Figura 11-3 <i>Layout</i> da Placa Mão para os <i>Driver</i> de Comando e interfaces.....</b>	132

## SIMBOLOGIA

### 1. Acrônimos e Abreviaturas

<b>Símbolo</b>	<b>Significado</b>
CA	Corrente Alterna
CC	Corrente Contínua
CI	Círculo Integrado
IGBT	<i>Insulated Gate Bipolar Transistor,</i>
PWM	<i>Pulse With Modulation</i>
DSP	<i>Digital Signal Processor</i>
ADC	<i>Analogic to Digital Converter</i>
FTMA	Função de Transferência de Malha Aberta
CMOS	<i>Complementary Metal Oxide Semiconductor,</i>
ROM	<i>Read Only Memory</i>
DARAM	<i>Dual Access Random Access Memory</i>
SARAM	<i>Single Access Random Access Memory</i>
THD	<i>Total Harmonic Distortion, Distorção Harmônica Total</i>
EVA	<i>Event ManagerA</i>
QEP	<i>Quadrature Encoder Pulse</i>

### 2. Símbolos de Unidades de Grandezas Físicas

<b>Símbolo</b>	<b>Significado</b>
$\Omega$	Ohm
A	Ampére
V	Volt
F	Faraday
H	Henry
Hz	Hertz

W	Watt
VA	Volt-Ampére
VAR	Volt-Ampére Reativo
°	Grau trigonométrico

### 3. Símbolos Usados em Expressões Matemáticas

<b>Símbolo</b>	<b>Significado</b>	<b>Unidade</b>
$V_o$	Tensão de Saída do Conversor	V
$R_o$	Resistência de Carga	$\Omega$
$C_o$	Capacitância de Carga	F
$V_{in}$	Tensão de Entrada do Conversor	V
$P_{in}$	Potência de Entrada do Conversor	W
$I_{in}$	Corrente de Entrada do Conversor	A
$V_{Lin}$	Tensão no Indutor de Entrada	V
$\Delta I_{Lin}$	Variação de Corrente no Indutor de Entrada	A
$L_{in}$	Indutor de Entrada	H
$\Delta V_o$	Variação de Corrente na Saída do Conversor	V
$\Delta t$	Intervalo de Tempo	s
$f_s$	Freqüência de Chaveamento	Hz
$T_s$	Período de Chaveamento	s
$ma$	Índice de Modulação	
$V_{pab}$	Tensão de Pico entre os Pontos a e b	V
$V_{pin}$	Tensão de Pico de Rede Elétrica	V
$D$	Razão Cíclica	
$\eta$	Rendimento do Conversor	
$I_{Tmi}$	Corrente no Transistor Média Instantânea	A
$I_{Tmed}$	Corrente no Transistor Média	A
$I_{Tefi}$	Corrente no Transistor Eficaz Instantânea	A
$I_{Tef}$	Corrente no Transistor Eficaz	A

$I_{Dmi}$	Corrente no Diodo Média Instantânea	A
$I_{Dmed}$	Corrente no Diodo Média	A
$I_{Defi}$	Corrente no Diodo Eficaz Instantânea	A
$I_{Def}$	Corrente no Diodo Eficaz	A
$V_{Tpico}$	Tensão no Transistor de Pico	V
$V_{Dpico}$	Tensão no Diodo de Pico	V
$I_{Cmi}$	Corrente no Capacitor Média Instantânea	A
$I_{Cmed}$	Corrente no Capacitor Média	A
$I_{Cefi}$	Corrente no Capacitor Eficaz Instantânea	A
$I_{Cef}$	Corrente no Capacitor Eficaz	A
$A_e$	Área da Perna Central	$\text{cm}^2$
$A_w$	Área da Janela	$\text{cm}^2$
$A_e \cdot A_w$	Produtos das Áreas	$\text{cm}^4$
$\ell \text{ m}$	Comprimento do Caminho Magnético	cm
$N$	Número de Espira	
$Nfp$	Número de Fios por Voltas	
$\mu o$	Permeabilidade Magnética	
$\rho$	Densidade Volumétrica	
$J_{max}$	Máxima densidade de Corrente	$\text{A}/\text{cm}^2$
$B_{max}$	Máxima densidade de Fluxo	$\text{A}/\text{cm}^2$
$P_{cu}$	Perda no Cobre	W
$P_{mag}$	Perda no Núcleo	W
$P_{tot}$	Perda Total	W
$V_{CEN}$	Tensão de Saturação Coletor Emissor	V
$V_{CEO}$	Tensão Limiar de Saturação Coletor Emissor	V
$I_{CN}$	Corrente Nominal de Coletor	A
$I_{CM}$	Valor Máximo da Corrente na Carga.	A
$tr$	Tempo de Subida na Entrada em Condução	s
$trr$	Tempo da Corrente de Recuperação Reversa	s
$fs$	Freqüência de Chaveamento	Hz
$Qrr$	Carga Armazenada no Diodo em Condução	C

$P_{cond}$	Perda por Condução	W
$P_{on}$	Perda na Entrada em Condução	W
$P_{off}$	Perda no Desligamento	W
$DP_{Max}$	Penetração Máxima de Corrente	cm
$P_{chave}$	Perdas na Chave	W
$P_{diodo}$	Perdas no Diodo	W
$T_{ck}$	Período do <i>Clock</i>	s
$f_{ck}$	Freqüência de <i>Clock</i>	Hz
$V_H$	Tensão de Referência Alta do ADC	V
$T_{off}$	Tempo do PWM desligado	s
$T_{PWM}$	Período do PWM	s
$K_{PWM}$	Ganho do PWM	
$K_{AD}$	Ganho do ADC	
$K_{si}$	Ganho do Sensor de Corrente	
$K_{sv}$	Ganho do Sensor de Tensão	
$K_{Hi}$	Ganho do Controlador de Corrente	
$K_{Hv}$	Ganho do Controlador de Tensão	
$K_M$	Ganho do Multiplicador	
$V_{DIG}$	Tensão de Entrada do ADC Digitalizada	
$V_{AN}$	Tensão de Entrada do ADC	V
$V_{HI}$	Tensão de Alimentação Alta do ADC	V
$V_{LO}$	Tensão de Alimentação Baixa do ADC	V
$I_p$	Corrente de Fundo de Escala do Sensor	A
$I_{pn}$	Range da Corrente a Ser Medida	
$T_a$	Período de Amostragem	s
$\nu$	Freqüência no domínio de w	rad/s
$\omega$	Freqüência no domínio de s	rad/s
$f_c$	Freqüência de cruzamento	Hz

#### 4. Subíndices

<u>Símbolo</u>	<u>Significado</u>
min	Valor Mínimo
max	Valor Máximo
med	Valor Médio
mi	Valor Médio Instantâneo
ef	Valor Eficaz
efi	Valor Eficaz Instantâneo
i	Malha de Corrente
v	Malha de Tensão

## 5. Notações Matemáticas

<u>Símbolo</u>	<u>Significado</u>
$\bar{A}$	Grandeza Parametrizada

## INTRODUÇÃO GERAL

É crescente o número de equipamentos eletro-eletrônicos e eletromecânicos que utilizam fontes de alimentação especiais, como retificadores controlados, inversores, fontes chaveadas e outras, e isto vem causando perturbações relevantes no sistema de energia elétrica, contribuindo para o desgaste do sistema, como por exemplo, através do aquecimento dos condutores pela presença de harmônicas, além do desperdício de energia.

Os principais distúrbios causados nas instalações elétricas são basicamente três:

Fator de potência baixo;

Elevada distorção harmônica;

Interferências eletromagnéticas provocada pelas harmônicas.

As companhias distribuidoras de energia do Brasil ainda não levam em conta este tipo de desperdício no momento da cobrança da energia fornecida, porém novas normas e recomendações internacionais, possivelmente, levarão as companhias a mudanças em seus métodos de avaliação e cobrança da energia que deverá considerar, entre outros, o fator de potência, a taxa de distorção harmônica total (THD) e a emissão de ruídos (EMI).

Com este novo posicionamento das companhias de energia será necessária a minimização de tais problemas, através de projetos de equipamentos que façam o controle destes efeitos, procurando a sua conseqüente redução. Muitos estudos têm sido desenvolvidos nestas áreas na busca de soluções preventivas onde o próprio equipamento já utiliza alguma técnica de redução de conteúdo harmônico ou de correção de fator de potência.

Quando se faz necessária a correção do fator de potência, da taxa de distorção de harmônica total (THD) e a da emissão de ruídos (EMI) em equipamentos que já se encontram em funcionamento e que não possuem técnicas preventivas para redução destes problemas, deve-se recorrer ao uso de técnicas corretivas. Uma solução possível seria o emprego de filtros passivos, porém, apesar destes filtros serem robustos, apresentam um volume e peso exagerados.

Outra solução que tem sido adotada com bastante êxito é a utilização de filtros ativos monofásicos de pequena e média potência paralelos aos equipamentos com problemas de distorções e baixo fator de potência.

Esta alternativa se torna ainda mais atraente quando a estrutura do filtro possui um controle feito através de processamento digital, pois este fator faz com que ocorra redução de componentes eletrônicos nas placas de comando dos conversores, e tornam estes conversores mais flexíveis, pois seu controle pode ser mudado apenas mudando o programa do controlador digital, além de diminuir o tempo de montagem do produto final, assim minimizando o número de componentes eletrônicos susceptíveis a ruídos.

Outra aplicação, do trabalho é a de melhorar o fator de potência em acionamentos de motores que utilizam inversores de freqüência, onde um retificador reversível controlado com alto fator de potência pode contribuir para a eliminação das harmônicas indesejadas. Além disso, estes retificadores possuem, nesta configuração, o efeito regenerativo de energia, o que contribui para a consequente eficiência energética dos acionamentos, pois eliminam o uso das resistências de frenagem utilizadas para dissipar a energia elétrica produzida na frenagem dos motores, ao invés de devolvê-la a rede como se faz nos retificadores reversíveis em corrente.

Partindo deste ponto, este trabalho faz um estudo do projeto de um conversor monofásico reversível em corrente, com fator de potência elevado, utilizando métodos de controle digitais, baseados no método de controle através dos Valores Médios.

Inicialmente é feito, através do Capítulo I, o estudo qualitativo do conversor, onde é apresentada a estrutura do conversor, o princípio geral de funcionamento nos diversos quadrantes de operação.

Logo em seguida, no Capítulo II, é feita a análise quantitativa do conversor através da definição das principais equações, que serão utilizadas na implementação do controle e na especificação dos componentes.

Então, no Capítulo III, são utilizadas as equações estabelecidas no capítulo anterior para projetar adequadamente o circuito de potência para definir os parâmetros de projeto que caracterizam o conversor.

No Capítulo IV, é feito um estudo do projeto do compensador digital para o conversor. Neste estudo será utilizado o método de *Controle por Valores Médios*, porém a ênfase aqui será dada à aplicação do uso dos compensadores usando a técnica digital.

No Capítulo V são apresentados os resultados obtidos através de simulações utilizando o MATLAB® a fim de averiguar a validade das leis de controle projetadas no capítulo anterior.

No Capítulo VI é feito um estudo do processador digital de sinais, DSP TMS320LF2402 que será utilizado para implementação do projeto, procurando detalhar a questão da representação numérica de uma grandeza tanto no formato de ponto fixo, quanto no formato de ponto flutuante, e também da utilização de periféricos.

Por fim, no Capítulo VII, será apresentada a estrutura montada para os testes práticos das leis de controles e o resultados obtidos.

Após este último capítulo são apresentadas as conclusões gerais e anexos.

# CAPÍTULO 1

## 1 ESTUDO QUALITATIVO DO CONVERSOR

Neste capítulo é feito um estudo do conversor de corrente reversível monofásico. Este conversor é utilizado comumente em circuitos de correção ativa de fator de potência que necessitam de regeneração de energia proveniente da frenagem de motores, regulação da tensão CC do barramento. Também são usados em outras aplicações, como filtros ativos, condicionadores de sinal, recicladores de energia, co-geração, dentre outras.

Uma característica deste retificador é o comportamento de uma fonte de corrente no estágio de entrada, ao invés da fonte de tensão presente na maioria dos retificadores.

### 1.1 A Estrutura do Conversor

A estrutura do conversor a ser estudada é a mostrada na figura 1-1, a qual é conectada a rede através de um indutor  $L_{in}$ . O lado CC do conversor é conectado a um capacitor de filtragem  $C_o$ .

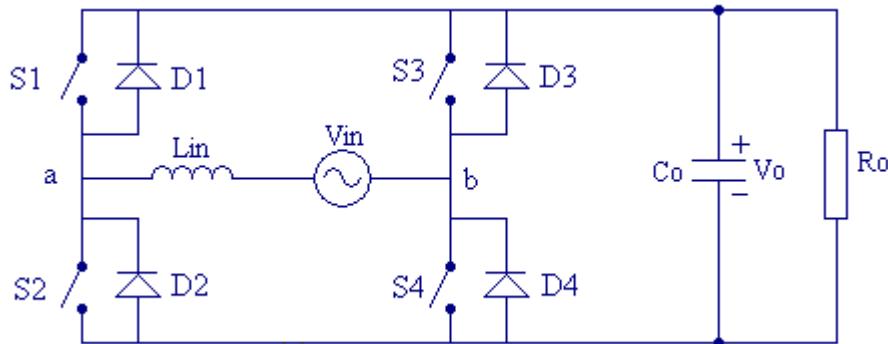


Figura 1-1 Conversor reversível de corrente monofásico.

Este circuito pode funcionar também com inversor. Isto ocorre quando a estrutura trabalha com um fluxo de potência da fonte  $V_o$  (CC) para a fonte  $V_{in}$  (CA). O circuito funciona dessa maneira nos períodos de frenagem do motor, possibilitando desse modo que a energia seja devolvida para a rede de alimentação.

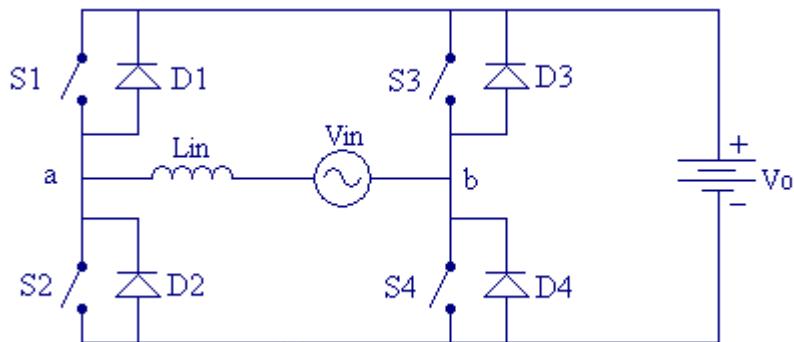
De uma maneira geral, o enfoque deste projeto será estabelecido para o funcionamento com retificador, onde o fluxo de potência ocorre da fonte  $V_{in}$  (CA) para a fonte  $V_o$  (CC), que caracteriza o barramento de corrente contínua.

É importante salientar que a fonte  $V_o$  é formada pela configuração paralela capacitor-resistor, a qual origina uma fonte CC, como pode ser visto através da figura 1-1.

## 1.2 Princípios de Funcionamento

Nesta seção são analisadas as características de funcionamento do conversor, bem como seus principais quadrantes de operação.

Devido a simetria deste conversor será analisado apenas meio período da rede, e como a tensão na saída pode ser considerada constante, o capacitor da saída e a carga podem ser substituídos por uma fonte ideal de tensão, para simplificar a análise, como mostrado na figura 1-2.



**Figura 1-2 Conversor reversível de corrente monofásico.**

Além disso, deve ser reforçado que fonte de tensão associada com uma indutância em série comporta-se com uma fonte de corrente, com mostra a figura 1-3.

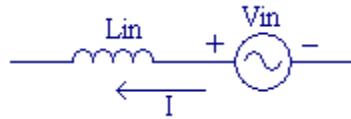


**Figura 1-3 Estrutura representativa de um fonte de corrente.**

É, no entanto, necessário que sejam definidas as etapas de acordo com o sentido da corrente elétrica e polaridade da fonte de alimentação. Deste modo, será adotado um padrão para cada etapa de funcionamento do circuito.

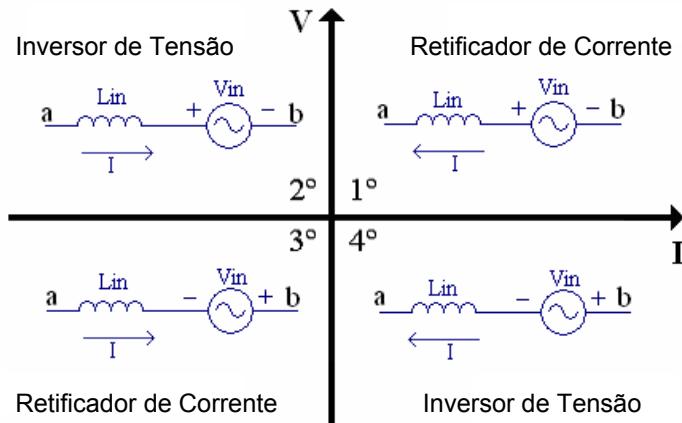
A figura 1-4 mostra apenas a fonte de alimentação senoidal o indutor que estão presentes na entrada do circuito. Verifica-se então, a polaridade da fonte de tensão e o

sentido da corrente. Isto caracteriza o quadrante de operação do circuito, na qual a polaridade da fonte de tensão, como mostrado na figura, é padronizada como estando atuando no semiciclo positivo. Desta maneira, se a corrente estiver “saindo” pelo positivo da fonte, será uma corrente positiva; se a corrente estiver “entrando” pelo positivo da fonte, será uma corrente negativa.



**Figura 1-4 Referência adotada para tensão e corrente positivas.**

Através desta convenção, é possível verificar que as referências para tensão e corrente positiva são as que estão mostradas na figura 1-4. Como existem diferentes configurações de tensão e corrente, um plano cartesiano será adotado como padrão, onde o eixo de ordenada representa a tensão e o eixo de abscissa representa a corrente. A figura 1-5 mostra o plano cartesiano, com as respectivas polaridades para tensão e corrente.

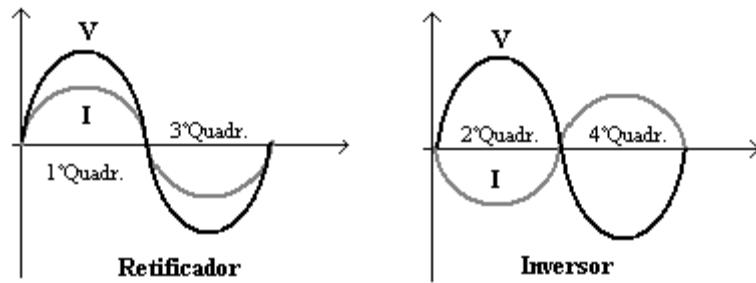


**Figura 1-5 Representação dos quadrantes de operação.**

A partir da figura 1-5, podem ser verificadas as respectivas referências para cada quadrante, onde o circuito pode funcionar como retificador ou inversor:

- 1º quadrante: corrente positiva e tensão positiva – retificador;
- 2º quadrante: corrente negativa e tensão positiva – inversor;
- 3º quadrante: corrente negativa e tensão negativa – retificador;
- 4º quadrante: corrente positiva e tensão negativa – inversor.

Para reforçar esta análise, pode-se verificar o comportamento dos formatos de onda da tensão e corrente nas diferentes operações do circuito, de acordo com a figura 1-5. Aqui já é estabelecida uma característica de fator de potência unitário, onde a forma de onda da corrente é praticamente senoidal. Quando o circuito opera como inversor, figura 1-6, ocorre um desfasamento de  $180^\circ$  entre tensão e corrente. A título de ilustração, os valores de tensão são representados como tendo um escala maior do que os valores de corrente.



**Figura 1-6 Comportamento das formas de onda para Retificador e Inversor.**

Para verificar se o circuito se comporta com retificador ou inversor, a abordagem é feita em relação ao fluxo de potência, onde a potência é definida com a relação *tensão x corrente*. Se esta relação for positiva, caracteriza um fluxo de potência positivo, resultando assim uma operação com retificador, onde a fonte de tensão fornece energia para o barramento. Por outro lado, se a relação *tensão x corrente* for negativa, o fluxo de potência é negativo e o circuito opera como inversor, fazendo com que a fonte de tensão seja receptora de energia proveniente do barramento.

Após estas definições, vale salientar também que em cada quadrante existem duas etapas de operação, totalizando oito configurações diferentes. Para melhor compreensão serão mostradas aqui as quatro etapas em que o conversor atua como retificador.

## 1.3 Etapas de Funcionamento como Retificador

Nesta seção são descritas as etapas de funcionamento e formas de ondas básicas do conversor de corrente reversível monofásico. A cada período de chaveamento a corrente no indutor pode ser positiva, negativa ou ambas. Serão analisadas as duas primeiras possibilidades.

### 1.3.1 Funcionamento no 1º Quadrante

#### 1ª Etapa( $T_0, T_1$ )

Nesta etapa de operação, a região do circuito por onde passa corrente é a mostrada na figura 1-7. A corrente circula da fonte  $V_o$  para a fonte de alimentação  $V_{in}$ , através das chaves S2 e S3.

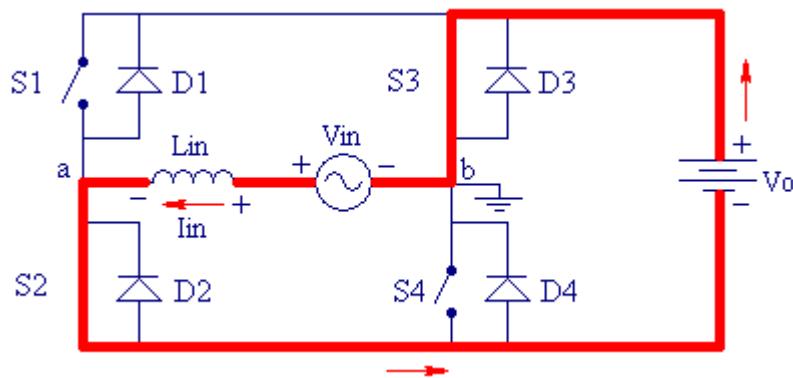


Figura 1-7 1ª etapa de operação para 1º quadrante.

A partir das convenções adotadas, a fonte alternada está em seu semiciclo positivo, porém a corrente presente também é positiva, caracterizando ainda um fluxo de potência positivo. Portanto, o circuito opera no 1º quadrante, e também está fazendo a função de retificador.

O comando que habilita as chaves S2 e S3 a conduzirem, é realizado através de modulação PWM (*Pulse Width Modulation* – Modulação por Largura de Pulso), efetuada através da estrutura de comando e controle do sistema, sendo abordada mais adiante.

Considerando as chaves ideais, a tensão sobre o indutor pode ser calculada pela Eq.1-1.

$$V_{Lin} - V_{in} - V_o = 0 \quad \text{Eq. 1-1}$$

ou ainda

$$V_{Lin} = +V_o + V_{in} \quad \text{Eq.1-2}$$

Neste intervalo o indutor se carrega, aumentando a corrente que circula pelo circuito.

### 2<sup>a</sup> Etapa (T<sub>1</sub>,T<sub>2</sub>)

Nesta etapa, o comando habilita as chaves S1 e S4 a conduzirem, fazendo com que S2 e S3 deixem de conduzir. Porém, S1 e S4 não podem conduzir devido ao sentido da corrente, possibilitando que a condução ocorra através dos diodos D1 e D4 durante este intervalo de tempo. O circuito por onde passa corrente nesta situação é mostrado na figura 1-8.

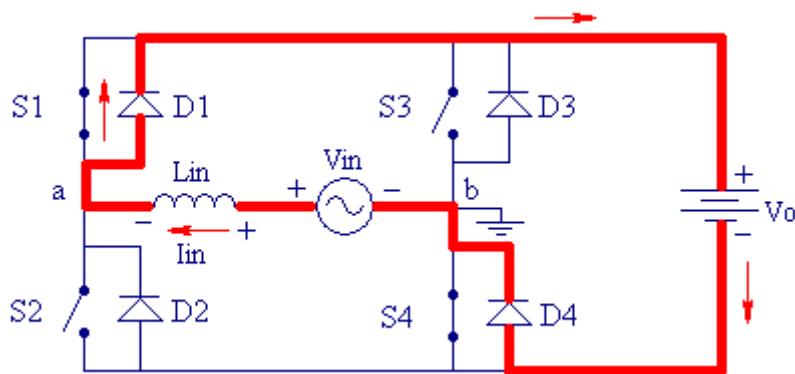


Figura 1-8 2<sup>a</sup> etapa de operação para 1º quadrante.

Novamente a região de operação se encontra no 1º quadrante. Agora, a fonte  $V_o$  atua como um receptor de energia, descarregando parte da energia do indutor e diminuindo a corrente no circuito.

Considerando a queda de tensão nos diodos como praticamente nula, a tensão sobre o indutor é dada pela Eq.1-3.

$$V_{Lin} - V_{in} + V_o = 0 \quad \text{Eq. 1-3}$$

Isolando  $V_{Lin}$  na equação anterior vem a Eq.1-4

$$V_{Lin} = -V_o + V_{in} \quad \text{Eq. 1-4}$$

Na figura 1-9 é possível observar que a tensão sobre o indutor varia de acordo com os valores estabelecidos nas Eq. 1-1 e Eq. 1-4. No momento em que a tensão é negativa, a corrente decresce. Quando a tensão é positiva, a corrente é incrementada. A variação de corrente no indutor é representada pela Eq.1-5.

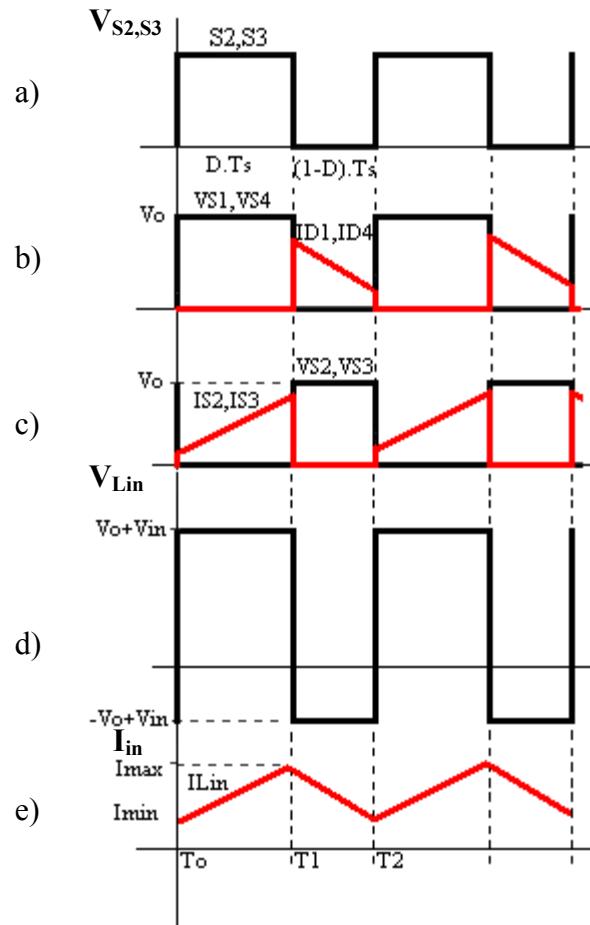
$$\Delta I_{Lin} = \frac{V_{Lin}}{L_{in}} \cdot \Delta t \quad \text{Eq. 1-5}$$

A partir desta equação verifica-se que a corrente sobre o indutor tem comportamento linear, seguindo a equação de uma reta. Assim, no momento em que a tensão sobre o indutor se torna positiva, a corrente tende a crescer linearmente até o seu valor máximo.

O formato de onda de tensão no indutor não precisa ser necessariamente quadrado. O que determina o tempo de condução é a razão cíclica D, a qual será estabelecida em projeto e tem sua aplicação no sistema de controle através da modulação PWM.

Nas chaves S2 e S3 (figura 1-9) a corrente que circula é a mesma corrente do indutor, na 1<sup>a</sup> etapa de operação. A queda de tensão nas chaves é considerada nula. Já na 2<sup>a</sup> etapa, não passa corrente por estas chaves e, como elas estão bloqueadas, a tensão sobre cada uma é a tensão de saída  $V_o$ .

A corrente que passa nos diodos D1 e D4 na 2<sup>a</sup> etapa é a mesma que passa pelo indutor, porém a corrente que passa através dos diodos D2 e D3 é nula. Quando polarizados reversamente, a tensão sobre eles é  $V_o$ . Nas demais chaves a análise é semelhante, cabendo ao leitor verificar o comportamento de cada um dentro da sua respectiva etapa de operação.



**Figura 1-9 Formas de onda para 1º quadrante. (a) Pulso de comando nas chaves S2 e S3. (b) Tensão em S1 e S4 e Corrente em D1 e D4. (c) Tensão em VS2 e VS3 e corrente em S2 e S3. (d) Tensão sobre o indutor. (e) Corrente no Indutor.**

### 1.3.2 Funcionamento no 3º Quadrante

#### 1ª Etapa( $T_0, T_1$ )

Nesta etapa, o comando habilita as chaves S2 e S3 a conduzirem, fazendo com que S1 e S4 deixem de conduzir. Porém, S2 e S3 não podem conduzir devido ao sentido da corrente, possibilitando que a condução ocorra através dos diodos D2 e D3 durante este intervalo de tempo. O circuito por onde passa corrente nesta situação é mostrado na figura 1-10.

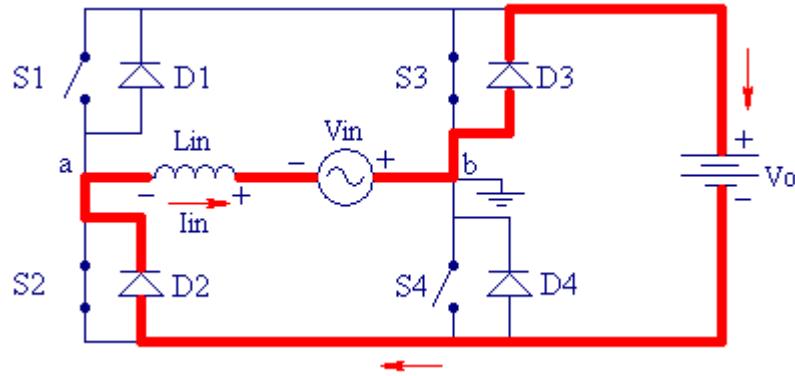


Figura 1-10 1<sup>a</sup> etapa de operação para 3º quadrante.

Novamente a região de operação se encontra no 3º quadrante. Agora, a fonte  $V_o$  atua como um receptor de energia, descarregando parte da energia do indutor e diminuindo a corrente no circuito.

Considerando a queda de tensão nos diodos como praticamente nula, a tensão sobre o indutor é dada pela Eq.1-6.

$$V_{Lin} + V_{in} - V_o = 0 \quad \text{Eq. 1-6}$$

Da mesma forma isolando  $V_{Lin}$  na equação anterior vem a Eq.1-7

$$V_{Lin} = +V_o - V_{in} \quad \text{Eq. 1-7}$$

## 2<sup>a</sup> Etapa

Nesta etapa de operação, a região do circuito por onde passa corrente é a mostrada na figura 1-11. A corrente circula da fonte de alimentação  $V_{in}$  para a fonte  $V_o$ , que representa o barramento CC, através das chaves S1 e S4.

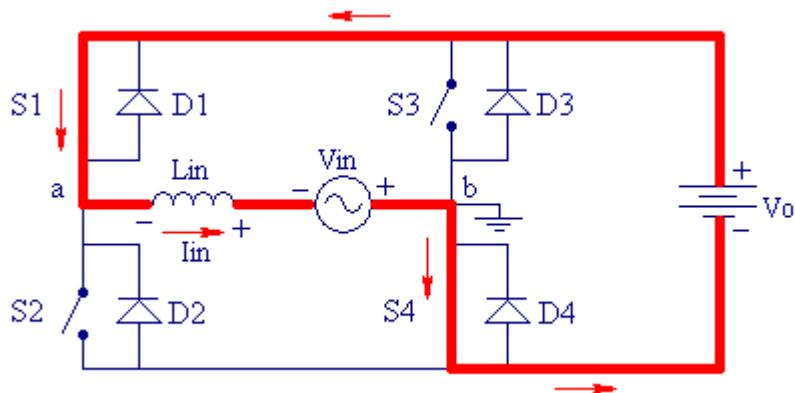


Figura 1-11 2<sup>a</sup> etapa de operação para 3º quadrante.

A partir das convenções adotadas, a fonte alternada está em seu semiciclo negativo e a corrente presente também é negativa, caracterizando um fluxo de potência positivo. Portanto, o circuito opera no 3º quadrante, fazendo a função de retificador.

Considerando as chaves ideais, a tensão sobre o indutor pode ser facilmente calculada, através da lei das malhas, dada pela Eq.1-8. A polaridade da tensão sobre o indutor foi definida arbitrariamente, sendo assim escolhida para estabelecer uma referência.

$$V_{Lin} + V_{in} + V_o = 0 \quad \text{Eq. 1-8}$$

O que resulta por fim na Eq.1-9

$$V_{Lin} = -(V_o + V_{in}) \quad \text{Eq. 1-9}$$

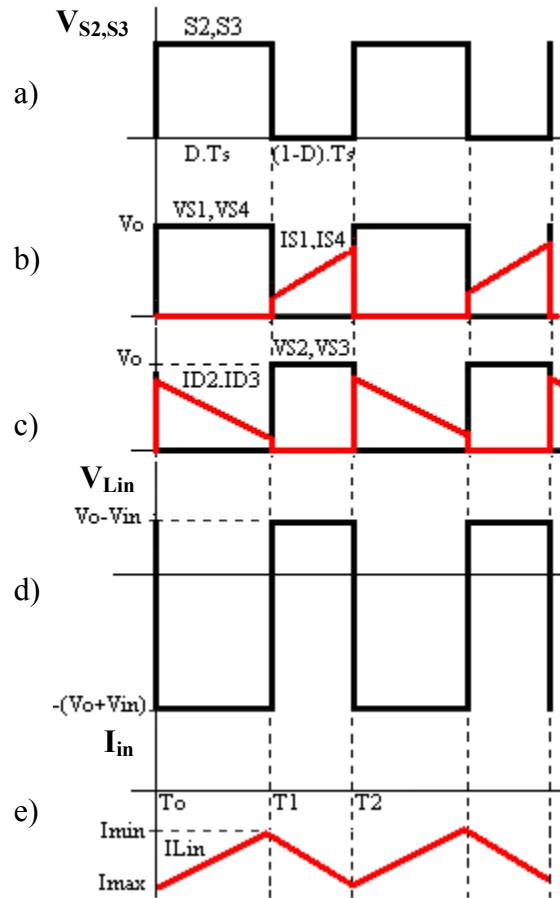
Neste intervalo o indutor se carrega, aumentando a corrente que circula pelo circuito.

Como no funcionamento no 1º quadrante, a figura 1-12 mostra a tensão sobre o indutor, que também varia de acordo com os valores estabelecidos nas Eq. 1-1 e Eq. 1-2. No momento em que a tensão é negativa, a corrente decresce. Quando a tensão é positiva, a corrente é incrementada. A variação de corrente no indutor é representada pela Eq.1-3.

O formato de onda de tensão no indutor não precisa ser necessariamente quadrado. O que determina o tempo de condução é a razão cíclica D, a qual será estabelecida em projeto e tem sua aplicação no sistema de controle através da modulação PWM.

Na 1ª etapa, nas chaves S1 e S4 (figura 1-1211) não passa corrente por estas chaves e, como elas estão bloqueadas, a tensão sobre cada uma é a tensão de saída  $V_o$ . Já a corrente que circula é a mesma corrente do indutor, na 2ª etapa de operação. A queda de tensão nas chaves é considerada nula.

Através dos diodos D1 e D4 não passa corrente em nenhum momento. Quando polarizados reversamente, a tensão sobre eles é  $V_o$ . Nos diodo D2 e D3 a corrente é a mesma que passa pelo indutor durante a 1ª etapa de funcionamento, porém na segunda corrente é nula.



**Figura 1-12** Formas de onda para 3º quadrante. (a) Pulso de comando nas chaves  $S_2$  e  $S_3$ . (b) Tensão em  $S_1$  e  $S_4$  e Corrente em  $S_1$  e  $S_4$ . (c) Tensão em  $VS_2$  e  $VS_3$  e corrente em  $D_2$  e  $D_3$ . (d) Tensão sobre o indutor. (e) Corrente no Indutor.

## 1.4 Conclusões

Foi possível contemplar neste capítulo a estrutura do conversor a ser estudado, bem como seu o seu funcionamento. Foi possível também observar que uma característica deste retificador é a presença de uma fonte de corrente no estágio de entrada, ao invés da fonte de tensão presente na maioria dos retificadores.

Na analise do funcionamento ficou relevante que para o funcionamento do conversor analisado como retificador, é necessário que o fluxo de potência ocorre da fonte  $V_{in}$  (CA) para a fonte  $V_o$  (CC), que caracteriza o barramento de corrente contínua.

Por fim foram analisadas as características de funcionamento do conversor, bem como seus principais quadrantes de operação. Além das descrições das etapas de funcionamento e formas de ondas básicas do retificador de corrente reversível monofásico.

# CAPÍTULO 2

## 2 ANALISE QUANTITATIVA DO CONVERSOR

Neste capítulo será feito a análise quantitativa do conversor através da definição das principais equações que serão utilizadas para a implementação do controle e na especificação dos componentes. As especificações dos componentes, realizadas no próximo capítulo, serão feitas através dos cálculos dos esforços apresentados neste item.

### 2.1 Análise Quantitativa

Para iniciar a análise quantitativa é necessário que seja apresentada inicialmente a técnica de comando utilizada para o chaveamento do retificador. Esta técnica é a mais empregada nestes tipos de estrutura e é denominada de Modulação por Largura de Pulso ou PWM (*Pulse Width Modulation*). Esta técnica baseia-se na comparação de dois sinais denominados sinal modulador e sinal portador, onde o sinal portador possui uma freqüência muito maior que o sinal modulador e geralmente possui uma forma triangular; já o sinal modulador possui uma freqüência baixa, a qual é um espelho da fonte de alimentação. De acordo com os princípios da modulação PWM, as chaves são habilitadas sempre que o valor da onda portadora for maior que o sinal de referência senoidal, como mostra a figura 2-1.

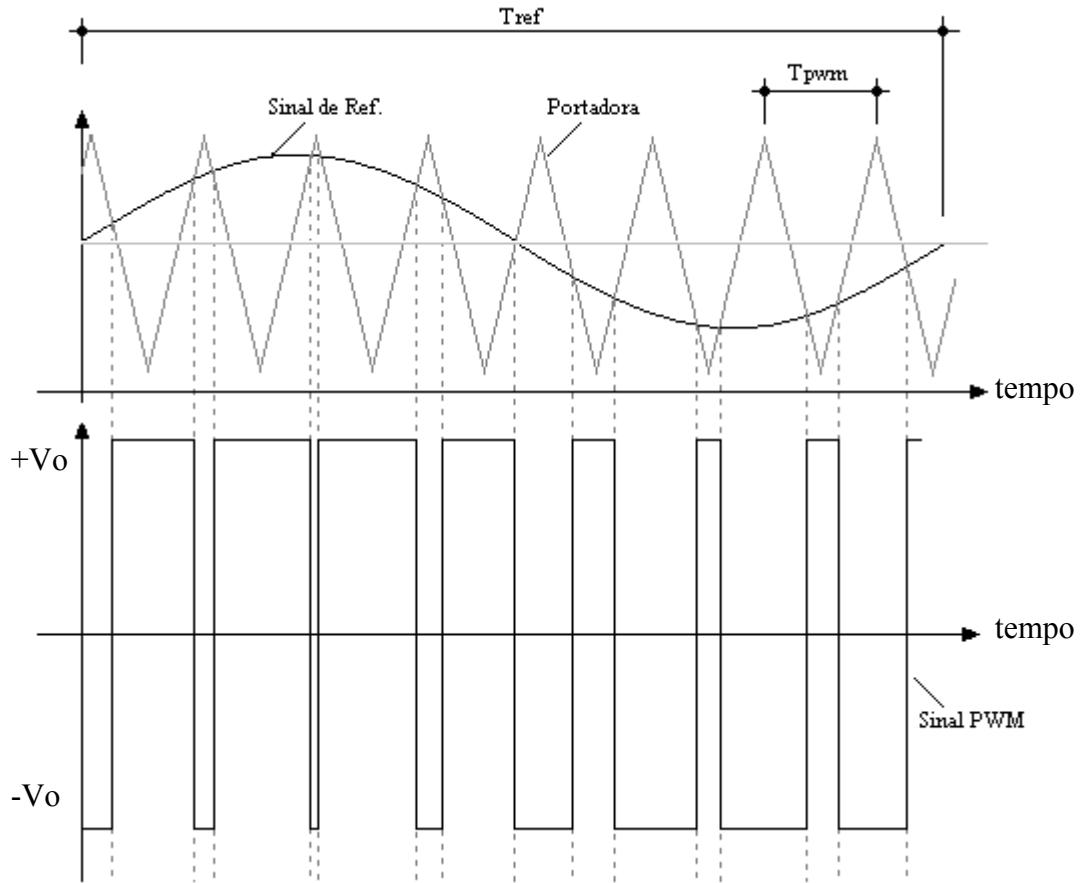


Figura 2-1 Processo de geração de sinal PWM.

O sinal portador possui uma freqüência dada pela Eq.2-1.

$$f_s = \frac{1}{T_s} \quad \text{Eq. 2-1}$$

Onde,  $T_s$  é o período de chaveamento.

O índice de modulação deste sinal PWM representa a relação entre a amplitude do sinal modulador e a amplitude do sinal portador, dado pela Eq.2-2.

$$ma = \frac{V_{p_{moduladora}}}{V_{p_{portadora}}} = \frac{V_{Pab}}{V_o} \quad \text{Eq. 2-2}$$

## 2.2 Definição das Principais Equações

Olhando para um intervalo de tempo  $T_{PWM}$ , onde a tensão sobre o ponto  $V_{ab}$  varia entre dois níveis  $+V_o$  e  $-V_o$ . Sendo  $D$  a razão cíclica, a tensão média aplicada à carga no respectivo período PWM ( $T_{PWM}$ ), pode ser calculada através da Eq.2-3.

$$V_{ab_{med}} = \frac{1}{T_s} \left[ \int_0^{DT_s} (-V_o) \cdot dt + \int_{DT_s}^{T_s} V_o \cdot dt \right] \quad \text{Eq. 2-3}$$

Trabalhando esta equação tem se a Eq.2-4.

$$V_{ab_{med}} = V_o \cdot (1 - 2D) \quad \text{Eq. 2-4}$$

No entanto, para um período da rede  $T_{ref}$ , a tensão no ponto  $V_{ab}$  varia senoidalmente. Então, desprezando a queda de tensão sobre o indutor de entrada( $L_{in}$ ) a Tensão  $V_{ab}$  para o período da rede pode calculada através da Eq.2-5.

$$V_{ab}(\omega t) = V_{in} = V_{Pin} \operatorname{sen} \omega t \quad \text{Eq. 2-5}$$

Logo  $V_{ab} = V_{Pin}$

Onde,  $V_{Pin}$  é o valor de pico da tensão de entrada e  $\omega = \frac{2\pi}{T_{ref}}$ .

A amplitude da tensão de entrada pode ser expressa em função do índice de modulação através da Eq.2-6:

$$\frac{V_{Pab}}{V_o} = ma$$

$$V_{Pab} = V_o \cdot ma \quad \text{Eq. 2-6}$$

Logo, a tensão de entrada pode ser reescrita substituindo a Eq. 2-5 na Eq. 2-4, resultando assim na Eq.2-7:

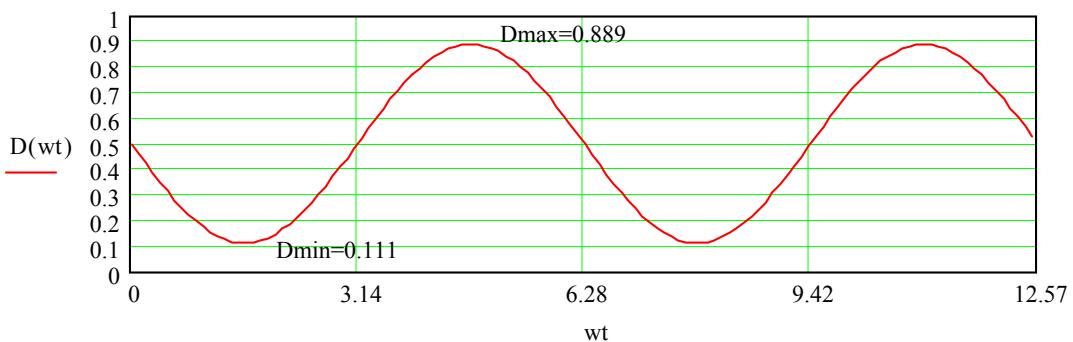
$$V_{ab}(\omega t) = V_o \cdot ma \cdot \sin \omega t \quad \text{Eq. 2-7}$$

Combinando a Eq. 2-4 com a Eq. 2-6, é possível encontrar a variação da razão cíclica.

$$V_o \cdot ma \cdot \sin \omega t = V_o \cdot (1 - 2D)$$

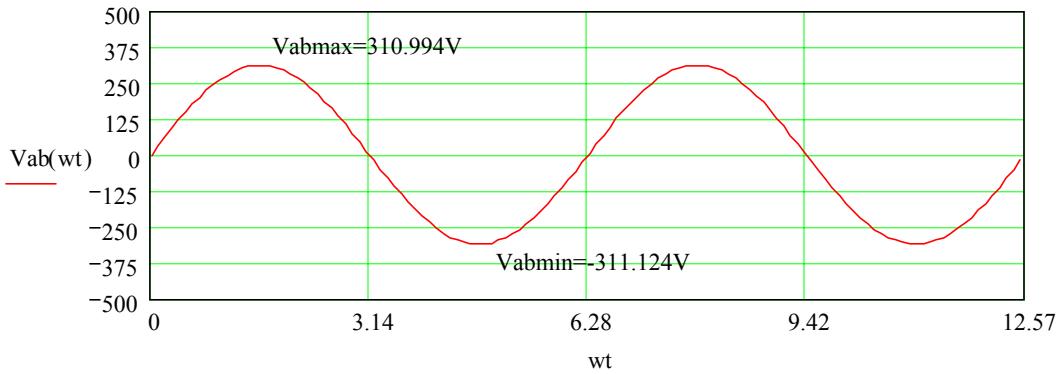
$$D(\omega t) = \frac{1}{2} \cdot (1 - ma \cdot \sin \omega t) \quad \text{Eq. 2-8}$$

A razão cíclica utilizada pelo comando PWM deve variar conforme a Eq. 2-8 que é mostrada graficamente através da figura 2-2.



**Figura 2-2 Variação da razão cíclica em função de  $\omega t$ .**

Assim pode ser traçada a forma de onda de  $V_{ab}$  em função da razão cíclica, que como visto anteriormente, deve ter um forma de onda senoidal. Esta forma de onda é mostrada na figura 2-3.



**Figura 2-3 Variação da Tensão entre os pontos *a* e *b* em função da razão cíclica.**

Por fim, a corrente na entrada pode ser dada pela relação entre a potência e a tensão de entrada, com mostra a Eq.2-9.

$$I_{in}(\omega t) = \sqrt{2} \cdot \frac{P_{in}}{V_{in}} \cdot \operatorname{sen} \omega t \quad \text{Eq. 2-9}$$

Onde  $P_{in}$  é a potência de entrada do conversor e que pode ser relacionada com a potência da saída através a Eq.2-10:

$$P_{in} = \frac{P_o}{\eta} \quad \text{Eq. 2-10}$$

Onde  $\eta$  é o rendimento do conversor.

A potência de entrada pode ser relacionada com a tensão e carga de saída como:

$$P_o = \frac{V_o^2}{R_o} \quad \text{Eq.2-11}$$

assim,

$$P_{in} = \frac{1}{\eta} \cdot \frac{V_o^2}{R_o} \quad \text{Eq.2-12}$$

Agora a Eq. 2-9 pode ser reescrita da maneira mostrada pela Eq.2-13:

$$I_{in}(\omega t) = \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \cdot \operatorname{sen} \omega t \quad \text{Eq. 2-13}$$

## 2.3 Esforços nos Componentes

Na determinação dos esforços nos componentes, a corrente de carga será considerada constante em cada período do PWM. Além de ser levado em conta as formas de onda nos componentes do conversor nas suas respectivas etapas de funcionamento e considerar as definições relativas a modulação PWM.

### 2.3.1 Equações para Esforços das Chaves

A corrente através dos interruptores pode ser calculada utilizando apenas um período de condução do ciclo PWM, o que resulta na Eq.2-14:

$$I_{Tmi} = \frac{1}{T_S} \int_0^{T_S} I_{in} \cdot dt \quad \text{Eq. 2-14}$$

Trabalhando esta equação tem se a Eq.2-15.

$$I_{Tmi} = I_{in} \cdot D \quad \text{Eq. 2-15}$$

Assim, substituindo  $I_{in}$  e  $D$  e efetuando as manipulações necessárias temos a Eq.2-16:

$$I_{Tmi}(\omega t) = \left( \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \cdot \operatorname{sen} \omega t \right) \cdot \left( \frac{1}{2} - \frac{1}{2} \cdot m_a \cdot \operatorname{sen} \omega t \right) \quad \text{Eq. 2-16}$$

Através da Eq. 2-16 chega se na Eq.2-17.

$$I_{Tmi}(\omega t) = \frac{1}{2} \cdot \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} (\sin \omega t - ma \cdot \sin^2 \omega t) \quad \text{Eq. 2-17}$$

A corrente média e a corrente eficaz nos interruptores são obtidas integrando a Eq. 1-12 sobre um período do sinal de referência, lembrando que cada par de interruptores e diodos só conduz durante um ciclo.

Calculando a corrente média nos interruptores é possível encontrar a Eq.2-18:

$$I_{Tmed} = \frac{1}{2\pi} \int_0^\pi I_{Tmi}(\omega t) \cdot dt \quad \text{Eq. 2-18}$$

$$I_{Tmed} = \frac{1}{2\pi} \int_0^\pi \frac{1}{2} \cdot \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} (\sin \omega t - ma \cdot \sin^2 \omega t) \cdot d\omega t \quad \text{Eq.2-19}$$

$$I_{Tmed} = \frac{\sqrt{2} \cdot P_o}{8\pi \cdot \eta \cdot V_{in}} (4 - ma\pi) \quad \text{Eq.2-20}$$

Calculando agora a corrente através da Eq.2-21:

$$I_{Tefi} = \sqrt{\frac{1}{T_S} \int_0^{D T_S} I_{in}^2 \cdot dt} \quad \text{Eq.2-21}$$

que resulta em:

$$I_{Tefi} = I_{in} \cdot \sqrt{D} \quad \text{Eq.2-22}$$

Substituindo  $I_{in}(\omega t)$  e  $D(\omega t)$  e efetuando as manipulações necessárias temos a Eq.2-23:

$$I_{Tefi}(\omega t) = \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \cdot \sin \omega t \cdot \sqrt{\frac{1}{2} \cdot (1 - ma \cdot \sin \omega t)} \quad \text{Eq.2-23}$$

$$I_{Tef} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} (I_{Tefi})^2 \cdot dt} \quad \text{Eq.2-24}$$

$$I_{Tef} = \frac{P_o}{\eta \cdot V_{in}} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{2} - ma \frac{4}{3} \right)} \quad \text{Eq.2-25}$$

### 2.3.2 Equações para Esforços do Diodo

De maneira análoga ao procedimento adotado para os interruptores, a corrente através dos diodos em antiparalelo é determinada como sendo:

$$I_{Dmi} = \frac{1}{T_S} \int_{DT_S}^{T_S} I_{in} \cdot dt \quad \text{Eq.2-25}$$

Através da Eq. 2-25 chega se na Eq.2-26.

$$I_{Dmi} = I_{in} \cdot (1 - D) \quad \text{Eq. 2-26}$$

$$I_{Dmi}(\omega t) = \frac{1}{2} \cdot \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \cdot \left( \sin \omega t + ma \cdot \sin^2 \omega t \right) \quad \text{Eq.2-27}$$

A corrente eficaz para os diodos em antiparalelo pode ser calculada por:

$$I_{Dmed} = \frac{1}{2\pi} \int_0^{\pi} I_{Dmi}(\omega t) \cdot dt \quad \text{Eq.2-28}$$

$$I_{Dmed} = \frac{1}{2\pi} \cdot \int_0^{\pi} \frac{\sqrt{2} \cdot P_o}{2 \cdot \eta \cdot V_{in}} \left( \sin \omega t + ma \cdot \sin^2 \omega t \right) d\omega t \quad \text{Eq.2-29}$$

Através da Eq. 2-29 chega se na Eq.2-30.

$$I_{Dmed} = \frac{\sqrt{2} \cdot P_o}{8\pi \cdot \eta \cdot V_{in}} \cdot (4 + ma\pi) \quad \text{Eq.2-30}$$

A corrente eficaz para os diodos em antiparalelo pode ser calculada através a Eq.2-31

$$I_{Defi} = \sqrt{\frac{1}{Ts} \int_{DTs}^{Ts} I_{in}^2 \cdot dt} \quad \text{Eq. 2-31}$$

Trabalhando-se na Eq. 2-31 chega se na Eq.2-32.

$$I_{Defi} = I_{in} \cdot \sqrt{(1 - D)} \quad \text{Eq.2-32}$$

Para calculara a Corrente Eficaz através usa-se a Eq.2-33

$$I_{Def} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} (I_{Defi})^2 \cdot dt} \quad \text{Eq.2-33}$$

$$I_{Def} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} \left( \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \cdot \sin \omega t \right)^2 \cdot \left( 1 - \frac{1}{2} \cdot (1 - ma \cdot \sin \omega t) \right) \cdot dt} \quad \text{Eq.2-34}$$

Por fim tem-se:

$$I_{Def} = \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{4} + ma \frac{2}{3} \right)} \quad \text{Eq.2-35}$$

A tensão de pico a qual estarão sujeitos os interruptores e a tensão reversa aplicada aos diodos terão o seu valor igual a da tensão da saída  $V_o$ , ou seja:

$$V_{Tpico} = +V_o \quad \text{Eq.2-36}$$

$$V_{Dpico} = -V_o \quad \text{Eq.2-37}$$

### 2.3.3 Equações para Cálculo do Capacitor

Analizando a corrente no capacitor no 1º quadrante de operação do conversor temos que esta corrente depende da corrente de entrada e da corrente de saída, como mostra a figura 2-4.

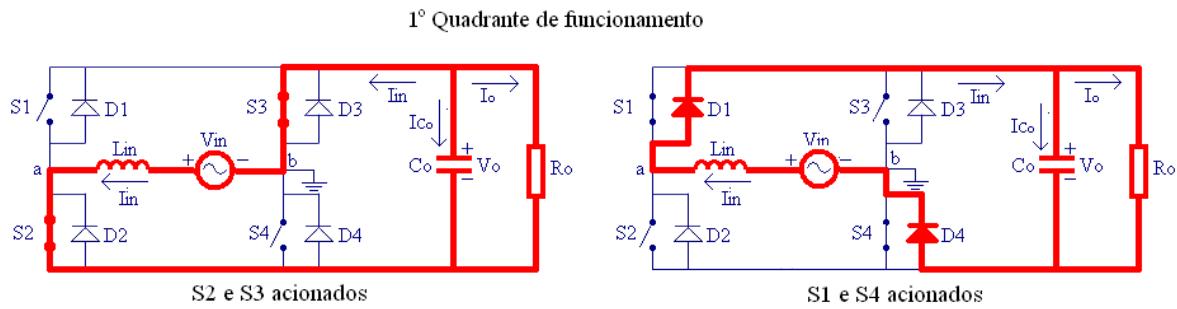


Figura 2-4 Etapas do funcionamento para um período de chaveamento no 1º quadrante.

Desta forma, admitindo que a corrente que saí no capacitor é uma corrente positiva, é possível traçar a forma de onda da corrente sobre o capacitor para um período de chaveamento, como mostra a figura 2-5.

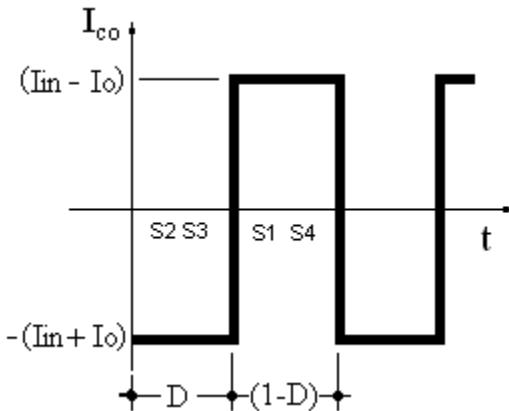


Figura 2-5 Período de chaveamento para o 1º quadrante.

Através da figura 2-5 é possível calcular a corrente média no capacitor para um período de chaveamento através da Eq.2-38.

$$I_{Cmi} = \frac{1}{T_S} \left[ \int_0^{DT_S} -(I_{in} + I_o) dt + \int_{DT_S}^{T_S} (I_{in} - I_o) dt \right] \quad \text{Eq. 2-38}$$

Assim chega-se à Eq.2-39

$$I_{Cmi} = -I_{in}D - I_oD + I_{in} - I_o - I_{in}D + I_oD \quad \text{Eq. 2-39}$$

Logo, temos que a corrente média no capacitor depende da corrente da entrada, da corrente que vai para carga e da razão cíclica, como mostrado pela Eq.2-40.

$$I_{Cmi} = I_{in}(1 - 2D) - I_o \quad \text{Eq. 2-40}$$

O próximo passo é obter a corrente para um ciclo de rede. No entanto, nota-se que para um semiciclo a corrente média no capacitor tem sua equação modificada devido à mudança na polaridade da tensão da rede.

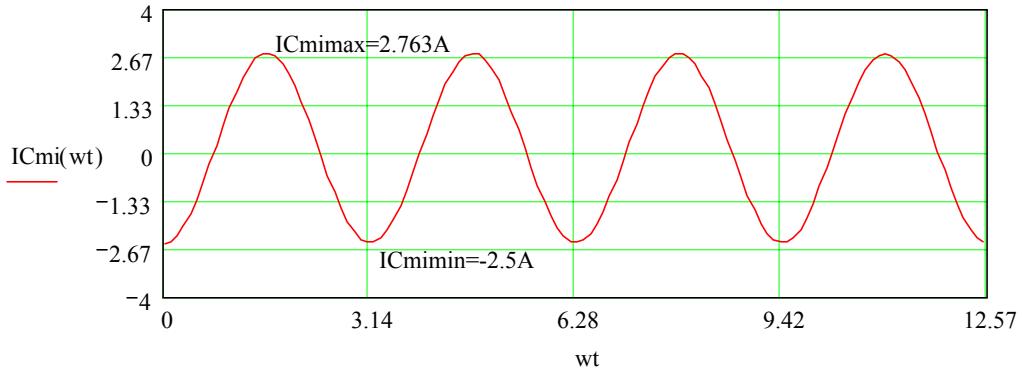
Para o 1º quadrante a corrente no capacitor é dada através da substituição das equações Eq. 2-7 e Eq. 2-10 na Eq. 2-20, como mostra a Eq.2-41.

$$I_{Cmed} = \left[ \left( \frac{\sqrt{2} \cdot P_o}{V_{in}} \right) \cdot \operatorname{sen} \omega t \cdot \left( 1 - 2 \cdot \frac{1}{2} (1 - ma \cdot \operatorname{sen} \omega t) \right) \right] - I_o \quad \text{Eq. 2-41}$$

Esta equação resulta na Eq.2-42, equação esta que é válida para o semi-ciclo referente ao funcionamento no 1º quadrante, isto é, no intervalo  $[0, \pi]$ .

$$I_{Cmed} = \frac{\sqrt{2} \cdot P_o}{V_{in}} \cdot ma \cdot \operatorname{sen}^2 \omega t - I_o \quad \text{Eq. 2-42}$$

Assim pode ser analisado o comportamento da corrente do capacitor durante um período de rede, como mostra a figura 2-6.



**Figura 2-6 Corrente Média Instantânea no Capacitor.**

Calculando agora a corrente eficaz instantânea através da Eq.2-43:

$$I_{Cefi} = \sqrt{\frac{1}{Ts} \left( \int_0^{DTs} [-(I_{in} + I_o)]^2 dt + \int_{DTs}^{Ts} [(I_{in} - I_o)]^2 dt \right)} \quad \text{Eq. 2-43}$$

Tem-se:

$$I_{Cefi} = \sqrt{2 \cdot I_{in} \cdot I_o \cdot (2D-1) + I_{in}^2 + I_o^2} \quad \text{Eq.2-44}$$

Para calcular a corrente eficaz usa-se a Eq.2-45

$$I_{Cef} = \sqrt{\frac{1}{\pi} \int_0^{\pi} (I_{Cefmi})^2 \cdot dt} \quad \text{Eq. 2-45}$$

$$I_{Cef} = \sqrt{\frac{1}{\pi} \int_0^{\pi} 2 \frac{\sqrt{2} \cdot P_o}{\eta \cdot Vin} \cdot -ma \cdot \sin^2(\omega t) \cdot I_o + \left( \frac{\sqrt{2} \cdot P_o}{\eta \cdot Vin} \right)^2 \sin^2(\omega t) + I_o^2 dt} \quad \text{Eq.2-46}$$

resultando em:

$$I_{Cef} = \sqrt{\left( -ma \cdot \frac{\sqrt{2} \cdot P_o}{\eta \cdot Vin} \cdot I_o \right) + \left( \frac{P_o}{\eta \cdot Vin} \right)^2 + I_o^2} \quad \text{Eq. 2-46}$$

O valor do capacitor pode ser calculado através da equação apresentada em [2] e reapresentada na Eq.2-47.

$$C_o = \frac{P_o}{2\pi \cdot f \cdot V_o \cdot \Delta V_o} \quad \text{Eq. 2-47}$$

Onde  $\Delta V_o$  é a variação da tensão de saída.

### 2.3.4 Equações para o Calculo do Indutor

A corrente que flui pelo indutor é caracterizada por uma forma senoidal retificada representada por uma componente de baixa freqüência sobreposta a uma pequena componente de alta freqüência.

**A)** Funcionamento no primeiro quadrante:  $(0 - \pi)$

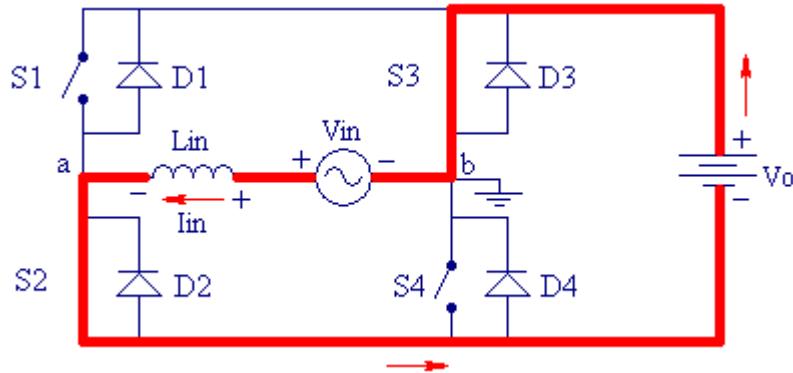


Figura 2-7 1<sup>a</sup> etapa de operação para 1º quadrante.

Considerando as chaves ideais, a tensão sobre o indutor pode ser calculada pela Eq.2-48.

$$V_{Lin} = +V_o + V_{in} \quad \text{Eq. 2-48}$$

O valor da indutância deve ser calculado em função da variação máxima de corrente quando S2 e S3 estão fechadas. No primeiro quadrante de funcionamento tem-se a Eq.2-49, que mostra a relação entre corrente e tensão no indutor para este conversor.

$$+V_o + V_{in} = L_{in} \frac{\Delta I_{Lin}}{\Delta t} \quad \text{Eq. 2-49}$$

Para um período de funcionamento tem-se:

$$+V_o + V_{pin} \operatorname{sen} \omega t = L_{in} \frac{\Delta I_{Lin}}{\Delta t} \quad \text{Eq. 2-50}$$

onde:

$$\Delta t = D \cdot T_s \quad \text{Eq. 2-51}$$

Assim:

$$\Delta t = L_{in} \frac{\Delta I_{Lin}}{+V_{pin} \operatorname{sen} \omega t + V_o} = D \cdot T_s \quad \text{Eq. 2-52}$$

Substituindo a Eq. 1-7 na Eq. 1.27, tem-se:

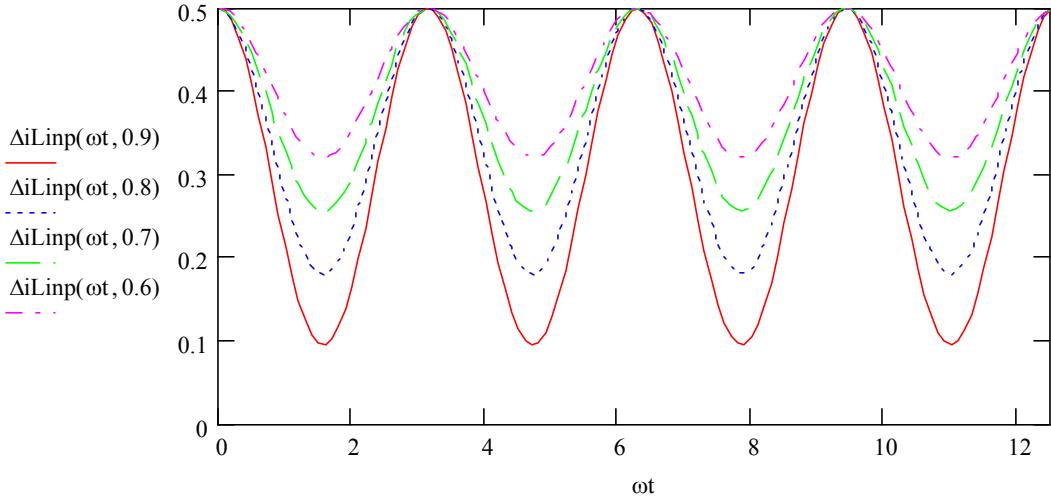
$$L_{in} \frac{\Delta I_{Lin}}{+V_{pin} \operatorname{sen} \omega t + V_o} = \frac{1}{2} (1 - ma \cdot \operatorname{sen} \omega t) \cdot T_s \quad \text{Eq. 2-53}$$

Considerando-se que  $V_{pab} = V_{pin}$ , normalizando a Eq. 2-53 tem-se:

$$\overline{\Delta I_{in}} = \frac{L_{in} \cdot \Delta I_{Lin}}{T_s} = \frac{1}{2} (1 - ma \cdot \operatorname{sen} \omega t) \cdot (+V_{pin} \operatorname{sen} \omega t + V_o) \quad \text{Eq. 2-54}$$

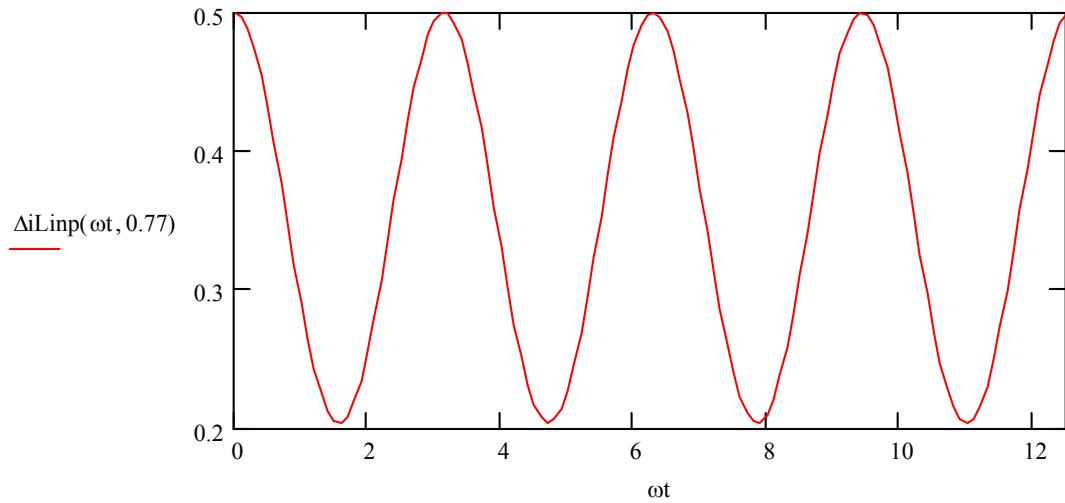
$$\overline{\Delta I_{in}} = \frac{L_{in} \cdot \Delta I_{Lin}}{T_s \cdot V_o} = \frac{1}{2} - \frac{1}{2} ma^2 \cdot \operatorname{sen}^2 \omega t \quad \text{Eq. 2-55}$$

Assim, a figura 2-8 mostra a curva da ondulação de corrente parametrizada para um período da rede, foi traçada para valores típicos de  $ma$ .



**Figura 2-8 Ondulação de corrente parametrizada em função de  $\omega t$  para alguns valores típicos de  $ma$ .**

Para o índice de modulação calculado ( $ma=0,77$ ) obtém-se a curva de ondulação da corrente no indutor  $L_{in}$  apresentada na figura 2-9.



**Figura 2-9 Ondulação de corrente parametrizada para um período de funcionamento da rede.**

Do ábaco traçado na figura 2-9 observa-se que a máxima ondulação de corrente ocorre para  $\omega t$  igual a  $90^\circ$ , onde  $\overline{\Delta I_{in}} = 0,5$ . Portanto, para os valores especificados, a indutância pode ser definida pela Eq. 2-56.

$$L_{in} = \frac{0,5 \cdot V_o}{\Delta I_{in} \cdot f_s} \quad \text{Eq. 2-56}$$

O procedimento para o cálculo do indutor pode ser simplificado usando o mesmo procedimento de cálculo de indutores de filtragem. Desta forma, o produto  $Ae \cdot Aw$  pode ser calculado pela Eq.2-57.

$$Ae \cdot Aw = \frac{Lin \cdot Ip_{\max} \cdot In_{ef\max}}{Kw \cdot Bm \cdot Jm} \quad \text{Eq. 2-57}$$

O cálculo do número de espiras pode ser realizado através Eq.2-58.

$$N = \frac{Lin \cdot (Ip_{\max} + 0,5 \cdot Ip_{\max})}{Bm \cdot Ae} \quad \text{Eq. 2-58}$$

E por fim o cálculo do entreferro pode ser obtido pela Eq.2-59.

$$Ig = \frac{N^2 \cdot \mu_o \cdot Ae}{Lin} \quad \text{Eq. 2-59}$$

## 2.4 Definição das Equações para o Cálculo Térmico

O calculo térmico tem como objetivo determinar se é necessário o uso de um dissipador de calor para evitar danos ao componente por aquecimento, fornecendo a resistência térmica que este deverá possuir em caso de utilização.

As perdas de potência em um transistor podem ser divididas em perdas por condução e perdas por comutação.

As perdas para o IGBT são determinadas conforme o procedimento determinado por Bascope[11]. Essas perdas são definidas para um processo de modulação PWM senoidal. Assim, para o IGBT, as perdas são divididas em perdas de condução, perdas na entrada em condução e perdas no bloqueio.

As perdas por condução são das pela Eq.2-60.

$$P_{(cond)} = \left( \frac{1}{8} + \frac{ma}{3\pi} \right) \cdot \frac{V_{CEN} - V_{CEO}}{I_{CN}} \cdot {I_{CM}}^2 + \left( \frac{1}{2\pi} + \frac{ma}{8} \cdot \cos\phi \right) \cdot V_{CEO} \cdot I_{CM} \quad \text{Eq. 2-60}$$

Onde:

$ma$  é o índice de modulação;

$V_{CEN}$  é a tensão de saturação coletor emissor na corrente nominal;

$V_{CEO}$  é a tensão limiar de saturação coletor emissor;

$I_{CN}$  é a corrente nominal de coletor;

$I_{CM}$  é o valor máximo da corrente na carga.

As perdas na entrada em condução são das pela Eq.2-61.

$$P_{(on)} = \frac{1}{8} \cdot V_o \cdot t_r \cdot \frac{I_{CM}}{I_{CN}} \cdot f_s + \dots$$

$$\dots \frac{2}{3} \cdot V_o \cdot \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{CM}}{I_{CN}} + 0,0015 \cdot \left( \frac{I_{CM}}{I_{CN}} \right)^2 \right) \cdot Q_{rr} \right] \cdot f_s$$

$$\left. + \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{CM}}{I_{CN}} \right) \cdot I_{CM} \cdot t_{rr} \right]$$

Eq. 2-61

Onde:

$V_o$  é a tensão na saída;

$t_r$  é o tempo de subida na entrada em condução;

$t_{rr}$  é o tempo da corrente de recuperação reversa do diodo;

$f_s$  é freqüência de chaveamento;

$Q_{rr}$  é a carga armazenada no diodo quando em condução.

As perdas no bloqueio são das pela Eq.2-62.

$$P_{(off)} = V_o \cdot I_{CM} \cdot t_f \cdot f_s \cdot \left( \frac{1}{3\pi} + \frac{1}{24} \cdot \frac{I_{CM}}{I_{CN}} \right) \quad \text{Eq. 2-62}$$

Onde:

$t_f$  é o tempo de descida no bloqueio.

Assim, a perda total no IGBT é obtida somando as três parcelas anteriores, como mostra a Eq.2-63. As perdas derivadas da corrente de recuperação reversa já estão incluídas nas equações anteriores.

$$P_{chave} = P_{(cond)} + P_{(on)} + P_{(off)} \quad \text{Eq. 2-63}$$

O IGBT utilizado possui um diodo em antiparalelo encapsulado juntamente com o transistor. As perdas para esse diodo são também definidas na mesma referência acima citada.

As perdas por condução podem ser calculadas através a Eq.2-64

$$P_{D(cond)} = \left( \frac{1}{8} + \frac{ma}{3\pi} \right) \cdot \frac{V_{FN} - V_{FO}}{I_{FN}} \cdot I_{CM}^2 + \left( \frac{1}{2\pi} + \frac{ma}{8} \cdot \cos\phi \right) \cdot V_{FO} \cdot I_{CM} \quad \text{Eq. 2-64}$$

onde:

$V_{FN}$  é a tensão sobre o diodo na corrente nominal;

$V_{FO}$  é a tensão limiar do diodo;

$I_{FN}$  é a corrente nominal do diodo.

As perdas por comutação podem ser calculadas através da Eq.2-65

$$P_{D(on)} = \frac{1}{3} \cdot V_o \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{CM}}{I_{CN}} + 0,0015 \cdot \left( \frac{I_{CM}}{I_{CN}} \right)^2 \right) \cdot Q_{rr} + \dots \right] \cdot f_s \quad \text{Eq. 2-65}$$

$$\dots + \left( \frac{0,8}{\pi} + 0,05 \cdot \frac{I_{CM}}{I_{CN}} \right) \cdot I_{CM} \cdot t_{rr}$$

As perdas totais no diodo são dadas pela Eq.2-66.

$$P_{Diodo} = P_{D(cond)} + P_{D(on)} \quad \text{Eq. 2-66}$$

Como o IGBT possui um diodo no mesmo encapsulamento, as perdas totais no componente são então definidas Eq.2-67.

$$P_{Totais} = P_{IGBT} + P_{Diodos} \quad \text{Eq. 2-67}$$

## 2.5 Cálculo Térmico

A determinação do dissipador que irá evitar o sobre-aquecimento dos componentes face às condições de operação será efetuada em função das perdas, da resistência térmica entre junção e cápsula ( $R_{jc(th)}$ ) mais a resistência térmica entre cápsula e dissipador ( $R_{cd(th)}$ ), e da máxima temperatura de junção ( $T_j$ ) que o componente suporta.

O objetivo dos cálculos é escolher um dissipador único para todos os componentes de potência do inversor. Para isso, é adotado o seguinte procedimento de cálculo, exposto em [11].

1º passo: Cálculo da temperatura de cápsula

Para o cálculo da temperatura de cápsula para um transistor deve ser utilizada a Eq.2-68.

$$T_{c,chave} = T_{j,chave} - P_{chave} \cdot R_{jc(th),chave} \quad \text{Eq. 2-68}$$

No entanto, para um diodo, a Eq. 2-68 se transforma na Eq.2-69

$$T_{c, chave} = T_{j, chave} - P_{chave} \cdot R_{jc(th), chave} \quad \text{Eq. 2-69}$$

2º passo: Assumir como temperatura da cápsula (Tc) a menor das temperaturas calculadas.

3º Passo: Cálculo da temperatura do dissipador.

$$T_d = T_j - R_{cd} \cdot (4 \cdot P_{chave} + 4 \cdot P_{diodo}) \quad \text{Eq. 2-70}$$

4º passo: Especificação da resistência dissipadora ambiente máxima ( $R_{da(th)}$ ).

$$R_{da(th)} = \frac{T_d - T_a}{4P_{chave} + 4P_{diodo}} \quad \text{Eq. 2-71}$$

5º passo: Escolha do dissipador adequado.

## 2.6 Conclusões

Neste item foi feita a analise quantitativa do conversor através do levantamento das principais equações, que serão utilizadas para a implementação do controle e na especificação dos componentes.

Mais especificamente, foi possível através deste item determinar as relações que determinam os esforços nos componentes tais como transistores, diodos, além do capacitor e indutor.

Foi possível detalhar alguns aspectos do funcionamento do conversor estudado, tais como a carga e descarga do capacitor durante um período de funcionamento.

# CAPÍTULO 3

## 3 PROJETO DO CIRCUITO DE POTÊNCIA

Antes de iniciar o projeto do compensador é necessário definir o projeto do estágio de potência do retificador para que, em uma segunda etapa, seja realizado o projeto do controlador.

Neste capítulo serão reaplicadas as equações estabelecidas no capítulo anterior, bem como outras amplamente estudadas pela comunidade científica. Porém, para projetar adequadamente o circuito de potência é necessário definir os parâmetros de projeto que caracterizam o retificador.

### 3.1 Definição dos Parâmetros para o Projeto

A seguir serão listados os parâmetros especificados para a realização do projeto da etapa de potência do controlador.

Tensão de alimentação ( $V_{inRMS}$ ): 220V:  $\pm 10\%$ ;

Potência de saída ( $P_o$ ): 1000W;

Freqüência da tensão de alimentação ( $f_{in}$ ): 60Hz;

Tensão de saída CC ( $V_o$ ): 400V;

Máxima ondulação da tensão de saída ( $(\Delta V_o)$ :  $\pm 2,5\%$  de  $V_o$ ;

Máxima ondulação de corrente de entrada ( $(\Delta I_{in\ max})$ : 20% de  $I_{Lin}$ ;

Freqüência de comutação(fs): 50kHz;

Freqüência de amostragem (fa): 500kHz;

Rendimento esperado ( $\eta$ ): 95%

A partir destes parâmetros, fez-se o dimensionamento através dos cálculos que são apresentados a seguir:

### 3.1.1 Cálculos das Correntes

a) Corrente eficaz de entrada:

$$I_{inef} = \frac{P_o}{V_{inef} \cdot \eta} = \frac{1000}{220 \cdot 0,95} = 4,785A \quad \text{Eq.3-1}$$

b) Corrente de pico de entrada:

$$I_{inp} = I_{inef} \cdot \sqrt{2} = 4,77 \cdot \sqrt{2} = 6,767A \quad \text{Eq.3-2}$$

c) Máxima ondulação da corrente de entrada:

$$\Delta I_{inp} = I_{inp} \cdot \Delta I_{in} = 6,42 \cdot 0,2 = 1,28A \quad \text{Eq.3-3}$$

### 3.1.2 Cálculo do Indutor

#### 3.1.2.1 Cálculo da indutância:

$$L_{in} = \frac{0,5 \cdot V_o}{\Delta I_{Lin} \cdot f_s} = \frac{0,5 \cdot 400}{(6,767 \cdot 0,2) \cdot 50k} = 2,956mH \quad \text{Eq.3-4}$$

#### 3.1.2.2 Cálculo do indutor:

a) Escolha do núcleo do indutor:

$$A_e A_w = \frac{L_{in} \cdot I_p \cdot I_{inef}}{K_w \cdot B_{max} \cdot J_{max}} \cdot 10^4 = \frac{2,956m \cdot 6,73 \cdot 4,77}{0,7 \cdot 0,27 \cdot 250} \cdot 10^4 = 20,253cm^4 \quad \text{Eq.3-5}$$

Utiliza-se o núcleo EE65/39

$$A_e A_w = 20,253cm^4 \quad A_e = 7,98cm^2 \quad A_w = 3,7cm^2 \quad \text{Eq.3-6}$$

c) Cálculo do número de espiras:

$$N = \frac{L_{in} \cdot I_p}{B_{max} \cdot A_e} = \frac{9,5m \cdot 6,73}{0,27 \cdot 7,98} = 93esp \quad \text{Eq.3-7}$$

d) Penetração Máxima da Corrente para 100°C:

$$DP_{max} = \frac{15}{\sqrt{f_s}} = \frac{15}{\sqrt{50000}} = 0,067cm \quad \text{Eq.3-8}$$

Utiliza-se então o condutor 27AWG

e) Cálculo do diâmetro do condutor:

$$S_{27} = 0,001021 \text{ cm}^2 \quad \text{Eq.3-9}$$

e.5) Sessão do indutor:

$$S_{Lin} = \frac{I_{inef}}{J_{max}} = 0,019 \text{ cm}^2 \quad \text{Eq.3-10}$$

f) Número de fios por volta:

$$Nfp = \frac{SLin}{S27} = 19 \quad \text{Eq.3-11}$$

g) Entreferro Total necessário:

$$\ell_g = \frac{N_{Lin}^2 \cdot \mu_o \cdot Ae}{Lin} = \frac{93^2 \cdot 4\pi 10^{-7} \cdot 7,98}{2,956m} = 2,934m \quad \text{Eq.3-12}$$

h) Entreferro em cada perna

$$\ell_g2 = \frac{\ell_g}{2} = 1,467m \quad \text{Eq.3-13}$$

i) Cálculos das perdas envolvidas

i.1) Perdas no Cobre

$$P_{cu} = \frac{Rc \cdot N_{Lin} \cdot lm \cdot I_{inef}^2}{Nfp} = \frac{0,002256 \cdot 93 \cdot 14,8 \cdot 4,785}{19} = 3,741W \quad \text{Eq.3-14}$$

i.2) Perdas do Núcleo

$$\Delta B = 0,2B_{max} = 540G \quad \text{Eq.3-15}$$

$$P_{mag} = Pp \cdot \rho \cdot Vn = 4 \cdot 4800 \cdot 117,3 = 2,252W \quad \text{Eq.3-16}$$

j) Variação de Temperatura

$$P_{tot} = P_{cu} + P_{mag} = 3,741 + 2,252 = 5,994W \quad \text{Eq.3-17}$$

$$\Delta T = R_c \cdot P_{tot} = 6,573 \cdot 5,994 = 39,395^\circ C \quad \text{Eq.3-18}$$

### 3.1.3 Cálculo do Capacitor de Saída

Como mencionado o capítulo anterior o capacitor pode ser calculado da seguinte maneira:

$$C_o = \frac{P_o}{2\pi \cdot f \cdot V_o \cdot \Delta V_o} = \frac{1000}{2\pi \cdot 60 \cdot 400 \cdot (400 \cdot 0,025)} = 663,146 \mu F \quad \text{Eq.3-19}$$

Corrente eficaz no Capacitor

$$\begin{aligned} I_{C_{ef}} &= \sqrt{\left( -ma \cdot \frac{\sqrt{2} \cdot P_o}{\eta \cdot Vin} \cdot I_o \right) + \left( \frac{P_o}{\eta \cdot Vin} \right)^2 + I_o^2} = \\ &= \sqrt{\left( -0,77 \cdot \frac{\sqrt{2} \cdot 1000}{0,95 \cdot 220} \cdot 2,5 \right) + \left( \frac{1000}{0,95 \cdot 220} \right)^2 + 2,5^2} = 4A \end{aligned} \quad \text{Eq.3-20}$$

### 3.1.4 Esforços nos Transistores

a) Corrente Média nos Transistores:

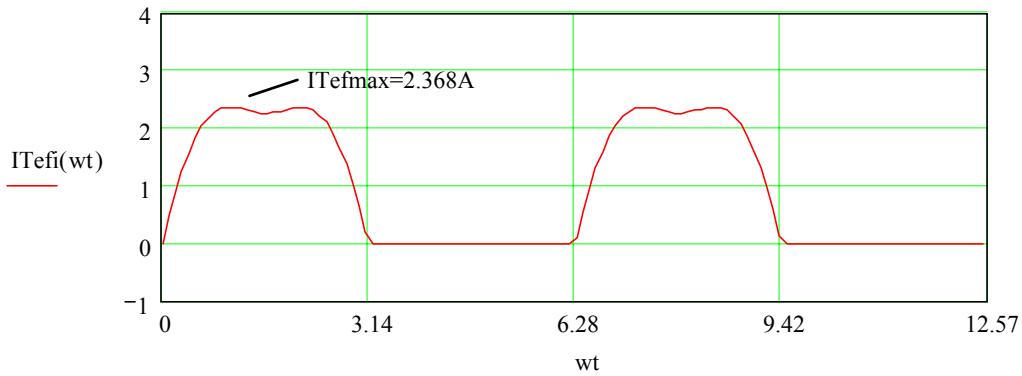
$$I_{T_{med}} = \frac{\sqrt{2} \cdot P_o}{8\pi \cdot \eta \cdot V_{in}} (4 - ma \cdot \pi) = \frac{\sqrt{2} \cdot 1000}{8\pi \cdot 0,95 \cdot 220} (4 - 0,77 \cdot \pi) = 0,419A \quad \text{Eq.3-21}$$

b) Corrente Eficaz nos Transistores:

$$I_{T_{ef}} = \frac{P_o}{\eta \cdot Vin} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{2} - ma \frac{4}{3} \right)} = \frac{1000}{0,95 \cdot 220} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{2} - 0,77 \frac{4}{3} \right)} = 1,394A \quad \text{Eq.3-22}$$

c) Corrente de Pico nos Transistores:

A corrente máxima no transistor para cada instante de  $\omega t$  pode ser visualizada através da figura 3-1.



**Figura 3-1 Variação da corrente no transistor em função de  $\omega t$ .**

d) Tensão Máxima Reversa sobre os Transistores:

$$V_{Tpico} = +V_o = 400V \quad \text{Eq.3-23}$$

### 3.1.5 Esforços dos Diodos

a) Corrente Média no diodo:

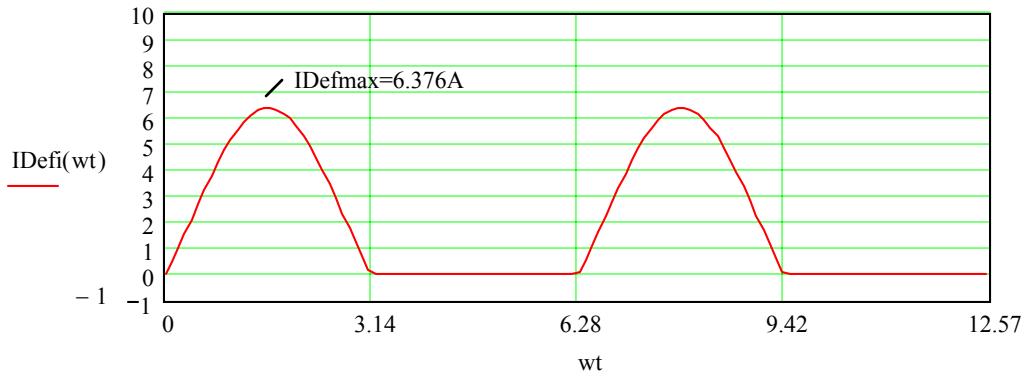
$$I_{Dmed} = \frac{\sqrt{2} \cdot P_o}{8\pi \cdot \eta \cdot V_{in}} \cdot (4 + ma\pi) = \frac{\sqrt{2} \cdot 1000}{8\pi \cdot 0,95 \cdot 220} \cdot (4 + 0,77\pi) = 1,735A \quad \text{Eq.3-24}$$

b) Corrente Eficaz no Diodo:

$$I_{Def} = \frac{\sqrt{2} \cdot P_o}{\eta \cdot V_{in}} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{4} + ma \frac{2}{3} \right)} = \frac{\sqrt{2} \cdot 1000}{0,95 \cdot V_{in}} \sqrt{\frac{1}{2\pi} \cdot \left( \frac{\pi}{4} + 0,77 \frac{2}{3} \right)} = 3,083A \quad \text{Eq.3-25}$$

c) Corrente de Pico no Diodo:

A corrente máxima no diodo para cada instante de  $wt$  pode ser visualizada através da figura 3-2.



**Figura 3-2 Variação da corrente no diodo em função de wt.**

d) Tensão Máxima Reversa no diodo:

$$V_{Dpico} = -V_o = -400V \quad \text{Eq.3-26}$$

Assim, através destas especificações, foi inicialmente selecionado o componente para realizar a função de interruptor, designado por IGBT IRGP35B60PD. Estes transistores apresentam diodo em antiparalelo no mesmo encapsulamento, não sendo necessária a utilização de diodos externos. Para a escolha adequada do componente, devem-se considerar as perdas apresentadas nos processos de condução, comutação e recuperação do diodo, que acarretam seu aquecimento.

A tabela 1 apresenta os valores de calculados comparados com o valor de simulação.

**Tabela 1 Comparação entre valores Calculados e Simulados**

	<b>Valor Calculado</b>	<b>Valor Simulado</b>
<b>Corrente Média na Chave</b>	0,419A	0,55A
<b>Corrente Eficaz na Chave</b>	1,394A	1,601A
<b>Corrente Média no Díodo</b>	1,735A	1,4399A
<b>Corrente Eficaz no Díodo</b>	3,083A	2,779A
<b>Corrente Eficaz no Capacitor</b>	4,186A	3,998A

## 3.2 Cálculo Térmico

### 3.2.1 Perdas por Condução no Transistor

$$P_{(cond)} = \left( \frac{1}{8} + \frac{ma}{3\pi} \right) \frac{V_{CEN} - V_{CEO}}{I_{CN}} I_{CM}^2 + \left( \frac{1}{2\pi} + \frac{ma}{8} \cos\phi \right) V_{CEO} I_{CM}$$

$$P_{(cond)} = \left( \frac{1}{8} + \frac{0,77}{3\pi} \right) \frac{2,7 - 1,5}{10} 6^2 + \left( \frac{1}{2\pi} + \frac{0,77}{8} \cdot 1 \right) \cdot 1,5 \cdot 6$$

$$P_{(cond)} = 4,63W$$

Eq.3-27

### 3.2.2 Perdas na Entrada no Transistor

$$P_{(on)} = \frac{1}{8} V_o t_r \frac{I_{CM}}{I_{CN}} f_s + \dots$$

$$\dots \frac{2}{3} V_o \left[ \left( 0,28 + \frac{0,38}{\pi} \frac{I_{CM}}{I_{CN}} + 0,0015 \left( \frac{I_{CM}}{I_{CN}} \right)^2 \right) Q_{rr} + \left( 0,28 + \frac{0,38}{\pi} \frac{I_{CM}}{I_{CN}} \right) I_{CM} t_{rr} \right] f_s$$

$$P_{(on)} = \frac{1}{8} \cdot 400 \cdot 120 \cdot 10^{-9} \cdot \frac{6}{10} \cdot 50000 + \dots$$

$$\dots \frac{2}{3} \cdot 400 \cdot \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{6}{10} + 0,0015 \cdot \left( \frac{6}{10} \right)^2 \right) 0,48 \cdot 10^{-6} + \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{6}{10} \right) \cdot 6 \cdot 200 \cdot 10^{-9} \right] \cdot 50000$$

$$P_{(on)} = 7,85W$$

Eq.3-28

### 3.2.3 Perdas no Bloqueio o Transistor

$$P_{(off)} = V_o \cdot I_{CM} \cdot t_f \cdot f_s \cdot \left( \frac{1}{3\pi} + \frac{1}{24} \cdot \frac{I_{CM}}{I_{CN}} \right)$$

$$P_{(off)} = 400 \cdot 6 \cdot 400 \cdot 10^{-9} \cdot 50000 \cdot \left( \frac{1}{3\pi} + \frac{1}{24} \cdot \frac{6}{10} \right)$$

$$P_{(off)} = 0,127W$$

Eq.3-29

### 3.2.4 Perda Total para o Transistor

$$P_{chave} = P_{(cond)} + P_{(on)} + P_{(off)} \quad \text{Eq.3-30}$$

$$P_{chave} = 12,61\text{W}$$

### 3.2.5 Perdas por Condução no Diodo

$$P_{D(cond)} = \left( \frac{1}{8} + \frac{ma}{3\pi} \right) \cdot \frac{V_{FN} - V_{FO}}{I_{FN}} \cdot I_{CM}^2 + \left( \frac{1}{2\pi} + \frac{ma}{8} \cdot \cos\phi \right) \cdot V_{FO} \cdot I_{CM} \quad \text{Eq.3-31}$$

$$P_{D(cond)} = \left( \frac{1}{8} + \frac{0,77}{3\pi} \right) \cdot \frac{2 - 0,9}{10} \cdot 6^2 + \left( \frac{1}{2\pi} + \frac{0,77}{8} \cdot 1 \right) \cdot 0,9 \cdot 6$$

$$P_{D(cond)} = 0,5032\text{W}$$

### 3.2.6 Perdas por Entrada em comutação no Diodo

$$P_{D(on)} = \frac{1}{3} V_o \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{I_{CM}}{I_{CN}} + 0,0015 \cdot \left( \frac{I_{CM}}{I_{CN}} \right)^2 \right) \cdot Q_{rr} + \dots \right] \cdot f_s \quad \text{Eq.3-32}$$

$$\left. \dots + \left( \frac{0,8}{\pi} + 0,05 \cdot \frac{I_{CM}}{I_{CN}} \right) \cdot I_{CM} \cdot t_{rr} \right]$$

$$P_{D(on)} = \frac{1}{3} V_o \left[ \left( 0,28 + \frac{0,38}{\pi} \cdot \frac{6}{10} + 0,0015 \cdot \left( \frac{6}{10} \right)^2 \right) \cdot Q_{rr} + \dots \right] \cdot f_s$$

$$\left. \dots + \left( \frac{0,8}{\pi} + 0,05 \cdot \frac{6}{10} \right) \cdot 6 \cdot 200 \cdot 10^{-6} \right]$$

$$P_{D(on)} = 3,3856\text{W}$$

### 3.2.7 Perdas Totais no Diodo

$$P_{Diodo} = P_{D(cond)} + P_{D(on)} \quad \text{Eq.3-33}$$

$$P_{Diodo} = 0,5032\text{W} + 3,3856\text{W}$$

$$P_{Diodo} = 3,8888\text{W}$$

### 3.2.8 Perdas no Transistor e Didos

$$P_{Totais} = P_{IGBT} + P_{Diodos} \quad \text{Eq.3-34}$$

$$P_{Totais} = P_{IGBT} + P_{Diodos}$$

$$P_{Totais} = 16,05\text{W}$$

## 3.3 Cálculo Térmico

### 3.3.1 Cálculo da temperatura de cápsula para o TRANSISTOR

Como o módulo escolhido para a implementação da etapa de potência foi o módulo IGBT IRGP35B60PD, tem-se que os dados para este componente são:

$$R_{jc}(th) = 4,17^\circ\text{C/W}$$

$$R_{cd}(th) = 0,5^\circ\text{C/W}$$

$$T_{j, chave} = 150^\circ\text{C}$$

$$T_{c, chave} = T_{j, chave} - P_{chave} \cdot R_{jc(th), chave} \quad \text{Eq.3-35}$$

$$T_{c, chave} = 150 - 12,61 \cdot 4,17$$

$$T_{c, chave} = 97,4^\circ\text{C}$$

### 3.3.2 Cálculo da temperatura de cápsula para o DIODO

Dados para o diodo:

$$R_{jc}(th) = 4,9^\circ\text{C/W}$$

$$R_{cd}(th) = 0,5^\circ\text{C/W}$$

$$T_{j, chave} = 150^\circ\text{C}$$

$$T_{c, diodo} = T_{j, diodo} - P_{diodo} \cdot R_{jc(th), diodo} \quad \text{Eq.3-36}$$

$$T_{c, diodo} = 150 - 3,89 \cdot 4,9$$

$$T_{c, diodo} = 130,94^\circ\text{C}$$

Assim, como a menor temperatura da cápsula (Tc) calculada foi 130,94° C esta será a temperatura usada para o cálculo do dissipador.

### 3.3.3 Cálculo da Temperatura do Dissipador.

$$T_d = T_j - R_{cd} (4P_{chave} + 4P_{diodo}) \quad \text{Eq.3-37}$$

$$T_d = 150 - 0,5 \cdot (4 \cdot 12,61 + 4 \cdot 3,89)$$

$$T_d = 266,99^\circ C$$

### 3.3.4 Especificação da Resistência Dissipadora Ambiente Máxima ( $R_{da(th)}$ ).

$$R_{da(th)} = \frac{Td - Ta}{4P_{chave} + 4P_{diodo}} \quad \text{Eq.3-38}$$

$$R_{da(th)} = \frac{266,99 - 50}{4 \cdot 12,61 + 4 \cdot 3,89}$$

$$R_{da(th)} = 3,2877^\circ C / W$$

### 3.3.5 Escolha do Dissipador

Dentre os dissipadores disponíveis no laboratório, será utilizado o dissipador P14, que possui resistência térmica inferior à requerida pelo circuito de potência.

## 3.4 Conclusões

Foi possível, através do trabalho desenvolvido neste capítulo, dimensionar as chaves e diodos que serão utilizados na estrutura do conversor.

Foi possível também dimensionar através de valores quantitativos o capacitor de saída, bem como o indutor de entrada, assim como suas características a partir dos equacionamentos levantados no capítulo anterior.

Por último se especificou qual o dissipador a ser utilizado através dos cálculos térmicos abordados na bibliográfica, também mencionada o capítulo anterior.

Desta maneira foram levantados praticamente todos os componentes para a montagem da estrutura de potência do conversor, restando então seguir para a análise e projeto do controlador.

## CAPÍTULO 4

### 4 PROJETO DO SISTEMA DE COMANDO E CONTROLE

#### 4.1 Introdução

Neste capítulo é feito um estudo do projeto do compensador digital para o conversor de corrente reversível monofásico, cujas características de funcionamento foram abordadas previamente no capítulo anterior. Neste estudo será utilizado o método de *Controle por Valores Médios*, amplamente aplicado em trabalhos científicos, pois se trata de um método bastante robusto. Porém, a ênfase aqui será dada à aplicação do uso dos compensadores usando a técnica digital, pois considerá-se que a técnica de controle por valores médios instantâneos analógicos já é amplamente consolidada, através de vários estudos e publicações [2] a [8].

Portanto, neste trabalho, o que será feito é utilizar as proposições mencionadas nos trabalhos referidos a acima para projetar um compensador utilizando o processamento digital de sinais. Cabe salientar que as regras utilizadas para o projeto dos compensadores digitais serão as mesmas que são usadas no projeto dos compensadores analógicos, pois embora o tratamento matemático seja diferente, a filosofia aplicada é a mesma.

#### 4.2 Visão Geral do Diagrama de Controle

A figura 4-1 mostra o diagrama de blocos funcional do método de controle por valores médios de corrente, onde nota-se a existência de duas malhas de controle, um laço interno de controle da corrente de entrada e um laço externo de controle de tensão de saída.

##### 4.2.1 Malha de corrente

A malha de corrente é programada para seguir a referência de corrente que possui forma senoidal. Nos controles convencionais este formado senoidal é retirado através de um sensor de tensão de entrada, como ilustrado na figura 4-1. Porém, no controle digital, estes valores serão gerados internamente no processador, não necessitando mais da presença deste sensor, como será detalhado posteriormente. No caso do controle

convencional a referência de corrente senoidal tem sua amplitude modulada pelo sinal proveniente do compensador de tensão.

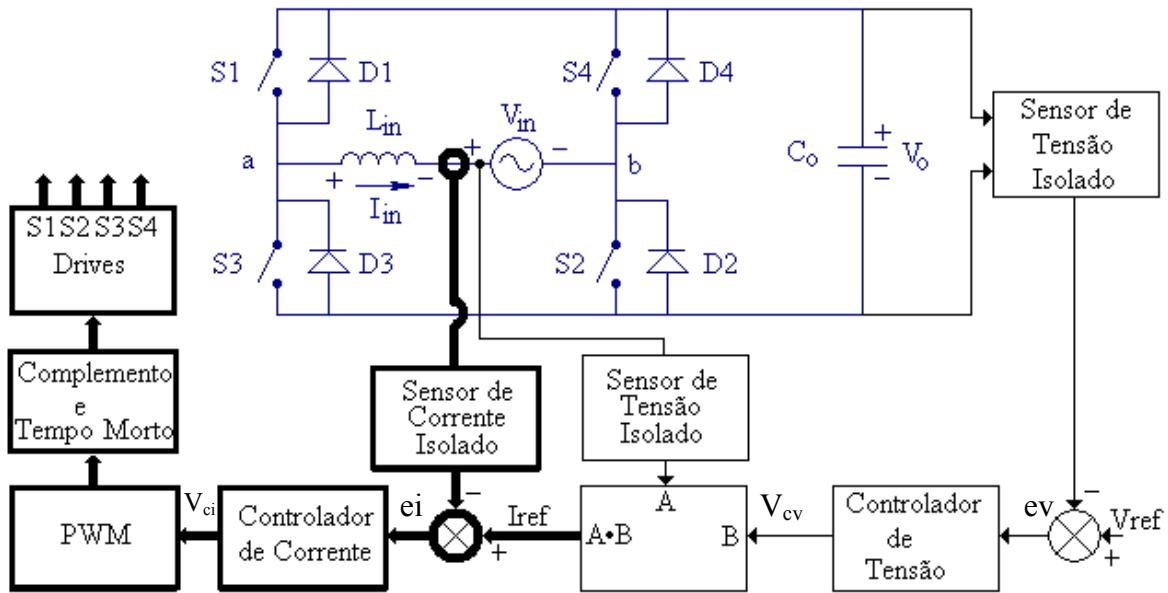


Figura 4-1 Diagrama de blocos do controle do Conversor (Malha de Corrente).

A figura 4-2 mostra o diagrama de blocos da malha de controle da corrente (em negrito) do conversor. A malha de controle da corrente se caracteriza por ser uma malha de velocidade rápida, sendo responsável pela variação da razão cíclica do retificador. Como pode ser ainda visualizado na figura 4-1, esta correção da razão cíclica é realizada a partir da amostragem da Corrente de entrada  $I_{Lin}$  do retificador, através de um sensor que introduzirá um ganho  $K_i$  no sistema. Esta amostra é então comparada com a corrente de referência resultando em um erro de corrente  $e_i$ . Este erro será introduzido no compensador de corrente que será responsável por gerar um sinal de controle que determinará a razão cíclica e assim, através do bloco PWM, será possível a geração dos sinais para as chaves da planta.

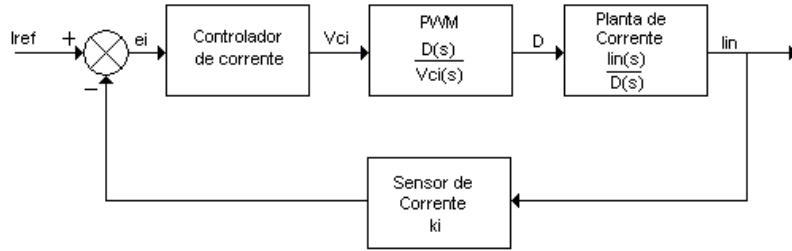


Figura 4-2 Diagrama de blocos do controle da malha de corrente.

#### 4.2.2 Malha de Tensão

A tensão de saída é controlada alternando-se o valor da amplitude da corrente de entrada.

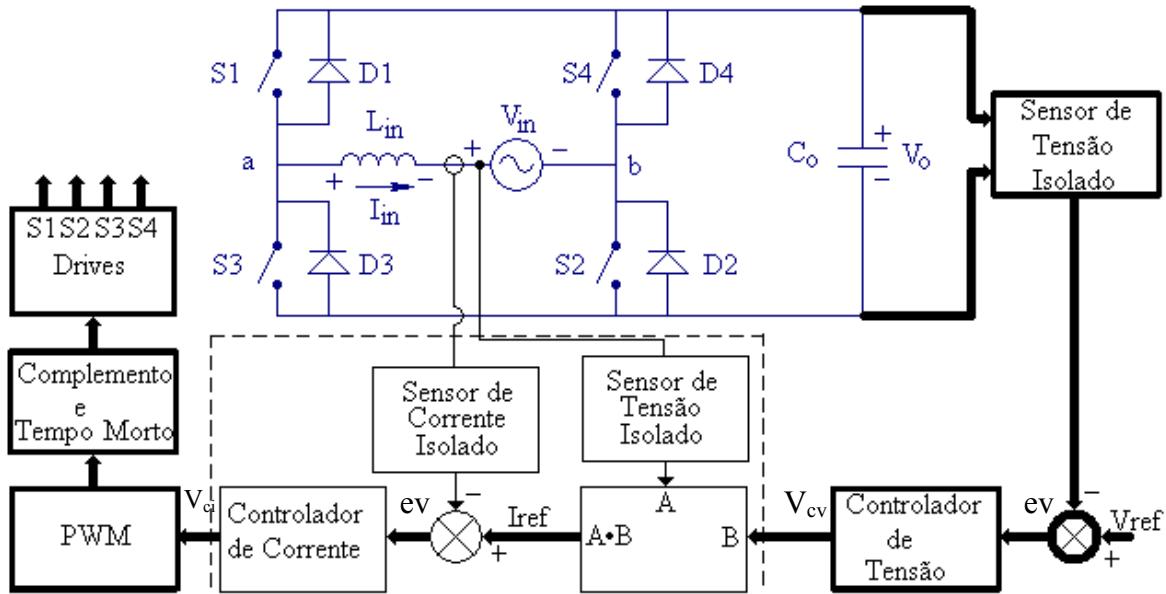
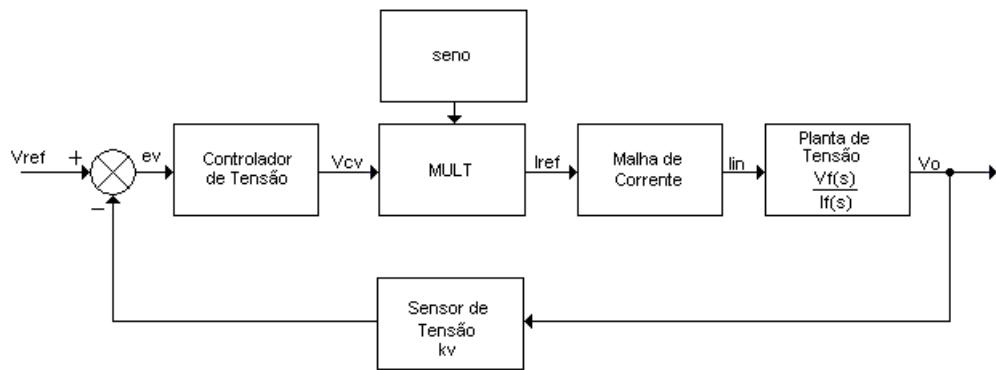


Figura 4-3 Diagrama de blocos do controle do Conversor(Malha de Tensão).

A figura 4-3 mostra o diagrama de blocos da malha de controle de tensão (em negrito) do retificador. Esta malha, monitora Tensão de Saída  $V_o$  através de um sensor de tensão, que também introduz um ganho ao sistema. Esta medida é comparada com uma tensão de referência pré-definida, gerando-se um erro de tensão  $ev$ , que será levado ao compensador da malha de tensão. Este compensador será responsável pela geração do sinal

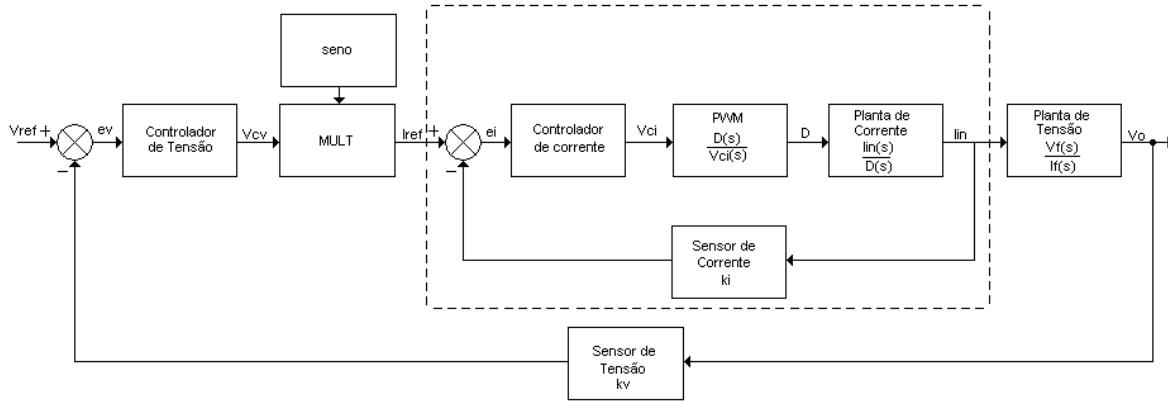
de controle de tensão  $V_{cv}$  que será multiplicado por um sinal senoidal, determinando a forma da corrente de referência. Em sistemas convencionais, com controle analógico, este sinal senoidal é obtido da própria entrada do retificador. Porém neste estudo, como será usado um controle utilizando um processador digital, este sinal será gerado usando uma função matemática interna do processador. Assim sendo, o sinal de controle  $V_{cv}$  multiplicado pelo sinal senoidal gerado darão origem à corrente de referência, que será o sinal de entrada para a malha de corrente como explicado anteriormente.

Na saída da malha de corrente tem-se a corrente de entrada do conversor, cuja amplitude será responsável pela variação da tensão de saída do retificador. Como pode ser ainda visualizado na figura 4-4.



**Figura 4-4 Diagrama de blocos do controle da malha de Tensão.**

O diagrama de bloco completo é mostrado na figura 4-5, onde pode-se observar no interior da área pontilhada a malha de corrente, que recebe o sinal de referência proveniente da malha da tensão, que por sua vez gera um sinal de saída que é aplicado na planta de tensão, e então refaz o ciclo através da malha de tensão.

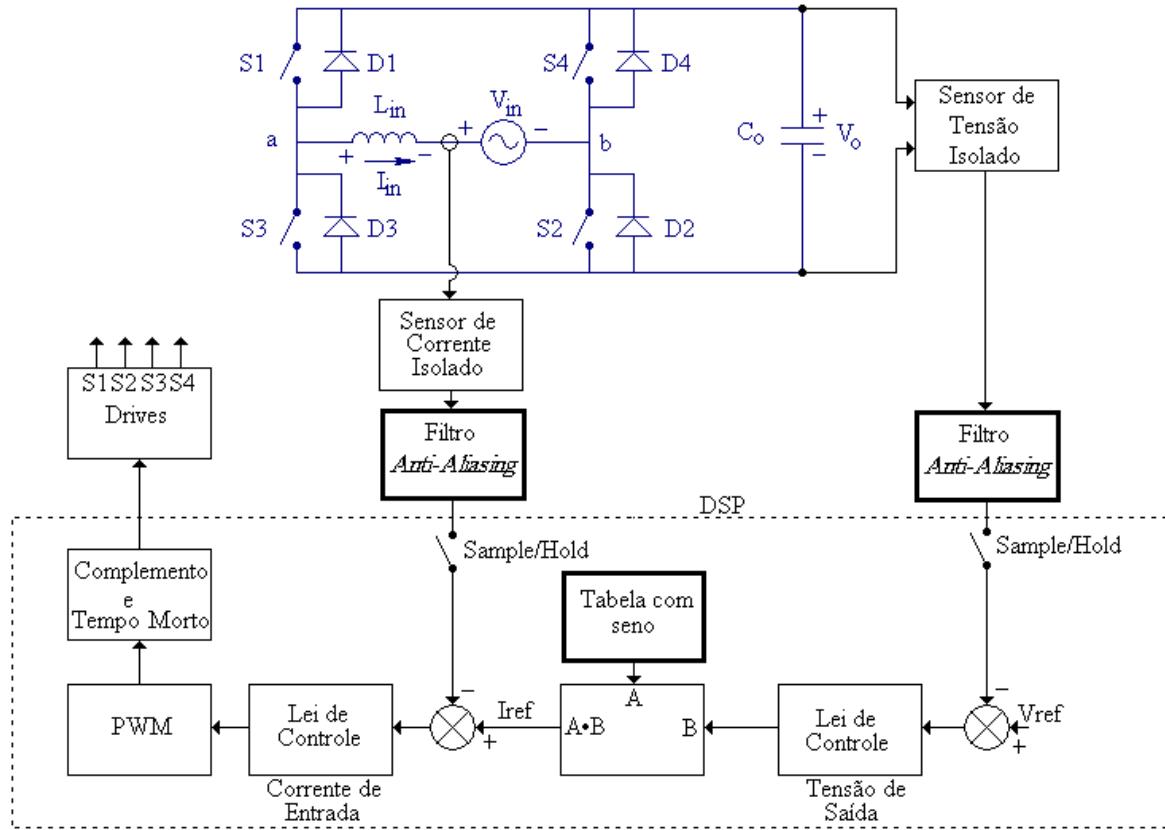


**Figura 4-5 Diagrama de blocos do controle completo.**

### 4.3 Diagrama de Blocos de Controle Usando DSP

Para que seja utilizado um compensador digital é necessário acrescentar alguns blocos, tendo em vista algumas características inerentes a este tipo de controle, como mostrado na figura 4-6.

Uma destas modificações está localizada no sensor de tensão de entrada, que foi eliminado, pois a amostra da tensão senoidal pode ser gerada através de uma tabela de pontos na memória de programa do compensador usando DSP. Desta maneira, a forma de onda de corrente que se quer na entrada não dependerá da tensão de entrada, podendo ser uma senoide quase perfeita.



**Figura 4-6 Diagrama de blocos do controle de um Conversor de Corrente.**

Os filtros anti-aliasing são introduzidos para atenuar as componentes de freqüência superior à metade da freqüência de amostragem. Este efeito ocorre quando um sinal de alta freqüência assume a identidade de um sinal de uma freqüência inferior.

Os circuitos de amostragem e retenção são circuitos internos ao DSP para realizar a amostragem de dados através dos conversores analógico para digital (ADC) e serão abordados em capítulo específico que tratará do processador utilizado.

#### 4.4 Funções de Transferência do Retificador

Para que um compensador de corrente adequado possa ser definido é indispensável definir a priori a função de transferência para pequenos sinais do estágio de potência. E para obter o modelo para grandes sinais é necessário representar o conversor em ponte completa, reprezentado aqui na figura 4-7, através de seus valores médios.

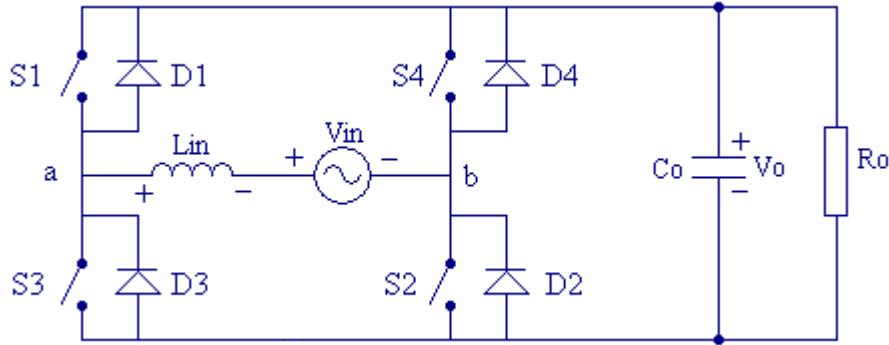


Figura 4-7 Esquema do Conversor Reversível em corrente.

#### 4.4.1 Função de Transferência para Controle de Corrente

A função de transferência  $G_i(s)$  pode ser obtida da maneira descrita neste item. A figura 4-8 mostra o modelo para grandes sinais para este conversor, em função da freqüência de chaveamento. A tensão  $V_{in}$  representa a tensão senoidal da entrada do retificador,  $L_{in}$  é o indutor de filtragem da entrada do conversor e a saída é representada por um fonte CC, onde o valor médio desta fonte, como já foi equacionado anteriormente, depende da tensão sobre o capacitor  $V_o$  e da razão cíclica  $D$ , como mostrado na figura 4-8.

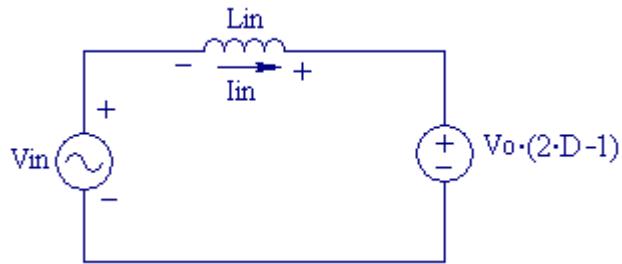


Figura 4-8 Modelo para grandes sinais.

Assim a Tensão  $V_s$ , em operação contínua pode ser calculada pela Eq.4-1.

$$V_{in} + L_{in} \cdot \frac{dI_{in}(t)}{dt} = (2 \cdot D - 1) \cdot V_o \quad \text{Eq. 4-1}$$

ou ainda

$$\frac{dI_{in}(t)}{dt} = \frac{(2 \cdot D - 1) \cdot V_o - V_{in}}{L_{in}} \quad \text{Eq. 4-2}$$

Então, para se obter a função de transferência da corrente  $I_f$  em função da variação de  $D$ , i.e.  $\Delta D$ , é necessário gerar uma perturbação no sistema que produza uma pequena variação  $\Delta I_f$ , como mostra a Eq.4-3.

$$\frac{dI_{in}(t)}{dt} + \frac{d\Delta I_{in}(t)}{dt} = \frac{V_o \cdot (2 \cdot (D + \Delta D) - 1) - V_{in}}{L_{in}} \quad \text{Eq. 4-3}$$

Colocando a expressão Eq. 4-3 em um forma mais conveniente temos a Eq. 4-4.

$$\frac{dI_{in}(t)}{dt} + \frac{d\Delta I_{in}(t)}{dt} = \frac{V_{in} - (2 \cdot D - 1) \cdot V_o}{L_{in}} - \frac{2 \cdot \Delta D \cdot V_o}{L_{in}} \quad \text{Eq. 4-4}$$

Através da Eq. 4-4 temos que

$$\frac{dI_{in}(t)}{dt} = \frac{V_{in} - (2 \cdot D - 1) \cdot V_o}{L_{in}} \quad \text{Eq. 4-5}$$

Da mesma forma obtém-se a equação Eq. 4-6

$$\frac{d\Delta I_{in}(t)}{dt} = \frac{2 \cdot \Delta D \cdot V_o}{L_{in}} \quad \text{Eq. 4-6}$$

Aplicando a Transformada de Laplace na equação Eq. 4-6, obtém-se:

$$s \cdot \Delta I_{in}(s) = \frac{2 \cdot \Delta D(s) \cdot V_o}{L_{in}} \quad \text{Eq. 4-7}$$

Assim

$$\frac{\Delta I_{in}(s)}{\Delta D(s)} = \frac{2 \cdot V_o}{s \cdot L_{in}}$$

Eq. 4-8

A equação Eq. 4-8 é valida apenas para altas freqüência pois foi deduzida considerando-se que a tensão do lado CC do conversor seja constante ( $V_o = \text{constante}$ ), i.e., sem ondulação. Devido a este fato a equação Eq. 4-8 é denominada de função de transferência simplificada.

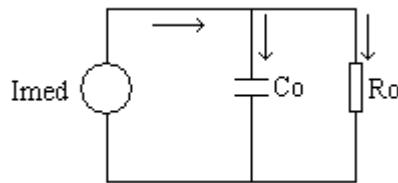
#### 4.4.2 Função de Transferência para Controle de Tensão

Nesta seção será obtida a função de transferência da malha de tensão do conversor, bem como o compensador de tensão. Para se projetar o compensador adequado é necessário se conhecer a função de transferência de tensão do conversor.

Para um conversor monofásico a corrente média na saída pode ser relacionada com a corrente no indutor através da seguinte expressão:

$$I_{med} = (2D - 1) \cdot I_{Lin} \quad \text{Eq.4-9}$$

Com esta simplificação podemos representar o conversor pelo modelo ilustrado na figura 4-9.



**Figura 4-9 Circuito simplificado do conversor.**

A corrente fornecida pela fonte de corrente é igual a somatória das correntes no capacitor e no resistor de carga, logo:

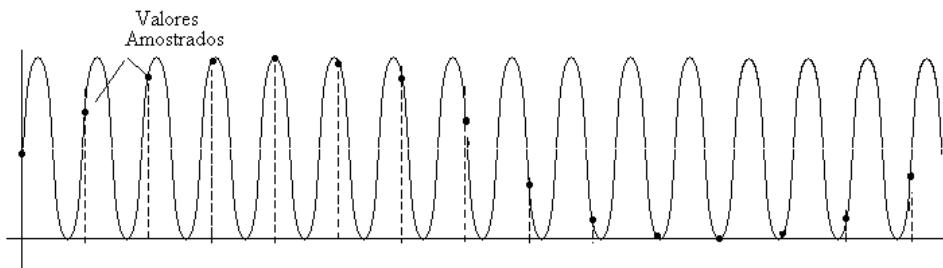
$$(2D - 1) \cdot I_{Lin} = C_o \cdot \frac{dV_o}{dt} + \frac{V_o}{R_o} \quad \text{Eq.4-10}$$

Aplicando Laplace na Eq. 4-10, obtém-se a Eq. 4-11, que representa a função de transferência do conversor necessária ao projeto do compensador de tensão.

$$\frac{V_o(s)}{I_{Lin}(s)} = \frac{R_o \cdot (2D - 1)}{1 + s \cdot R_o \cdot C_o} \quad \text{Eq. 4-11}$$

## 4.5 Função de Transferência do filtro anti-aliasing

*Aliasing* é um fenômeno que ocorre em sistemas amostrados e que pode ser entendido como sendo quando um sinal de alta freqüência (uma freqüência superior a metade da freqüência de amostragem) assume a identidade de um sinal de uma freqüência inferior (abaixo da metade da freqüência de amostragem), como mostrado na figura 4-10. Isso ocorre porque não existe uma quantidade de amostras suficientes para caracterizar o sinal e este fenômeno pode ser facilmente visualizado e compreendido analisando-se o espectro em freqüência de um sinal amostrado.



**Figura 4-10 Efeito anti-aliasing.**

Através dos estudos em [1] a [5], pode-se projetar um filtro para evitar o fenômeno de *aliasing* atenuando-se as componentes de freqüência superior à metade da freqüência de amostragem. A função de transferência do filtro é apresentada na Eq. 4-12

$$G_f(s) = \frac{k}{s + k} \quad \text{Eq. 4-12}$$

Onde:

$$k = \pi \cdot fa \quad \text{Eq. 4-13}$$

Para implementar este filtro foi construído um filtro analógico representado na figura 4-11. A função de transferência deste filtro é dada pela Eq. 4-12. Para cada variável monitorada deve ser inserido um filtro em série com o sinal.

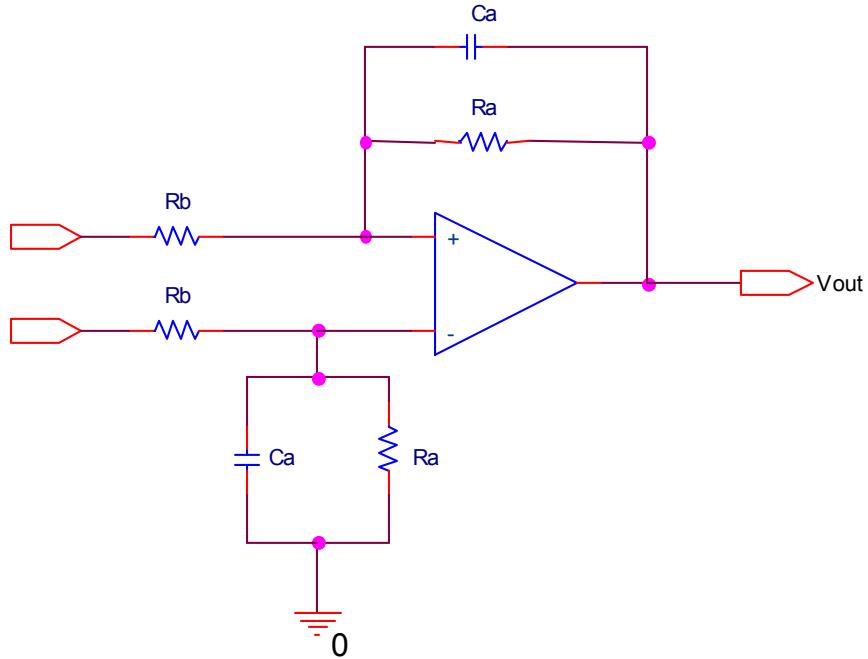


Figura 4-11 Diagrama esquemático do filtro de *anti-aliasing*.

Se  $(-)\text{Vin}$  é zero:

$$\frac{V_o(s)}{V_{in}(s)} = \frac{\frac{Ra}{Rb}}{s \cdot C_a \cdot R_a + 1} \quad \text{Eq. 4-14}$$

Se  $Ra = Rb$ :

$$Gf(s) = \frac{V_o(s)}{V_{in}(s)} = \frac{1}{s \cdot C_a \cdot R_a + 1} = \frac{\frac{1}{C_a \cdot R_a}}{s + \frac{1}{C_a \cdot R_a}} \quad \text{Eq. 4-15}$$

Comparando as Eq. 4-12 e Eq. 4-16 conclui-se que:

$$k = \frac{1}{C_a \cdot R_a} \quad \text{Eq. 4-15}$$

## 4.6 Função de Transferência do Modulador PWM

Para o equacionamento da função de transferência do modulador PWM é utilizado o método proposto por Barbi[3]. A portadora utilizada é uma onda triangular que possui o valor mínimo nulo ( $V_L=0V$ ) e valor máximo igual a  $V_H$ , como representado na figura 4-12. Logo, como a razão cíclica é definida como o tempo ( $T_{off}$ ) em que a tensão de controle  $V_C$  é menor do que o valor da portadora, pode-se retirar a relação descrita através da Eq. 4-16.

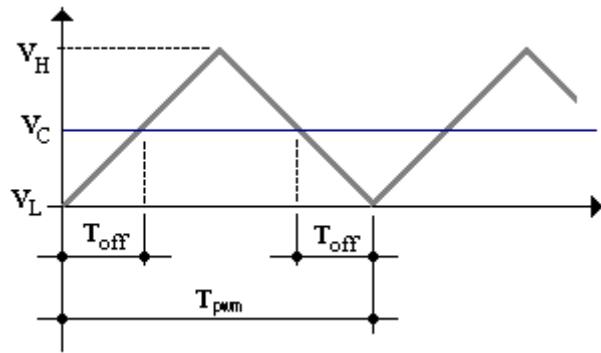


Figura 4-12 Forma de onda para geração do PWM.

$$D = \frac{2 \cdot T_{off}}{T_{pwm}} \quad \text{Eq. 4-16}$$

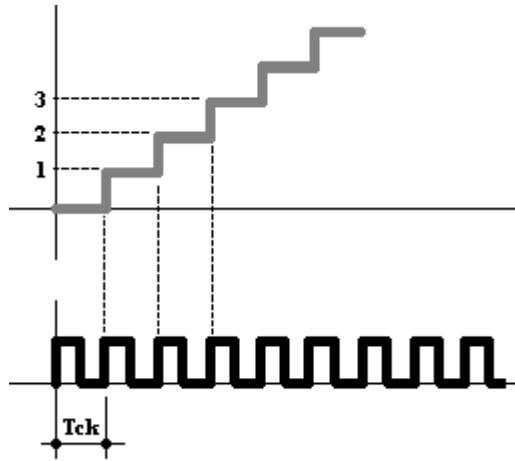
Considerando uma portadora triangular simétrica entre as rampas de subida e descida, pode-se, com o uso da propriedade de semelhanças entre triângulos, retirar a relação descrita através Eq. 4-17.

$$\frac{V_H}{\left(\frac{T_{pwm}}{2}\right)} = \frac{V_C}{T_{off}} \quad \text{Eq. 4-17}$$

Substituindo a Eq. 4-19 na Eq. 4-18 pode-se chegar a uma relação entre a razão cíclica  $D(s)$  e a tensão de comparação  $V_C(s)$ , apresentada em Eq. 4-18.

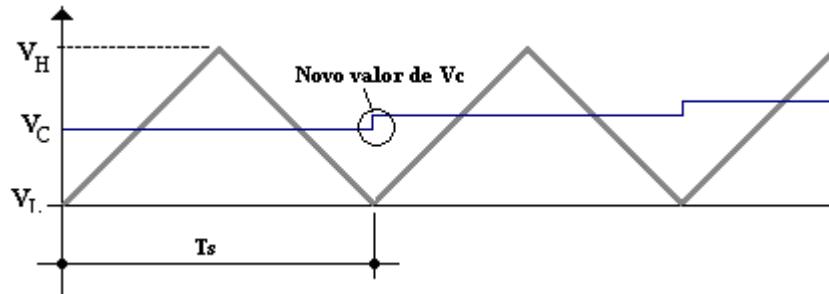
$$K_{PWM}(s) = \frac{D(s)}{V_c(s)} = \frac{1}{V_H} \quad \text{Eq. 4-18}$$

O sinal triangular, cujo valor máximo é  $V_H$ , é incrementado e decrementado discretamente de acordo com a freqüência do *clock* do DSP, que é de 40MHz.



**Figura 4-13** Valor da onda triangular sendo incrementada a cada período do clock.

Além disso, a tensão de comparação só pode ser atualizada a cada inicio do período de chaveamento, pois não é possível modificar o valor da tensão de comparação durante o período de chaveamento. Tem-se então a situação mostrada na figura 4-14.



**Figura 4-14** Valor de  $V_c$  sendo atualizado a cada período  $T_{pwm}$ .

Logo, pode-se assumir que:

$$T_{pwm} = T_s \quad \text{Eq. 4-19}$$

Assim, tem-se a proporção:

$$\begin{aligned} 1 &\longrightarrow T_{ck} \\ V_h &\longrightarrow \frac{T_s}{2} \end{aligned} \quad \text{Eq. 4-20}$$

Realizando a regra de três temos a Eq. 4-21, que fornece o valor máxima da onda triangular em função da freqüência de chaveamento desejada e da freqüência do clock.

$$V_H = \frac{1}{2} \cdot \frac{f_{ck}}{f_s} \quad \text{Eq. 4-21}$$

Assim, o valor de pico a pico da onda triangular é 400, uma vez que a freqüência de *clock* utilizado é de 40MHz e freqüência é de chaveamento de 50kHz. O ganho do modulador PWM é dado pela Eq. 4-22.

$$K_{PWM}(s) = \frac{1}{V_H} = \frac{1}{400} = 0,025 \quad \text{Eq. 4-22}$$

## 4.7 Função de Transferência do Conversor A/D

A Eq. 4-23 mostra a relação entre a tensão da entrada analógica( $V_{AN}$ ) e o valor digitalizado através do conversor A/D( $V_{DIG}$ ).

$$V_{DIG} = \frac{(V_{AN} - V_{LO})}{(V_{HI} - V_{LO})} \cdot 2^n \quad \text{Eq. 4-23}$$

A tensão de aquisição ( $V_{AN}$ ) do conversor A/D do DSP TMS320LF240x pode estar entre a tensão de nível baixo  $V_{LO} = 0V$  e a tensão de nível alto. O conversor desta família de DSP possui 10 bits de resolução. De posse destas informações, é possível calcular o ganho introduzindo na amostragem de um sinal, que é dado por:

$$K_{AD} = \frac{V_{DIG}}{V_{AN}} = \frac{2^n}{V_{HI}} \quad \text{Eq. 4-23}$$

## 4.8 Função de Transferência do Sensor de Corrente

O sensor de corrente utilizado deve fornecer uma tensão de saída unipolar, pois o DSP possui uma tensão de alimentação de 0 a 3.3V. Para isso foi utilizado o sensor de efeito hall LTS 25 NP, cuja tensão de entrada depende da corrente de fundo de escala ( $I_p$ ) adotada. O esquema simplificado do sensor pode ser visualizado na figura 4-15.

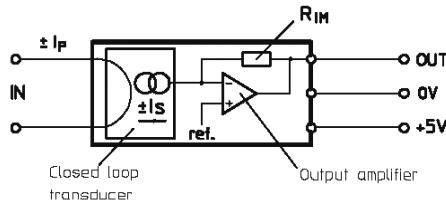


Figura 4-15 Diagrama esquemático do Sensor de Corrente

Para um corrente  $I_p$  de 12A, e uma variação da entrada de -6A a 6A, pode-se traçar a variação da tensão de saída que é fornecida pela Eq. 4-24 e pode ser visualizada através da figura 4-16.

$$V_{in}(I_p) = 2,5 + \left( 0,6 \cdot \frac{I_p}{I_{pn}} \right) \quad \text{Eq. 4-24}$$

onde

$I_p$  é a corrente de fundo de escala(-12A à 12A)

$I_{pn}$  é o range da corrente a ser medida (aproximadamente -7A à 7A)

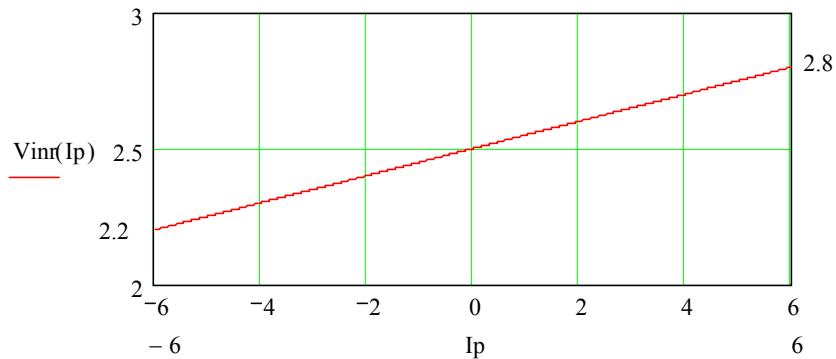


Figura 4-16 Relação entre corrente de fundo de escala e tensão de entrada.

O primeiro valor que aparece na equação é o deslocamento unipolar inerente do sensor. Porém este valor é um valor muito próximo do valor da tensão de alimentação do DSP, por isso é necessária a utilização de um divisor de tensão para reduzir este valor.

Logo a função de transferência do sensor passar a ser dada pela Eq. 4-25

$$\frac{V_o(I_p)}{V_{in}(I_p)} = \frac{R2}{R1 + R2} = K_{si} \quad \text{Eq. 4-25}$$

onde,  $R_1$  e  $R_2$  são os resistores que compõem o divisor de tensão.

## 4.9 Metodologia de projeto para controladores digitais

Em Ogata [4], são estabelecidos alguns procedimentos para o projeto utilizando o plano  $w$ .

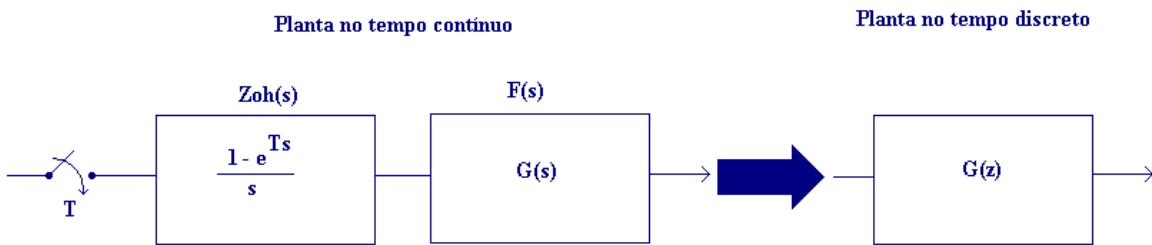
1. Obtém-se inicialmente a função de transferência  $G(z)$ , da planta após a amostragem e retenção(*sample and hold*). Então se aplica a transformada bilinear para obter-se a função de transferência no domínio de  $w$ . É importante que o período seja apropriadamente escolhido.
2. Então deve-se, substituir  $j\omega$  por  $j\nu$  em  $G(j\omega)$  e traçar os diagramas de Bode para  $G(j\nu)$ .
3. Assim, com o diagrama traçado deve-se ler o erro estático, a margem de fase e a margem de ganho.
4. Assumindo que o ganho de baixa freqüência da função do compensador  $H(w)$  é unitária, determinar o ganho do sistema que satisfaça a constante de erro estática. Então, usando as técnicas de projeto convencionais para sistemas de controle contínuos no tempo, determinar os pólos e zeros da função de transferência do compensador digital.
5. Realizar a transformada da função de transferência do compensador  $H(w)$  em  $H(z)$  usando a transformação bilinear inversa, obtendo a função de transferência amostrada do compensador digital.
6. Implementar a função amostrada  $H(z)$ , usando equações a diferenças, através de um algoritmo computacional.

### 4.9.1 Transformações Bilineares

O projeto de um compensador digital pode ser dividido em duas partes fundamentais. A primeira é o modelamento matemático e a segunda é o projeto do compensador propriamente dito.

No modelamento matemático busca-se o equacionamento que descreva o processo e que possa ser usado para análise e estudo do sistema de controle. Como referência para este trabalho utilizou-se o procedimento descrito por Ogata [7] e Tomazzelli [1].

Para implementar o compensador no domínio do tempo discreto é necessário a priori aplicar a transformada  $z$  sobre os modelos obtidos anteriormente para a planta do retificador. Assim, será aplicada a transformada  $z$  na função de transferência com a presença dos conversores A/D e D/A como mostra a figura 4-17.



**Figura 4-17 Diagrama de blocos do processo no domínio de  $s$  e convertido para o domínio de  $z$ .**

Existem, a priori, duas formas de projetar um compensador digital. A primeira tratar-se de uma aproximação que consiste no projeto do compensador no domínio  $s$  e ao obter o equacionamento completo e suas conclusões, utiliza-se algum método de discretização por aproximação para obter a função de transferência no domínio  $z$ .

A segunda forma para se projetar um compensador digital é através de um método analítico, baseado nas ferramentas de projeto do domínio de  $z$  aplicadas na função de transferência discretizada [7]. Este método possui uma precisão maior do que o método anterior.

#### 4.9.2 Transformada $z$ e $w$

Assim como é utilizado para o projeto de compensadores no domínio  $s$ , o método de resposta em freqüência pode ser utilizado de maneira análoga para o projeto de compensadores no domínio discreto  $z$ . Neste método pode-se utilizar o diagrama de Bode para verificar a necessidade de modificação na resposta em freqüência pela inserção de um compensador a fim de obter-se a resposta desejada. Porém, ao se utilizar o domínio  $z$  perde-se a simplicidade oferecida pelos diagramas de Bode, pois a freqüência aparece em um termo exponencial como mostrado na Eq. 4-26.

$$z = e^{j\omega Ta} \quad \text{Eq. 4-26}$$

Para se contornar este problema pode-se utilizar a transformada bilinear para fazer o remapeamento da variável complexa  $z$  no plano  $w$ , como apresenta a Eq. 4-27

$$z = \frac{1 + \left(\frac{Ta}{2}\right) \cdot w}{1 - \left(\frac{Ta}{2}\right) \cdot w}, \quad \text{Eq. 4-27}$$

onde,  $Ta$  é o período de amostragem do sistema.

Ao se utilizar a transformada bilinear, os métodos de resposta em freqüência aplicados no plano  $s$  podem ser aplicados ao plano  $w$ .

$$w = \frac{2}{Ta} \cdot \frac{z-1}{z+1} \quad \text{Eq. 4-28}$$

Através das transformações  $z$  e  $w$ , o semiplano esquerdo do plano  $s$  é primeiro mapeada dentro do círculo unitário no plano  $z$  e então mapeada em todo o semiplano esquerdo do plano  $w$ . Os dois processos são mostrados na figura 4-18.

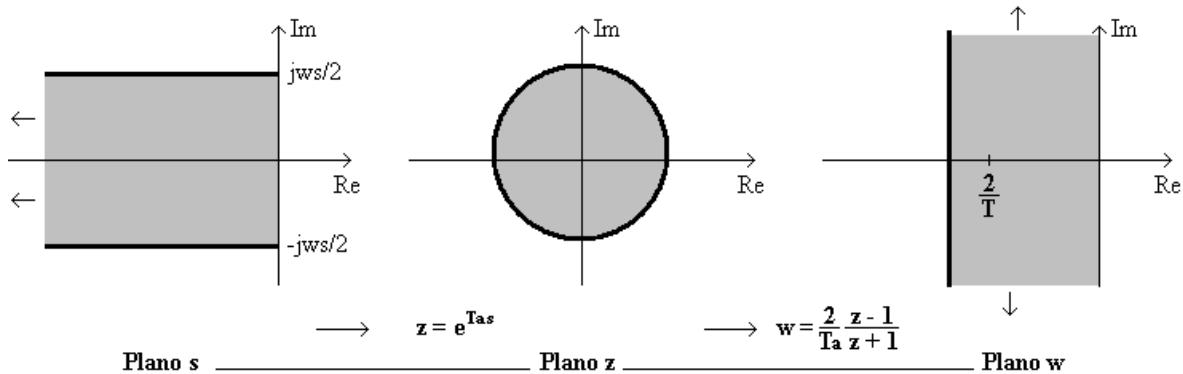


Figura 4-18 Mapeamento usando a transformação bilinear.

Substituindo  $j\omega$  por  $jk$ , pode-se então, usar as técnicas de resposta em freqüência para obter o diagrama de bode para a função de transferência no plano  $w$ . É válido ressaltar que apesar de o plano  $w$  remapear o plano  $s$ , o eixo de freqüência no plano  $w$  é distorcido. Esta freqüência, denominada freqüência fictícia  $k$ , se relaciona com  $\omega$  através da Eq. 4-29.

$$k = \frac{2}{Ta} j \tan \frac{\omega Ta}{2} \quad \text{Eq. 4-29}$$

Ou

$$v = \frac{2}{Ta} \cdot \tan \frac{\omega Ta}{2} \quad \text{Eq. 4-30}$$

#### 4.9.3 Distorções resultantes da digitalização

Segundo Ogata [4] variando o valor de  $v$ , com mostrado através da figura 4-19, de zero a infinito, a transformação bilinear comprime a variação de  $\omega$  de zero a  $\omega_n = \frac{\pi}{Ta}$  (Freqüência de Nyquist). Para o gráfico mostrado na figura 4-19 foi considerado um período de amostragem de 0,001s ou seja 1kHz. Logo  $\omega$  é comprimido de 0 a 3100.

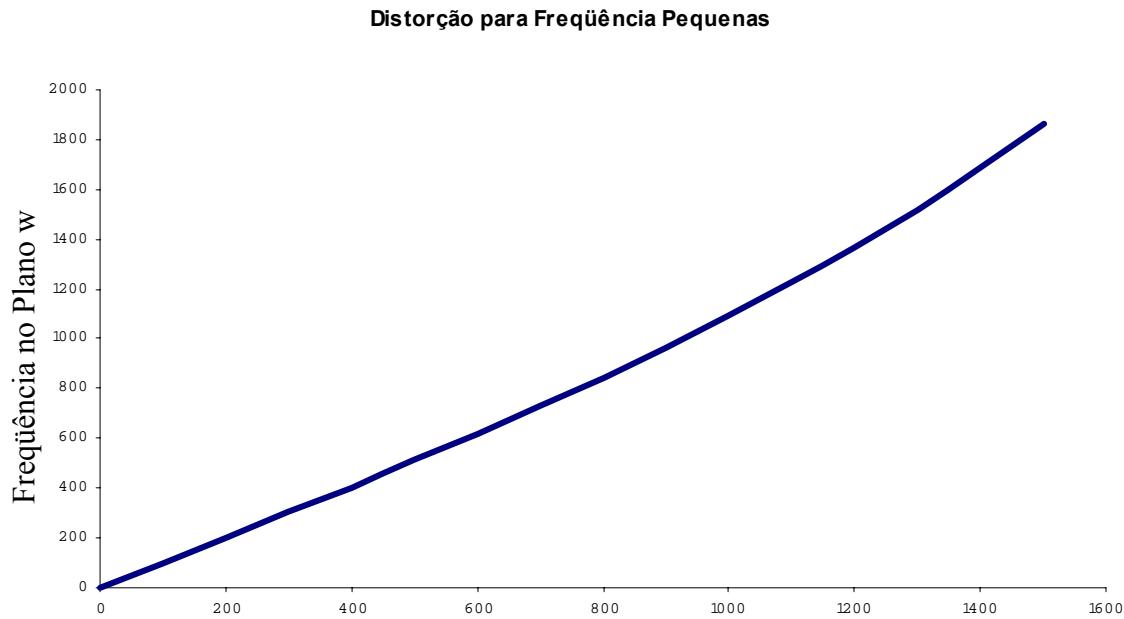


**Figura 4-19 Distorção na freqüência devido ao mapeamento usando a transformação bilinear, com  $Ta=1\text{ms}$ .**

Ou seja, para  $\omega$  pequeno temos:

$$\omega = v \quad \text{Eq. 4-31}$$

Isto significa que para pequenos valores de  $\omega T$  as funções de transferência  $G(s)$  e  $G(w)$  tendem a ser iguais, como mostra a figura 4-20.



**Figura 4-20** Distorção menor para freqüência pequenas, com  $T_a=1\text{ms}$ .

A figura 4-21 mostra o gráfico de distorções para freqüência  $\omega$  de zero a 10kHz.



**Figura 4-21** Distorção para freqüência no plano s até 10kHz, com  $T_a=1\text{ms}$ .

Porém, a freqüência de amostragem de um DSP é muito maior que 1kHz, como foi considerado acima. Assim, por exemplo, para um DSP da família 24xx da *Texas Instruments*, cujo tempo de conversão de um sinal analógico para digital é de 500n, temos que esta distorção em  $w$  será totalmente desprezível. A figura 4-22 apresenta a distorção para um período de amostragem  $T_a$  de 1microsegundo.

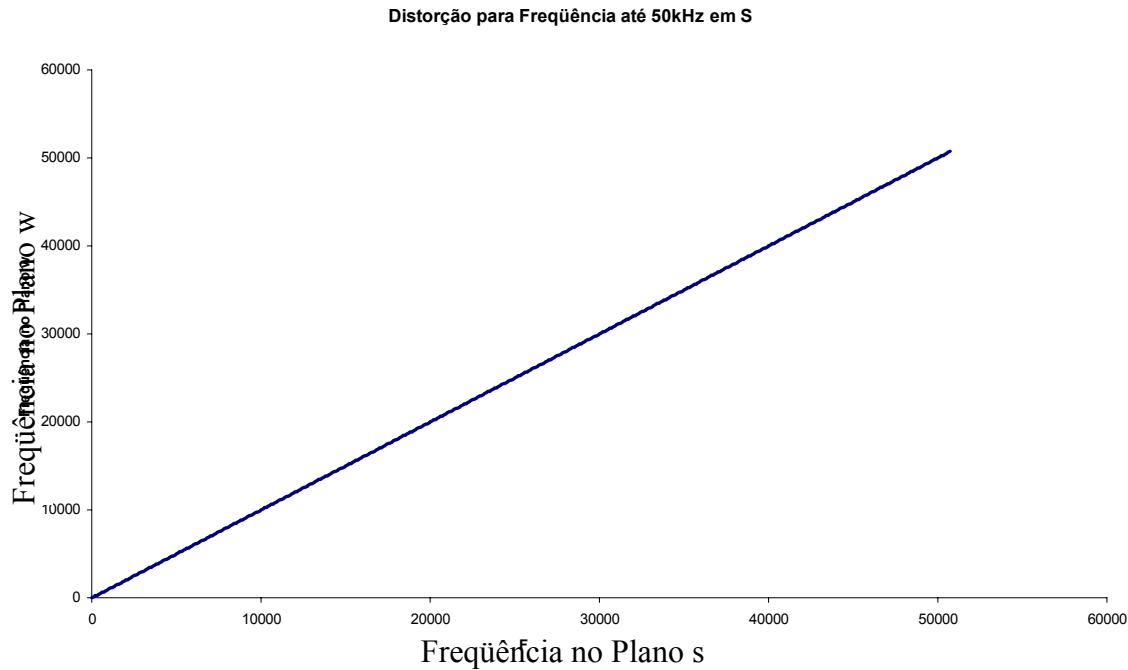


Figura 4-22 Distorção para freqüência no plano s até 50kHz, com  $T_a=1\mu s$ .

#### 4.10 Procedimento de Projeto dos Compensadores Digitais

Após a obtenção das funções de transferência dos respectivos blocos que compõe o modelo de acionamento e controle do conversor, pode-se adotar o procedimento para o projeto do compensador.

Inicialmente serão listadas as especificações para o desenvolvimento do projeto do compensador, que, devido a fato de ser usada a transformação bilinear para o plano  $w$ , se assemelham às dos sistemas de controle contínuos.

Assim, com será utilizada a metodologia de projeto através da transformação bilinear do plano  $s$  para o plano  $w$ , aplica-se o método de resposta em freqüência para o plano  $w$ , onde consequentemente o ganho e a fase são determinados em função da freqüência nos requisitos de projeto que são traçados a seguir segundo Batshauer [2] e

segundo os requisitos propostos pela metodologia de projeto para sistemas contínuos no plano s que são citadas em Barbi [3] e Tomazelli [1].

1. Margem de fase entre  $45^\circ$  e  $90^\circ$ ;
2. A inclinação na curva de ganho para o sistema em laço aberto deve ser de  $-20\text{dB/década}$ ;
3. Erro estático nulo;
4. A freqüência de cruzamento da curva de ganho com o eixo de  $0\text{dB}$ , para o sistema em laço aberto deve ser no mínimo quatro vezes menor do que a freqüência de chaveamento;

$$fc < \frac{fs}{4} \quad \rightarrow \quad \omega_c < \frac{\omega_s}{4}$$

5. A freqüência de chaveamento deverá ser pelo menos 10 vezes menor do que a freqüência de amostragem.

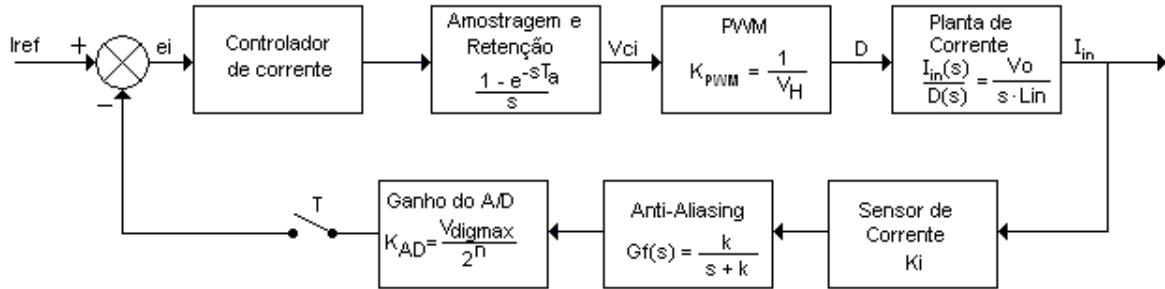
$$fs < \frac{fa}{10} \quad \rightarrow \quad \omega_s < \frac{\omega_a}{10}$$

Para realizar o projeto em freqüência para sistemas contínuos será seguida a metodologia apresentada em Ogata [4], trançando-se um paralelo entre a análise continua e discreta.

## 4.11 Projeto do Compensador de Corrente

### 4.11.1 Função de Transferência no Plano s

O projeto do compensador de corrente deve ser iniciado através da representação em diagrama de blocos para a malha de controle como é apresentada na figura 4-23 e que já foi apresentada anteriormente em função das equações de transferência de cada bloco.



**Figura 4-23** Malha de controle da corrente com funções de transferência.

Logicamente a função de transferência do compensador não é apresentada, pois o objetivo deste estudo é defini-la.

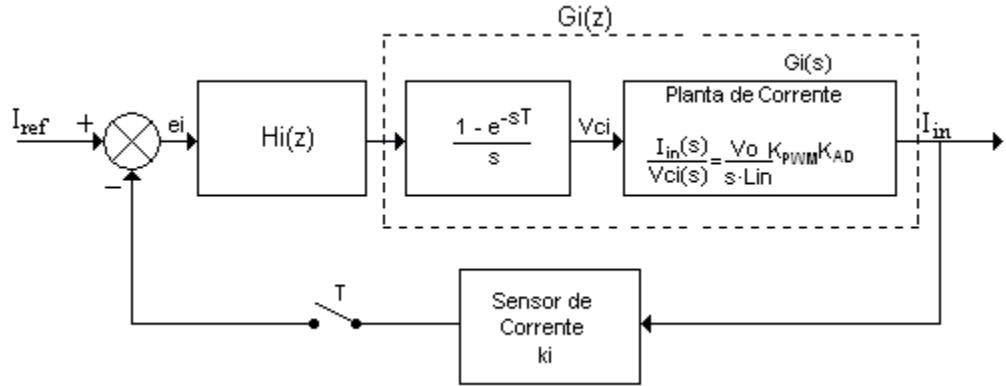
O bloco de amostragem e retenção é definido em Ogata [7] e Barczak [10], onde  $T_a$  é o período de amostragem do sinal.

Para efeito de projeto é interessante fazer com que a freqüência de amostragem seja suficientemente alta, de modo que o projeto do filtro anti-aliasing fique com uma freqüência de cruzamento suficientemente alta de forma que possa não influenciar na análise do sistema na faixa de freqüência de interesse. Desta maneira, o filtro poderá ser eliminado na análise. Outra consideração que pode ser feita, ainda no diagrama de blocos, é a visualização do bloco do modulador PWM como parte integrante da planta de corrente, e assim, dando origem a uma nova função  $G_i(s)$ , representada na Eq. 4-32.

$$G_i(s) = \frac{V_o}{L_{in} \cdot V_H} \cdot \frac{1}{s} \quad \text{Eq. 4-32}$$

#### 4.11.2 Função de Transferência no Plano z

A figura 4-24 apresenta as simplificações descritas e apresenta o compensador de corrente como uma função de transferência  $H_i(z)$



**Figura 4-24** Malha de controle da corrente simplificada.

Assim, de posse das funções de transferência, deve ser agora realizar a transformação bilinear para o domínio do plano **z**. Esta transformação é feita a partir da relação apresentada na Eq 1.13 e reapresentada aqui na Eq. 4-33.

$$z = e^{sT_a} \quad \text{Eq. 4-33}$$

Neste caso, pode-se definir  $G_i(z)$  da seguinte maneira:

$$G_i(z) = Z \left\{ \left( \frac{1 - e^{-sT_a}}{s} \right) \cdot \left( \frac{V_o}{s \cdot L_{in}} \cdot K_{PWM} \cdot K_{AD} \right) \right\}$$

$$G_i(z) = Z \left\{ \left( 1 - e^{-sT_a} \right) \cdot \frac{V_o}{L_{in}} \cdot \frac{1}{s^2} \cdot K_{PWM} \cdot K_{AD} \right\}$$

$$G_i(z) = \left( 1 - z^{-1} \right) \cdot \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{T_a \cdot z^{-1}}{(1 - z^{-1})^2}$$

$$G_i(z) = \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{T_a z^{-1}}{(1 - z^{-1})}$$

$$G_i(z) = \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{T_a}{(z - 1)}$$

$$\text{Eq. 4-34}$$

#### 4.11.3 Função de Transferência no Plano w

Como descrito anteriormente, para que seja possível o uso do método de projeto de compensadores a partir da resposta em freqüência, deve-se fazer a conversão da função de

transferência  $G_i(z)$  do plano  $z$  para o plano  $w$ , dando origem a  $G_i(w)$  através da transformada bilinear, onde

$$z = \frac{1 + \frac{T_a}{2}w}{1 - \frac{T_a}{2}w} \quad \text{Eq. 4-35}$$

$$G_i(w) = \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{T_a}{\left( \frac{1 + \frac{T_a}{2}w}{1 - \frac{T_a}{2}w} - 1 \right)} \quad \text{Eq. 4-36}$$

$$G_i(w) = \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{T_a \cdot (1 - \frac{T_a}{2}w)}{\left( (1 + \frac{T_a}{2}w) - (1 - \frac{T_a}{2}w) \right)} \quad \text{Eq. 4-37}$$

$$G_i(w) = \frac{V_o}{L_{in}} \cdot K_{PWM} \cdot K_{AD} \cdot \frac{1 - \frac{T_a}{2}w}{w} \quad \text{Eq. 4-38}$$

#### 4.11.4 Função de Transferência de Malha Aberta (FTMA<sub>i</sub>)

Assim, a malha de controle de corrente pode ser redefinida no plano  $w$  conforme mostrado na figura 4-25, onde agora o compensador de corrente é substituído pela função de transferência  $H_i(w)$ .

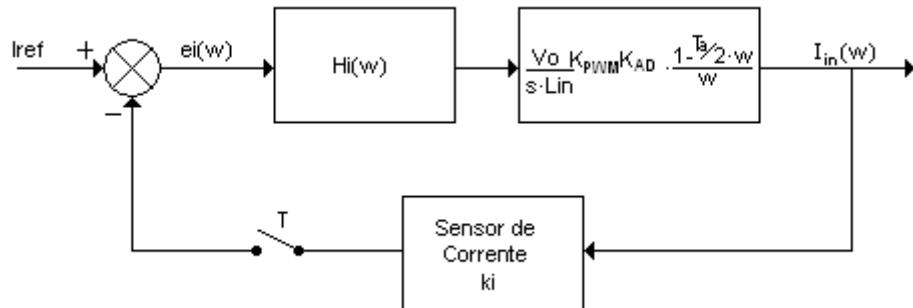


Figura 4-25 Malha de controle da corrente simplificada.

Deve-se, agora, obter a função de transferência de malha aberta do sistema (FTMA<sub>i</sub>), a qual é apresentada pela Eq. 4-39.

$$\text{FTMA}_i = H_i(w) \cdot K_{PWM} \cdot K_{AD} \cdot K_i \cdot \frac{V_o}{L_{in}} \cdot \frac{1 - \frac{T_a}{2}w}{w} \quad \text{Eq. 4-39}$$

#### 4.11.5 Análise da resposta em freqüência da FTMAi

A partir deste ponto, para que seja possível o projeto do compensador é necessário lançar mão dos parâmetros de projetos calculados e especificados para o retificador, onde estes definirão o ganho para a FTMA<sub>i</sub>. Deve-se definir também outros parâmetros, tais como a freqüência de amostragem ( $f_a$ ) e a freqüência de chaveamento do conversor ( $f_s$ ). Desta forma, tem-se:

**Tabela 2 Valores para projeto do controlador de corrente**

Descrição da Variável	Valores
Freqüência de Amostragem	$f_a = 500kHz$
Freqüência angular de amostragem	$\omega_a = 3140krad / sec$
Freqüência de chaveamento	$f_s = 50kHz$
Freqüência angular de chaveamento	$\omega_s = 314krad / sec$
Tensão de saída	$V_o = 400V$
Ganho do sensor de corrente	$K_i = 0,1$
Indutor de entrada	$L_{in} = 6mH$
Freqüência do clock interno do DSP	$f_{ck} = 40MHz$

Com estes valores pode ser calculado inicialmente o máximo valor que pode ser alcançado pela rampa triangular para ser comparada com o sinal de referência para geração do PWM.

$$V_H = \frac{1}{2} \cdot \frac{f_{ck}}{f_s} \quad \text{Eq.4-40}$$

$$V_H = \frac{1}{2} \cdot \frac{40M}{50kHz} = 400 \quad \text{Eq.4-41}$$

Em seguida pode ser calculado o ganho promovido pelo ADC.

$$K_{AD} = \frac{V_{DIG}}{V_{AN}} = \frac{2^n}{V_{HI}} \quad \text{Eq. 4-42}$$

$$K_{AD} = \frac{1024}{3,3} = 310 \quad \text{Eq. 4-43}$$

Assim, a equação de malha aberta pode se tornar:

$$FTMA_i(w) = H_i(w) \cdot \frac{1}{400} \cdot 310 \cdot 0,4 \cdot \frac{400}{0,5} \cdot \frac{1 - 1 \cdot 10^{-6} w}{w} \quad \text{Eq. 4-44}$$

A figura 4-26 apresenta um comparativo entre a função de transferência da planta no domínio de  $w$  (Eq. 4-44) e  $s$  (Eq. 4-45), considerando  $H_i(w)$  unitário.

$$FTMA_i(s) = K_i \cdot G_i(s) = \frac{400}{0,5} \cdot \frac{1}{s} \quad \text{Eq. 4-45}$$

Pela análise da figura 4-25, pode-se perceber que a resposta em freqüência para a função de transferência no plano  $s$  e  $w$  apresentam o mesmo comportamento até a freqüência de aproximadamente 10 kHz, onde a partir deste ponto, o erro na fase passa a ser considerável, devido a presença de um zero na função de transferência gerado pelo processo de amostragem.

A importância deste tipo de análise pode ser entendida quando deseja-se traçar paralelos entre projetos no plano  $s$  e  $w$ , pois o plano  $w$  apresenta uma certa distorção dos valores de freqüência, que pode ser determinada a partir da Eq. 4-46. Para baixas freqüências, quando comparadas a freqüência de amostragem, a distorção dos valores pode ser desconsiderada, fazendo com que o mapeamento entre o plano  $s$  e  $w$  sejam similares. Porém, a medida em que a freqüência aumenta, aproximando-se da freqüência de amostragem, a distorção aumenta, fazendo necessário o uso de correções para converter valores entre os planos  $s$  e  $w$ .

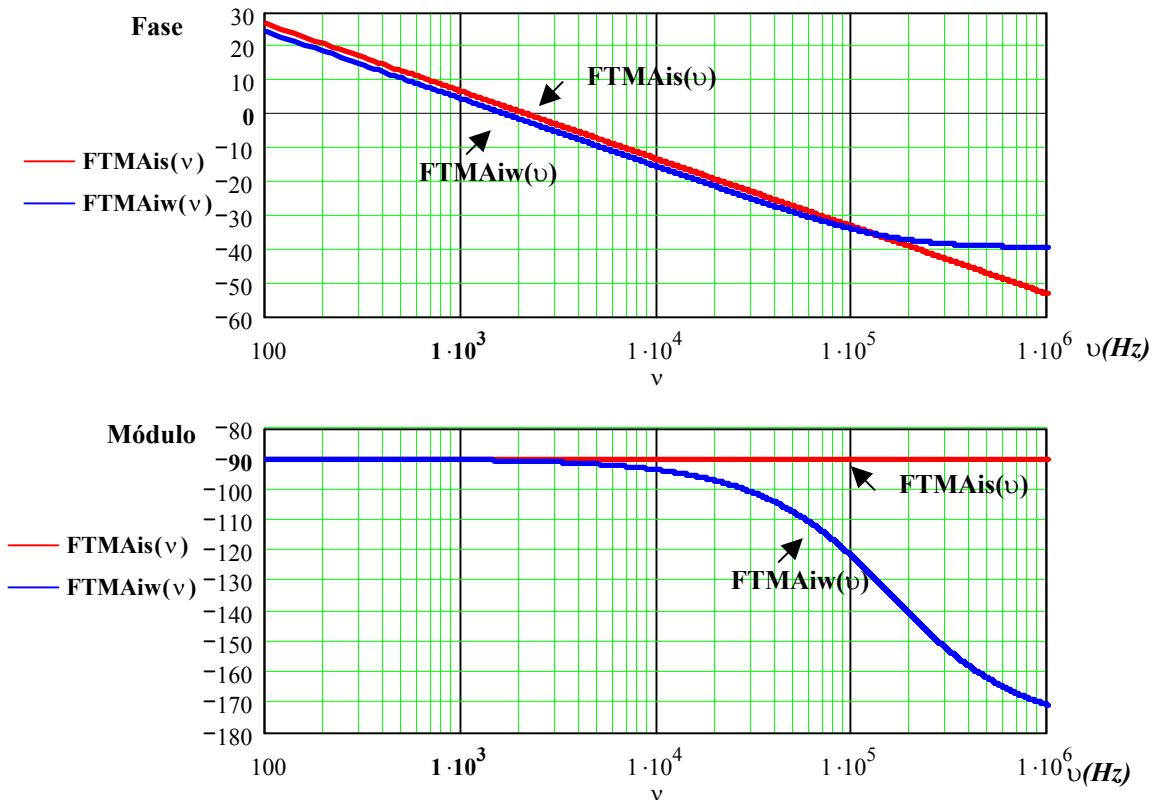
$$v = \frac{2}{Ta} \tan \frac{\omega Ta}{2} \quad \text{Eq. 4-46}$$

Onde:

$\omega$  é a freqüência angular no plano  $s$

$\nu$  é a freqüência angular equivalente no plano w

No desenvolver deste trabalho, assume-se que a distorção entre os planos s e w é nula devido aos valores utilizados como freqüência de amostragem e banda passante do processo.



**Figura 4-26 Resposta em freqüência para a planta de corrente continua e discreta.**

Verificou-se através do item anterior que a função de transferência do conversor para o estudo da malha de controle da corrente é da por:

$$G_i(w) = K_{PWM} \cdot K_{AD} \cdot K_i \cdot \frac{V_o}{L_{in}} \cdot \frac{1 - \frac{T_a}{2} w}{w} \quad \text{Eq. 4-47}$$

Desta função pode-se tirar algumas conclusões:

1. Ela possui somente um pólo na origem, tendo como consequência erro estático nulo para uma entrada em degrau;

2. Gera sistema em malha fechada estável, já que a passagem pela freqüência de cruzamento com 0dB se dá com uma inclinação de -20dB/década;

#### 4.11.6 Projeto do Compensador de Corrente

Assim, utilizando a FTMA<sub>i</sub>, deve-se projetar o controlador de modo a atender os requisitos de projeto anteriormente apresentados. Através de uma análise dos requisitos de desempenho do sistema operando com o compensador e da análise da função de transferência em laço aberto sem o compensador, podem-se tirar algumas conclusões que serão úteis para o projeto do compensador, haja vista que o correto dimensionamento dos compensadores é o que garantirá a dinâmica esperada ao circuito.

Com base nas características da FTMA<sub>i</sub>, opta-se em fazer o projeto com um compensador de corrente do tipo proporcional, onde o ganho é definido para que a freqüência de cruzamento ( $\omega_c$ ) seja de 78,5krad (12,5kHz), ou seja um quarto da freqüência de chaveamento, 314krad/década (50kHz), garantindo assim, que a curva de ganho passe pela freqüência de cruzamento com uma inclinação de -20dB/década devido ao integrador na origem existente na planta de corrente, e com uma margem de fase aproximadamente 80°. Desta forma, o compensador pode ser definido como:

$$H_i(w) = K_{Hi} \quad \text{Eq. 4-48}$$

onde:

$K_{Hi}$  é o ganho do compensador;

Como o ganho da FTMA<sub>i</sub> sem  $H_i(w)$  é:

$$GdBi = -21,07dB$$

Como o ganho da FTMA<sub>i</sub> sem  $H_i(w)$  é de -20,07dB para a freqüência de 12,5 kHz, o ganho  $K_{Hi}$  deve ser projetado de modo a apresentar um ganho de 20,07dB, desta forma

$$K_{Hi} = 10^{\frac{-(GdBi)}{20}} \quad \text{Eq. 4-49}$$

$$-20,07 = 20 \log(K_{Hi}) \quad \text{Eq. 4-50}$$

$$K_{Hi} = 10^{\frac{-(-20,07)}{20}} \quad \text{Eq. 4-51}$$

$$K_{Hi} = 11,31 \quad \text{Eq. 4-52}$$

Logo, determina-se

$$H_i(w) = 11,31 \quad \text{Eq. 4-53}$$

#### 4.11.7 Analise da Influênci a do Compensador

Para ilustrar como a inclusão do controlador  $H_i(w)$  na FTMA<sub>i</sub> influí na resposta do sistema, o diagrama de bode da função de transferência com o controlador é apresentada na figura 4-27, juntamente com a resposta do sistema sem controlador ( $G_i(w)$ ) e a função FTMA<sub>i</sub>.

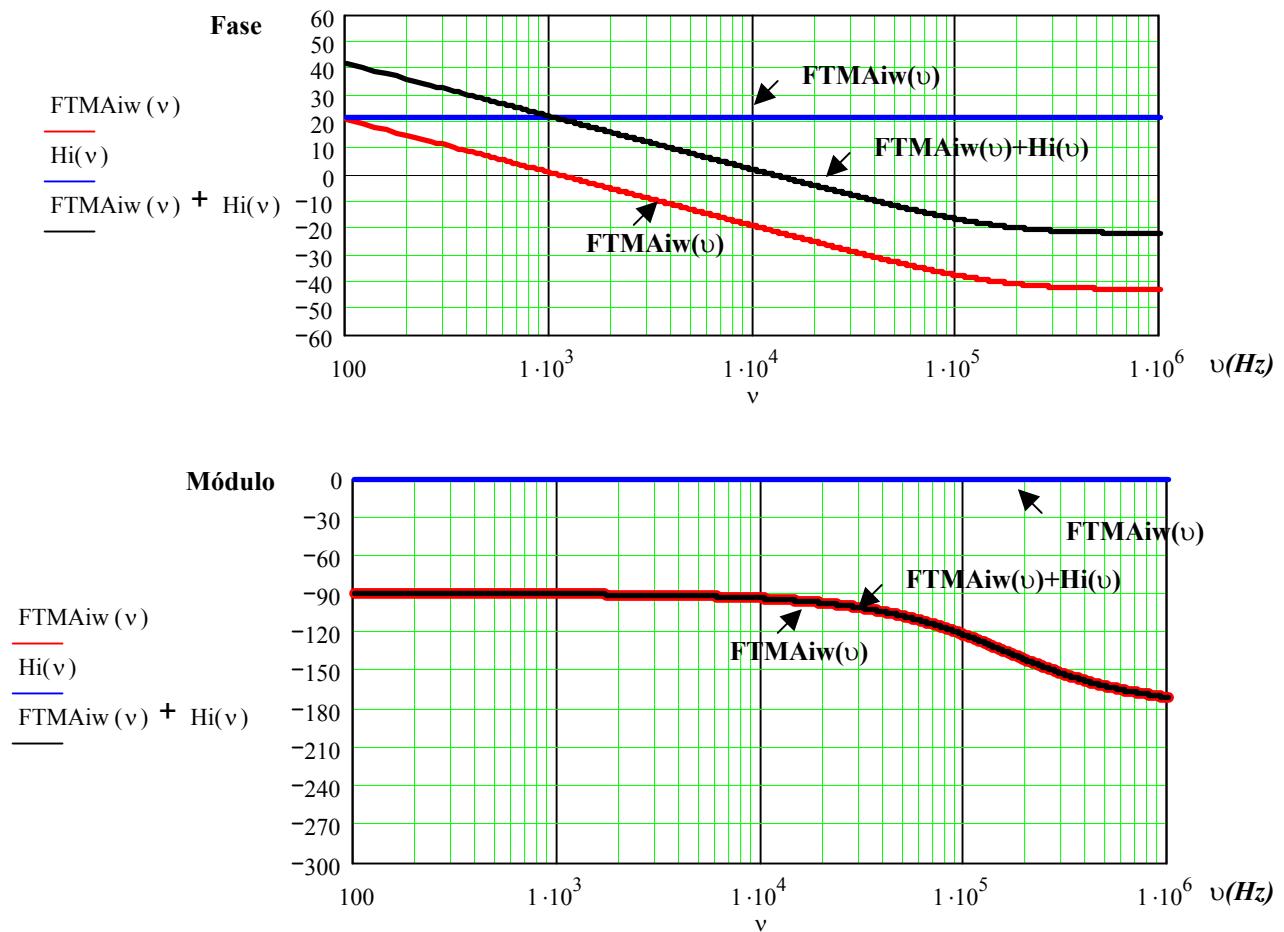


Figura 4-27 Resposta da FTMA<sub>i</sub> com o controlador de corrente.

#### 4.11.8 Transformada Inversa do Compensador

De posse de  $H_i(w)$ , determina-se  $H_i(z)$  pela igualdade

$$w = \frac{2}{T_a} \cdot \frac{z-1}{z+1} \quad \text{Eq. 4-54}$$

Então,

$$H_i(w) = 11,31 \quad \text{Eq. 4-55}$$

$$H_i(z) = 11,36 \quad \text{Eq. 4-56}$$

#### 4.11.9 Equações de Diferenças para Compensador de Corrente

Então, para implementar este controlador digital  $H_i(z)$  usando meios computacionais é necessário realizar a transforma inversa do  $H_i(z)$  para o domínio discreto e encontrar a *equação a diferenças* que representa o sistema. Para tanto, deve-se partir do princípio que o controlador pode ser representado por um bloco de controle com a sua respectiva entrada e saída, conforme figura 4-28.

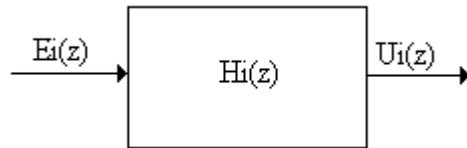


Figura 4-28 Representação do bloco do controlador de corrente isoladamente

A partir da figura 4-28, pode-se definir

$$H_i(z) = \frac{Ui(z)}{Ei(z)} = 11,31 \quad \text{Eq. 4-57}$$

$$Ui(z) = Ei(z) \cdot 11,31 \quad \text{Eq. 4-58}$$

Transformando a Eq. 4-58 em uma *equação a diferenças*, tem-se

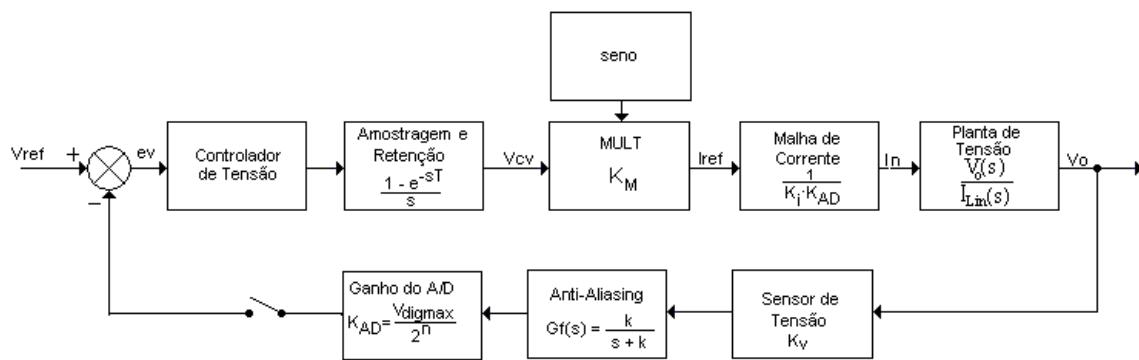
$$u_i(n) = 11,31 \cdot e_i(n) \quad \text{Eq. 4-59}$$

## 4.12 Projeto do Controlador de Tensão

#### 4.12.1 Função de Transferência no Plano s

Os princípios que regem o projeto do controlador da malha de tensão são os mesmos que regem o projeto do controlador de corrente. Então um paralelo entre ambos pode ser traçado e os passos de projeto podem ser generalizados.

Como passo inicial, como representado na figura 4-29, especificam-se as funções de transferência dos blocos envolvidos no controle, exceto a função de transferência do controlador de tensão, o qual é o objetivo da análise.



**Figura 4-29** Malha de controle de tensão.

A definição da função  $\frac{V_o(s)}{I_{Lin}(s)}$  é apresentada na Eq. 4-60.

Pode-se considerar que a amostragem das grandezas envolvidas no controle de tensão é a mesma utilizada no controle de corrente. Deste modo, o filtro anti-aliasing utilizado também poderá ter os mesmos valores de freqüência de cruzamento e como a freqüência de cruzamento do filtro é muito mais alta que a banda passante do controlador, seu efeito sobre a malha de controle pode ser desprezado.

Outra simplificação que pode ser feita é a junção de diversos blocos em um único bloco de modo a facilitar a análise sobre a estrutura. Desta forma, a figura 4-29 pode ser simplificada dando origem à figura 4-30, onde a função de transferência do conversor necessário ao projeto do compensador de tensão é reescrita na Eq. 4-60.

$$\frac{V_o(s)}{i_{I_{in}}(s)} = \frac{R_o \cdot (2D-1)}{1 + s \cdot R_o \cdot C_o} \quad \text{Eq. 4-60}$$

Para traçar as funções, e posteriormente dimensionar o compensador de tensão, utilizou-se o índice modulação para este conversor dada pela Eq. 4-61

$$D = ma = \frac{Vp}{Vo} \quad \text{Eq. 4-61}$$

onde,  $Vp$  é a representação simplificada da tensão entre os pontos a e b do conversor ( $V_{Pab}$ ).

$$G_v(s) = K_{AD} \cdot \frac{K_M}{K_{si} \cdot K_{AD}} \cdot \frac{R_o \cdot \left( 2 \cdot \left( \frac{Vp}{Vo} \right) - 1 \right)}{1 + s \cdot R_o \cdot C_o} \quad \text{Eq. 4-62}$$

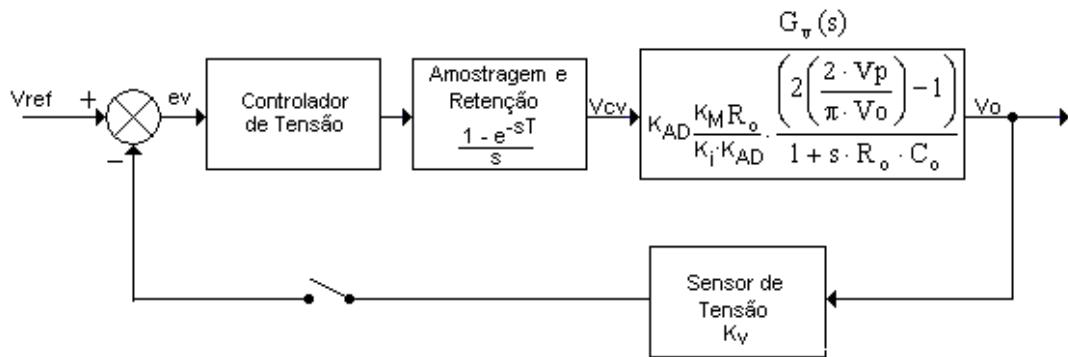


Figura 4-30 Malha de controle de tensão simplificada.

#### 4.12.2 Função de Transferência no Plano z

A próxima etapa do projeto consiste na discretização das funções de transferência da malha de controle de tensão, dando origem a  $G_v(z)$ .

$$A_1 = K_{AD} \cdot \frac{K_M}{K_{si}} \cdot R_o \cdot \left( 2 \left( \frac{Vp}{Vo} \right) - 1 \right) = 64 \cdot 1 \cdot 160 \cdot \left( 2 \left( \frac{311}{400} \right) - 1 \right) = 64 \cdot 1 \cdot 160 \cdot (1,555 - 1) = 5683,2$$

$$A_2 = R_o \cdot C_o = 160 \cdot 663,5\mu = 0,1 \quad \text{Eq. 4-63}$$

$$G_v(s) = \frac{A_1}{A_2} \cdot \left( \frac{1}{s + \frac{1}{A_2}} \right) = \frac{5683,2}{6,37} \cdot \left( \frac{1}{s + \frac{1}{6,37}} \right) = \left( \frac{892,1}{s + 0,16} \right) \quad \text{Eq. 4-64}$$

$$G_v(z) = Z \left\{ \left( 1 - e^{-sT} \right) \cdot \frac{A_1}{A_2} \cdot \left( \frac{1}{s + \frac{1}{A_2}} \right) \right\} \quad \text{Eq. 4-65}$$

$$G_v(z) = Z \left\{ \left( 1 - e^{-sT} \right) \cdot \frac{A_1}{A_2} \cdot \left( \frac{1}{s \cdot (s + \frac{1}{A_2})} \right) \right\} \quad \text{Eq. 4-66}$$

Utilizando a técnica de expansão em frações parciais para desmembrar a Eq. 4-66, tem-se:

$$G_v(z) = Z \left\{ \left( 1 - e^{-sT} \right) \cdot \frac{A_1}{A_2} \cdot \left( \frac{A_2}{s} - \frac{A_2}{s + \frac{1}{A_2}} \right) \right\} \quad \text{Eq. 4-67}$$

$$G_v(z) = Z \left\{ \left( 1 - e^{-sT} \right) \cdot A_1 \cdot \left( \frac{1}{s} - \frac{1}{s + \frac{1}{A_2}} \right) \right\} \quad \text{Eq. 4-68}$$

A partir da expansão em frações parciais, pode-se fazer as transformações das funções do plano **s** para o plano **z** com o auxílio de tabelas de conversão, onde se obtém:

$$G_v(z) = A_1 \cdot \left( 1 - z^{-1} \right) \cdot \left( \frac{1}{1 - z^{-1}} - \frac{1}{1 - e^{-\frac{T}{A_2}} \cdot z^{-1}} \right) \quad \text{Eq. 4-69}$$

$$G_v(z) = A_1 \cdot \left( 1 - \frac{z-1}{z - e^{-\frac{T}{A_2}}} \right)$$

Eq. 4-70

#### 4.12.3 Função de Transferência no Plano **w**

Com o auxílio da transformada bilinear apresentada na Eq. 4-70, pode-se fazer a conversão da função de transferência  $G_v(z)$  do plano **z** para o plano **w**, dando origem a  $G_v(w)$ .

$$G_v(w) = A_1 \cdot \left( 1 - \frac{\left( \frac{1 + \frac{T_a}{A_2} w}{1 - \frac{T_a}{A_2} w} \right) - 1}{\left( \frac{1 + \frac{T_a}{A_2} w}{1 - \frac{T_a}{A_2} w} \right) - e^{-\frac{T}{A_2}}} \right) \quad \text{Eq. 4-71}$$

$$G_v(w) = A_1 \cdot \left( 1 - \frac{T_a \cdot w}{(1 + \frac{T_a}{A_2} w) - e^{-\frac{T_a}{A_2}} \cdot (1 - \frac{T_a}{A_2} w)} \right) \quad \text{Eq. 4-72}$$

$$G_v(w) = A_1 \cdot \left( 1 - \frac{T_a \cdot w}{1 - e^{-\frac{T_a}{A_2}} + w \cdot \frac{T_a}{2} \left( 1 + e^{-\frac{T_a}{A_2}} \right)} \right) \quad \text{Eq. 4-73}$$

$$G_v(w) = A_1 \cdot \left( \frac{1 - e^{-\frac{T_a}{A_2}} + w \cdot \frac{T_a}{2} \left( 1 + e^{-\frac{T_a}{A_2}} \right) - T_a \cdot w}{1 - e^{-\frac{T_a}{A_2}} + w \cdot \frac{T_a}{2} \left( 1 + e^{-\frac{T_a}{A_2}} \right)} \right) \quad \text{Eq. 4-74}$$

$$G_v(w) = A_1 \cdot \left( \frac{1 - e^{-\frac{T_a}{A_2}} + w \cdot \frac{T_a}{2} \left( e^{-\frac{T_a}{A_2}} - 1 \right)}{1 - e^{-\frac{T_a}{A_2}} + w \cdot \frac{T_a}{2} \left( 1 + e^{-\frac{T_a}{A_2}} \right)} \right) \quad \text{Eq. 4-75}$$

#### 4.12.4 Função de Transferência no Plano de Malha Aberta (FTMAv)

Assim, a malha de controle de tensão pode ser redefinida no plano  $w$  conforme mostrado na figura 4-31, onde agora, o compensador de corrente é então substituído pela função de transferência  $H_v(w)$ .

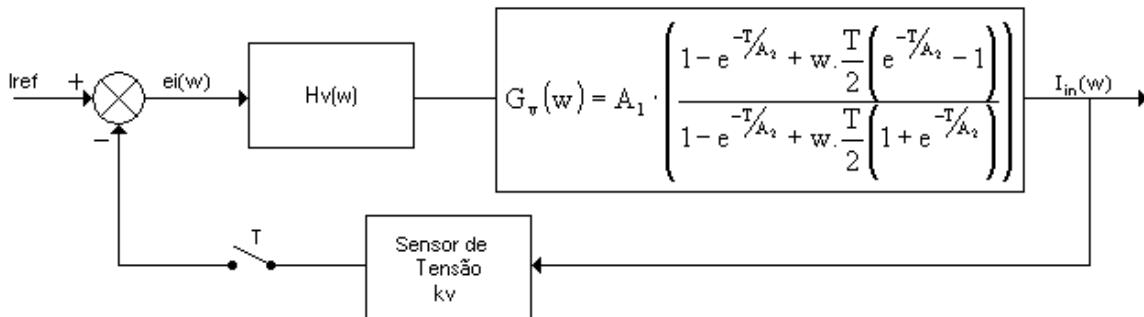


Figura 4-31 Malha de Controle de Tensão Simplificada.

Deve-se, agora, obter a função de transferência em malha aberta do compensador de tensão (FTMA<sub>v</sub>), a qual é apresentada pela Eq. 4-76.

$$FTMA_v(w) = H_v(w) \cdot G_v(w) \cdot K_{sv} \quad \text{Eq. 4-76}$$

#### 4.12.5 Ganho do Sensor de Corrente

$$Kv = \frac{V_{outS}(s)}{V_{HT}(s)} = \frac{R_M}{R1} \cdot K_N$$

#### 4.12.6 Análise da resposta em freqüência da FTMAv

Os valores utilizados para determinar os coeficientes numéricos de  $G_v(w)$  são apresentados na tabela 3, juntamente com outras grandezas necessárias para o projeto do controlador de tensão.

**Tabela 3 Valores para projeto do controlador de corrente**

Descrição da Variável	Valores
Freqüência de Amostragem	$fa = 500kHz$
Freqüência angular de amostragem	$\omega_a = 3140krad / sec$
Freqüência de chaveamento	$fs = 50kHz$
Freqüência angular de chaveamento	$\omega_s = 314krad / sec$
Tensão de saída	$V_o = 400V$
Tensão de pico da entrada	$V_{in}pico = 311V$
Ganho da malha de corrente	$Ki = 0,078$
Ganho do sensor de tensão	$Kv = 0,00638$
Capacitor de saída	$C_o = 663,5\mu F$
Resistência de saída	$R_o = 160$
Potência de saída	$P_o = 1kW$
Indutor de entrada	$L = 6mH$

Então, a Eq. 4-76 assume a seguinte forma, considerando  $Hi(w)$  unitário:

$$G_v(w) = A_1 \cdot \left( \frac{1 - e^{-Ta/A_2} + w \cdot \frac{Ta}{2} \left( e^{-Ta/A_2} - 1 \right)}{1 - e^{-Ta/A_2} + w \cdot \frac{Ta}{2} \left( 1 + e^{-Ta/A_2} \right)} \right) \quad \text{Eq. 4-77}$$

$$G_v(w) = 5683,2 \cdot \left( \frac{1 - e^{-16,6 \cdot 10^{-6}/0,1} + w \cdot \frac{16,6 \cdot 10^{-6}}{2} \left( e^{-16,6 \cdot 10^{-6}/0,1} - 1 \right)}{1 - e^{-16,6 \cdot 10^{-6}/0,1} + w \cdot \frac{16,6 \cdot 10^{-6}}{2} \left( 1 + e^{-16,6 \cdot 10^{-6}/0,1} \right)} \right) \quad \text{Eq. 4-78}$$

$$G_v(w) = 5683,2 \cdot \left( \frac{166 \cdot 10^{-6} + w \cdot \frac{16,6 \cdot 10^{-6}}{2} \left( -166 \cdot 10^{-6} \right)}{166 \cdot 10^{-6} + w \cdot \frac{16,6 \cdot 10^{-6}}{2} \cdot 2} \right) \quad \text{Eq. 4-79}$$

$$G_v(w) = \frac{5683,2 \cdot -16,6 \cdot 10^{-6}}{0,1} \left( \frac{-60,24 \cdot 10^3 + w}{10 + w} \right) \quad \text{Eq. 4-80}$$

$$G_v(w) = -0,94 \cdot \left( \frac{w - 0,06}{w + 10} \right) \quad \text{Eq. 4-81}$$

Logo,

$$FTMA_v(w) = H_v(w) \cdot 0,01 \cdot \left( -0,94 \cdot \left( \frac{w - 0,06}{w + 10} \right) \right) \quad \text{Eq. 4-82}$$

$$FTMA_v(w) = H_v(w) \cdot -9,4 \cdot 10^{-3} \cdot \left( \frac{w - 0,06}{w + 10} \right) \quad \text{Eq. 4-83}$$

A figura 4-32 apresenta um comparativo entre a função de transferência da planta no domínio de  $w$ (Eq. 4-83) e  $s$ (Eq. 4-84), considerando  $H_i(w)$  unitário.

$$FTMA_v(s) = K_{sv} \cdot G_v(s) = K_{sv} \cdot K_{AD} \cdot \frac{K_M}{K_i} \cdot \frac{R_o \cdot \left( 2 \cdot \left( \frac{Vp}{Vo} \right) - 1 \right)}{1 + s \cdot R_o \cdot C_o} \quad \text{Eq. 4-85}$$

$$FTMA_v(s) = \frac{56,83}{1 + s \cdot 0,1} \quad \text{Eq. 4-85}$$

Pela análise da figura 4-32, pode-se perceber que a resposta em freqüência para a função de transferência no plano **s** e **w** apresentam o mesmo comportamento até a freqüência de aproximadamente 10 kHz, onde a partir deste ponto, o erro na fase passa a ser considerável, devido a presença de um zero na função de transferência gerado pelo processo de amostragem.

Desta função pode-se tirar algumas conclusões:

1. Possui somente um pólo e o mesmo não se encontra na origem, ocasionando desta forma o aparecimento de um erro estático, o qual deve ser corrigido pelo controlador a ser projetado;
2. É estável, já que a passagem pela freqüência de cruzamento se dá com uma inclinação de -20dB/década;

A figura 4-32 representa num mesmo gráfico as funções  $G_v(s)$  e  $G_v(w)$ , verifica-se que a digitalização do controlador não distorceu a resposta da função de transferência em baixas freqüências, pois  $G_v(s)$  e  $G_v(w)$  são coincidentes, semelhante ao que acontece com a digitalização de  $G_i(s)$ .

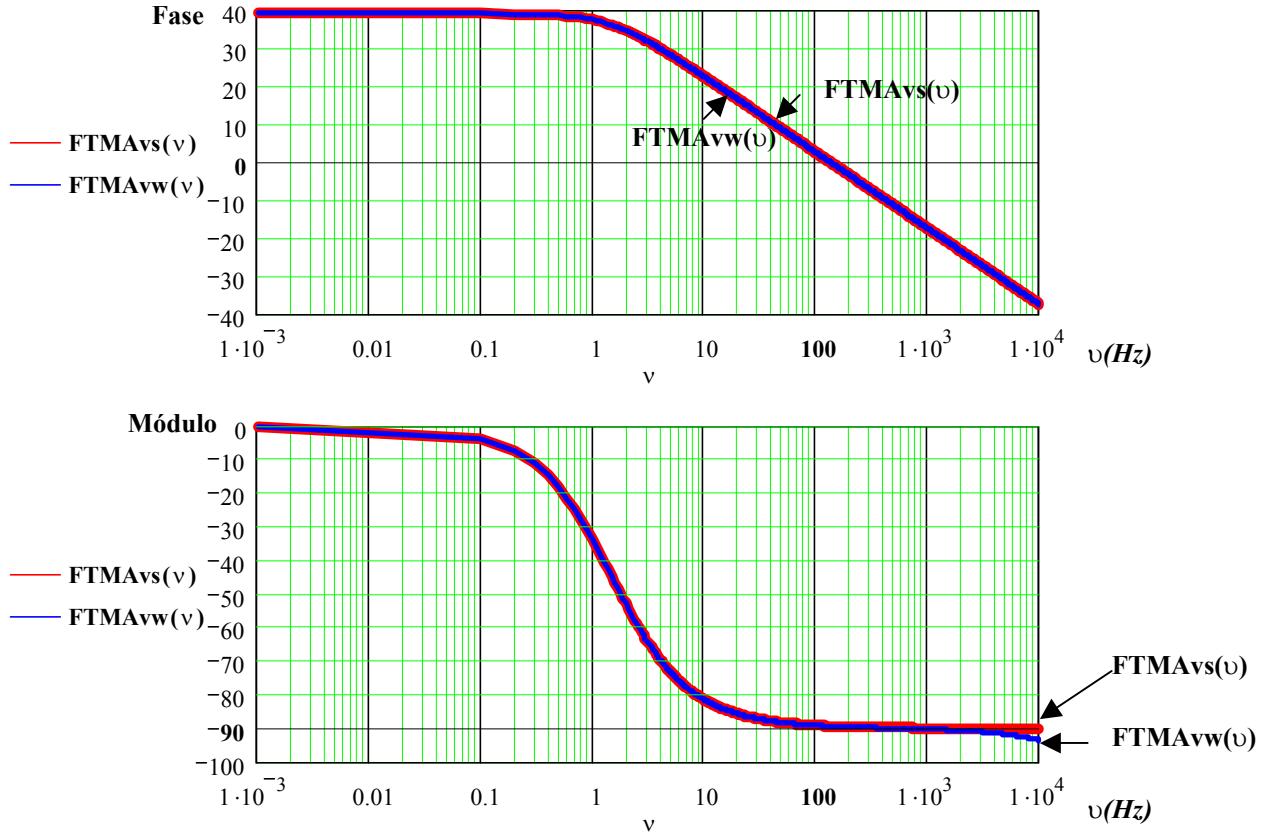


Figura 4-32 Resposta em freqüência para a planta de tensão contínua e discreta.

#### 4.12.7 Projeto do Compensador de Tensão

Pela análise da função de transferências de  $G_v(w)$ , percebe-se que a planta de tensão apresenta um pólo localizado em baixa freqüência (4,17 rad/seg) um zero em alta freqüência. Logo, o controlador a ser empregado na planta do retificador, dentre outras funções, deverá corrigir o erro estático da mesma. Isto é conseguido com um pólo na origem da função de transferência do compensador. Um simples integrador possui esta característica, porém, a função de laço aberto da planta se tornaria instável, já que a mesma cruzaria a freqüência de cruzamento com uma inclinação de  $-40$ dB. A alocação de um pólo na origem e um zero na função de transferência do controlador fará com que a função de laço aberto apresente erro estático praticamente nulo e passaria pela freqüência de cruzamento com uma inclinação de  $-20$ dB/década, voltando a tornar o sistema estável. Isto pode ser conseguido utilizando um compensador do tipo proporcional-intergral inserido na  $FTMA_v$ .

Assim, de acordo os requisitos de desempenho do sistema apresentados acima, o controlador  $H_v(w)$  deve apresentar um integrador na origem, o que vai garantir um erro estático nulo e uma queda constante no ganho de  $-20\text{dB/década}$ , e um zero localizado em  $4,17 \text{ rad/seg}$ , o que cancelará a ação do pólo da planta de mesma localização, garantindo uma margem de fase de  $90^\circ$  na freqüência de cruzamento, e um ganho que fará com que a freqüência de cruzamento seja transladada para  $12\text{Hz}$  ( $75,36\text{rad/seg}$ ). Desta forma, a função de transferência do controlador,  $H_v(w)$ , será:

$$H_v(w) = K_{H_v} \cdot \frac{(w + w_z)}{w} \quad \text{Eq. 4-86}$$

Onde:

$$w_z = 4,17 \text{ (rad / seg)} \quad \text{Eq. 4-87}$$

Como o ganho da FTMA<sub>v</sub> sem  $H_v(w)$  é de  $26,67\text{dB}$  para a freqüência de  $75,36\text{rad/seg}$ , o ganho  $K_{H_v}$  deve ser projetado de modo a apresentar um ganho de  $-26,67\text{dB}$ , da seguinte forma:

$$-26,67 = 20 \log(K_{H_v}) \quad \text{Eq. 4-88}$$

$$K_{H_v} = 10^{-26,67/20} \quad \text{Eq. 4-89}$$

$$K_{H_v} = 0,048 \quad \text{Eq. 4-90}$$

Desta forma, substituindo os valores temos a função de transferência o controlador, que está descrito na Eq. 4-91:

$$H_v(w) = 0,048 \cdot \frac{(w + 9,42)}{w} \quad \text{Eq. 4-91}$$

#### 4.12.8 Analise da Influência do Compensador

De posse da função de transferência de  $H_v(w)$ , pode-se traçar a curva de resposta em freqüência para a FTMA<sub>v</sub> e suas componentes  $H_v(w)$  e  $K_v G_v(w)$ . Estas curvas são apresentadas na figura 4-33, onde pode-se constatar que a margem de fase do sistema ficou em  $90^\circ$  e a freqüência de cruzamento em torno de  $6\text{Hz}$ , atendendo deste modo os requisitos iniciais de projeto.

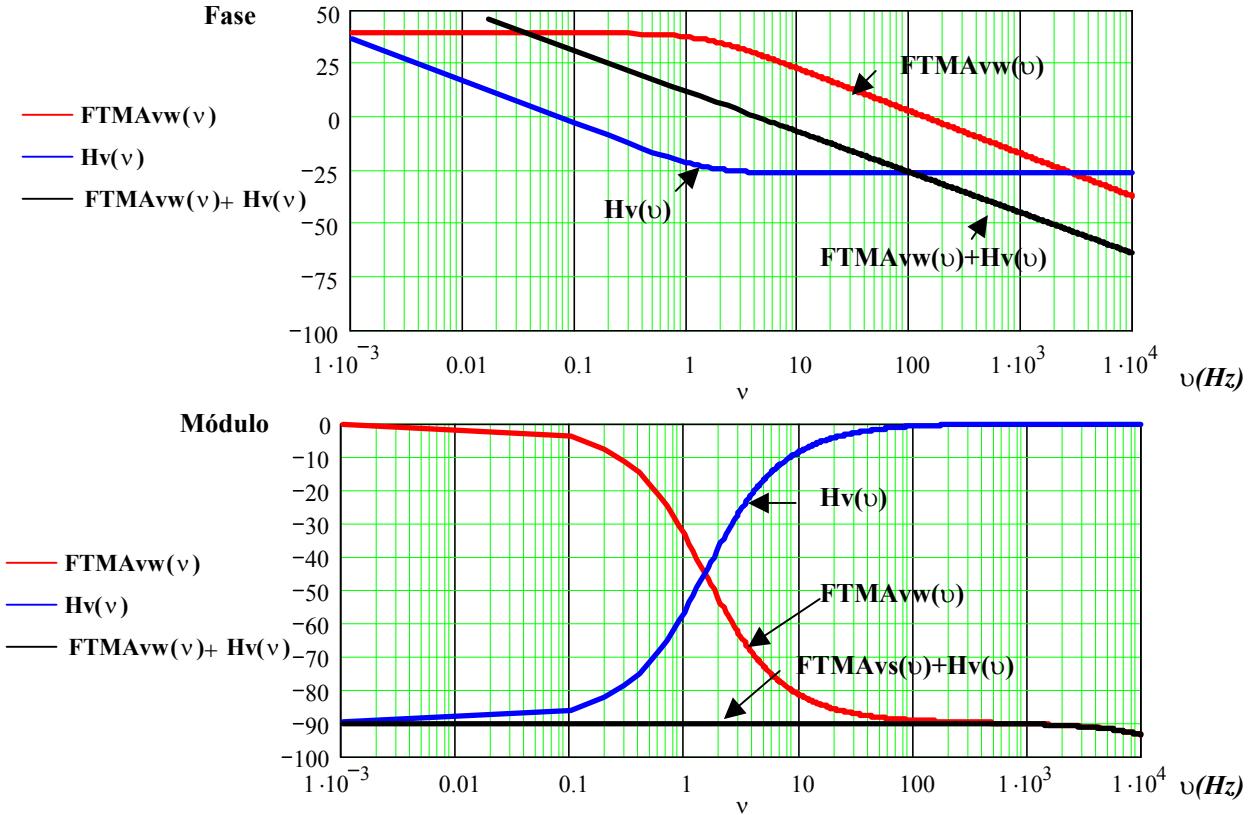


Figura 4-33 Resposta da FTMA<sub>i</sub> com o controlador de corrente.

#### 4.12.9 Transformada Inversa do Compensador

De posse de  $H_v(w)$ , retorna-se ao plano  $z$ , definindo  $H_v(z)$ , pela igualdade apresentada na Eq. 4-92:

$$w = \frac{2}{T} \cdot \frac{z-1}{z+1} \quad \text{Eq. 4-92}$$

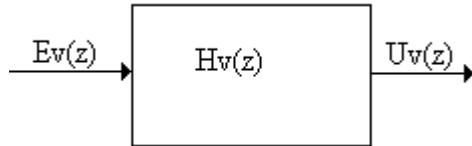
Logo,

$$H_v(z) = 0,048 \cdot \frac{\left(2 \cdot 10^6 \cdot \frac{z-1}{z+1} + 9,42\right)}{2 \cdot 10^6 \cdot \frac{z-1}{z+1}} \quad \text{Eq. 4-93}$$

$$H_v(z) = \frac{(0,0480009 \cdot z - 0,04799909)}{z-1} \quad \text{Eq. 4-94}$$

#### 4.12.10 Equações de Diferenças para Compensador de Corrente

Assim como foi feito para o controlador de corrente, pode-se considerar que o controlador de tensão possa ser representado em função de seus parâmetros de entrada e saída, conforme mostra a figura 4-34.



**Figura 4-34 Representação do bloco do controlador de tensão isoladamente**

A partir da figura 4-34, pode-se definir

$$H_v(z) = \frac{U_v(z)}{E_v(z)} = \frac{(0,0480009 \cdot z - 0,04799909)}{z - 1} \quad \text{Eq. 4-95}$$

$$U_v(z) \cdot (z - 1) = E_v(z) \cdot (0,0480009 \cdot z - 0,04799909) \quad \text{Eq. 4-96}$$

Transformando a Eq. 4-96 em uma equação a diferenças considerando o teorema do deslocamento, tem-se:

$$u_v(n) = 0,0480009 \cdot e_v(n) - 0,04799909 \cdot e_v(n-1) + u_v(n-1) \quad \text{Eq. 4-97}$$

### 4.13 Conclusões

Neste capítulo, o qual se pressupõem ser o núcleo deste trabalho, pois foi nele que foram definidas as principais características dos controladores. Ficando então definidas as funções de transferência da malha de corrente e tensão para o conversor estudado.

Através das respectivas funções de transferências tanto no domínio do plano **s** quanto no plano **z**, foi possível a análise das respostas dos sistemas para que então se pudesse encontrar a função do compensador adequado para o sistema.

É notório salientar que todas as análises de resposta foram feitas no domínio do plano **s** e, somente depois de definidas as funções dos controladores foram estas transferidas para o domínio do plano **z**, para que fosse possível encontrar as equações a diferença, que serão então implementadas no DSP.

# CAPÍTULO 5

## 5 SIMULAÇÃO NÚMERICA

### 5.1 Introdução

A fim de averiguar a validade das leis de controle projetadas no capítulo anterior, foram realizadas simulações em computador para observar a resposta do sistema com o controlador frente aos distúrbios.

Deste modo optou-se por utilizar um programa de simulação por diagramas de blocos funcionais que ofereceria um conjunto de blocos que permitiram emular o funcionamento do núcleo do controlador DSP.

### 5.2 Ferramenta para Simulação

Para validar as leis de controle encontradas foi simulado o conversor utilizando-se o MATLAB® que é capaz de modelar e analisar a dinâmica do sistema. Para tanto foram utilizados os modelos do conjunto de blocos “*SimPowerBlock*”, do SIMULINK®, ferramenta disponível no MATLAB®, para representar a estrutura do conversor. A figura 5-1 mostra o diagrama de blocos funcional da estrutura completa com os controladores, a qual já foi apresentada no capítulo 4 e é reapresentada aqui para melhor esclarecimento.

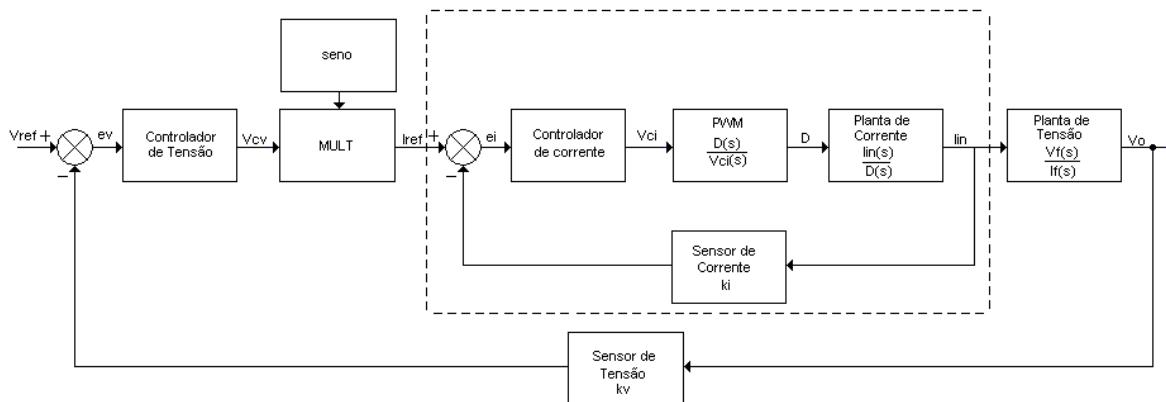
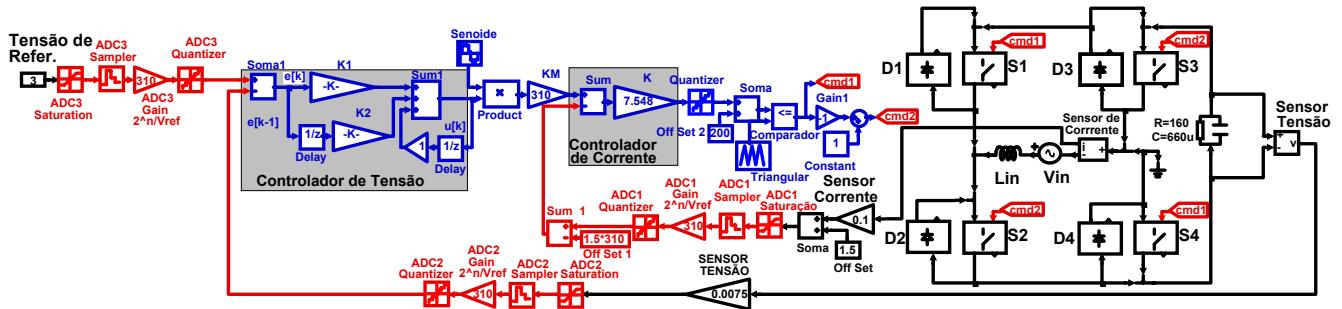


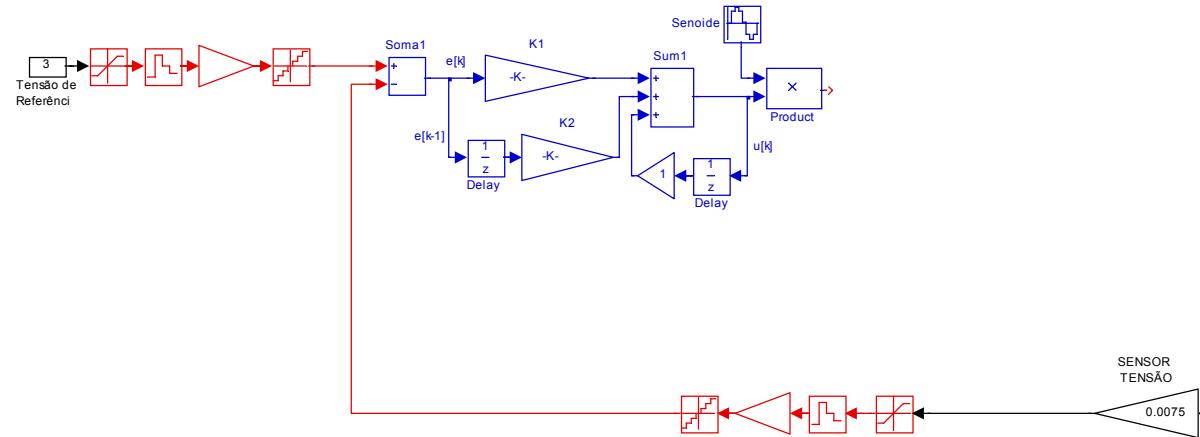
Figura 5-1 Diagrama de blocos genérico

No entanto, a figura 5-2 apresenta o diagrama de blocos utilizado no SIMULINK® para simulação do controlador.



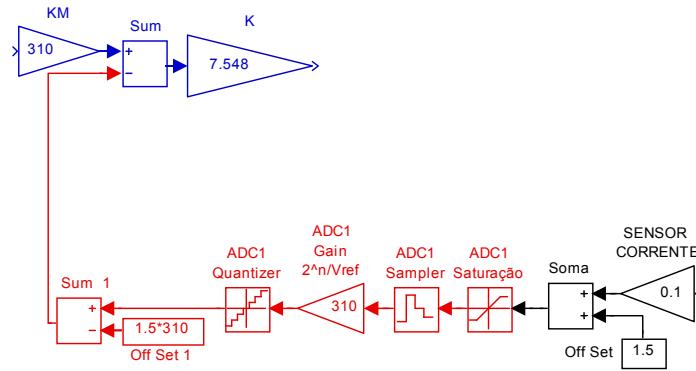
**Figura 5-2 Diagrama de blocos do controle do conversor usado para simulação.**

A figura 5-3 evidencia a entrada da malha de tensão, onde pode ser analisado, o ganho referente a sensor de tensão, a tensão de comparação, as etapas do conversor analógico para digital, o controlador e o gerador da senoide para referência para o controlador de corrente que estará no próximo bloco a ser discutido.



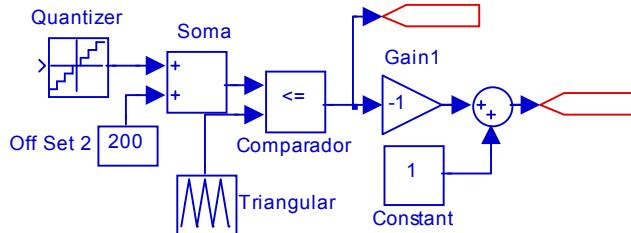
**Figura 5-3 Diagrama da malha de tensão.**

A figura 5-4 mostra agora, as principais etapas do controlador de corrente, que seriam a entrada do sensor de corrente juntamente do o conversor analógico digital e suas etapas, a entrada do sinal de referência proveniente do controlador de tensão, e o controlador de corrente propriamente dito, que enviará o sinal de saída para o gerador de PWM.



**Figura 5-4 Diagrama de blocos utilizados na malha de corrente.**

O diagrama de bloco responsável pela geração do PWM, é mostrado na figura 5-5, onde se tem como principais elementos o quantizador de entrada que recebe o sinal de corrente, o gerador de onda triangular, os blocos de comparação, e as saídas para as chaves de comutação.



**Figura 5-5 Diagrama de blocos para geração da onda PWM.**

A figura 5-6 apresenta em detalha a estrutura de potência utilizada. Nesta estrutura foram utilizados basicamente elementos da biblioteca SimPowerBlock do SIMULINK®. É importante observar que os sentidos dados pelas setas não são necessariamente os sentidos adotados pelas correntes.

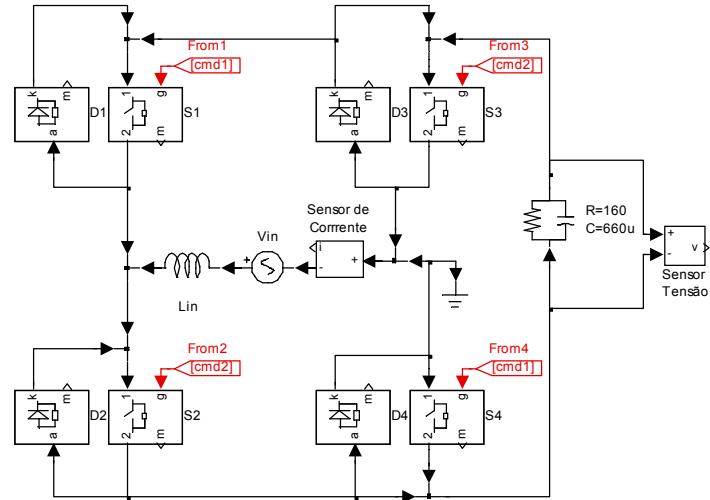


Figura 5-6 Estrutura de Potência.

### 5.3 Funcionamento como Retificador

A figura 5-7 mostra a corrente de entrada do retificador, mostrado que o controlador age realmente sobre a corrente fazendo com que ela siga a referência imposta pela saída do controlador de tensão multiplicado pelo ganho  $K_M$ .

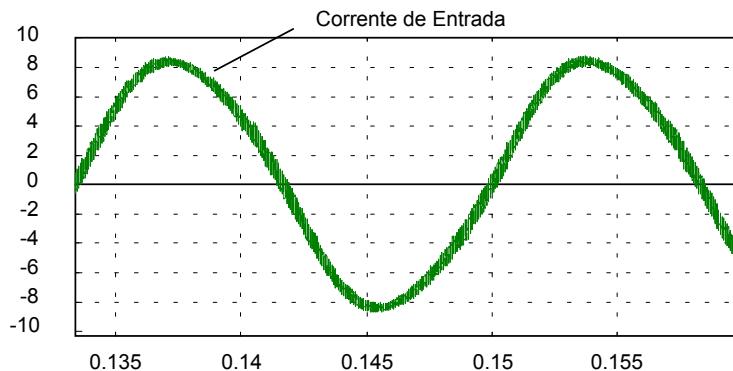
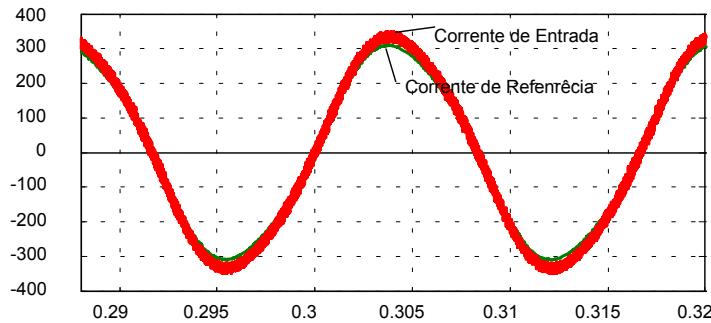


Figura 5-7 Formato Senoidal Imposto à Corrente de Entrada.

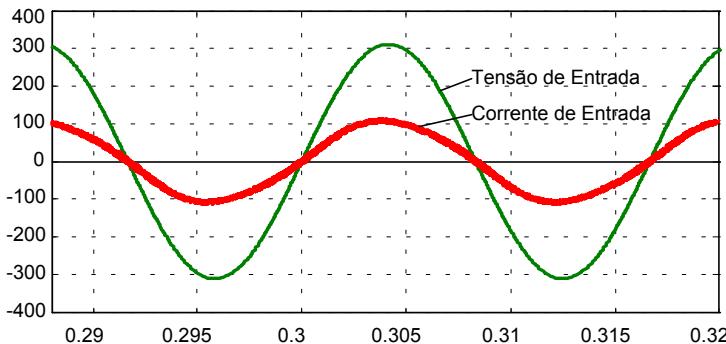
Nota-se, na figura 5-7, que existe pouca distorção na respectiva corrente mostrando mais uma vez o bom desempenho do controlador proporcional adotado. Foram simulados 20 períodos de rede, porém notasse que a corrente atingiu rapidamente o valor estipulado pelo valor de referência.

Na figura 5-8 é mostrado, para melhor análise dos resultados de simulação, a comparação entre a corrente de referência e a corrente de entrada. Porém os valores encontrados no gráfico representam os valores após a conversão do valor analógico em digital. Nota-se que existe uma diferença entre o valor de referência e o valor real. Este erro é atribuído ao fato de que se utilizou um controlador proporcional que possui um erro estático.



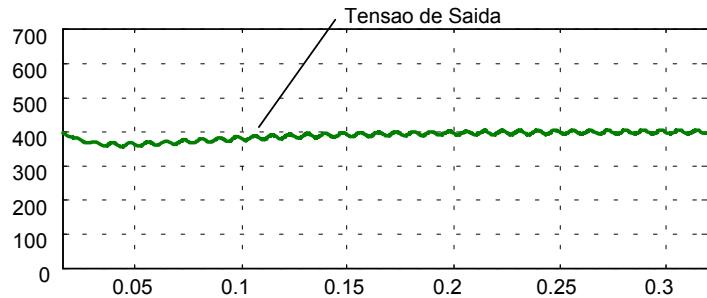
**Figura 5-8 Comparação entre a Corrente de Referência e a Corrente de Entrada.**

A fase entrada a tensão e a corrente de entrada pode ser observada na figura 5-9, onde observa-se que estas estão plenamente em fase, o que mostra mais uma vez a eficiência do controlador, pois o mesmo consegue estabelecer um fator de potência unitário como observado.



**Figura 5-9 Fase entre Tensão e Corrente de Entrada.**

Finalmente, é analisado na figura 5-10 a Tensão de Saída do conversor que apresentou, também um bom resultado com relação aos resultados esperados.



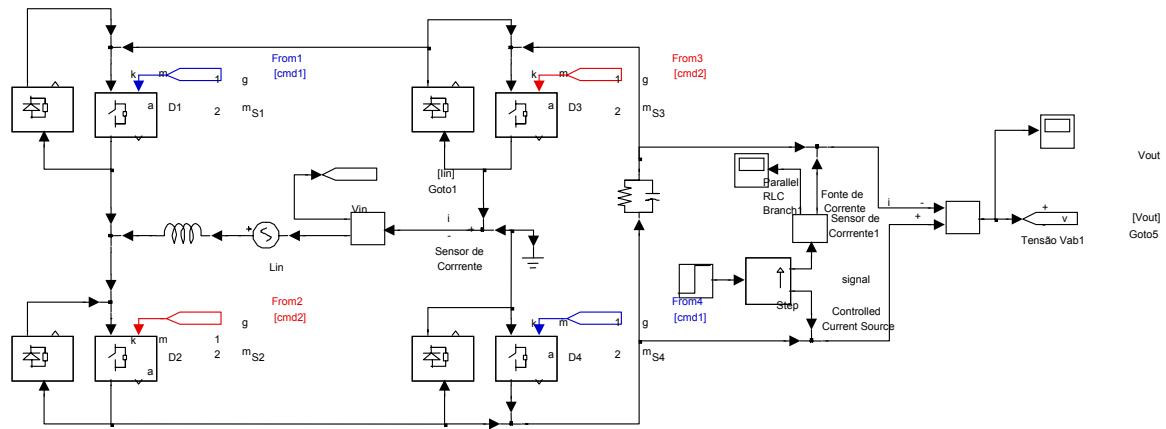
**Figura 5-10 Tensão de Saída.**

## 5.4 Regeneração

Neste item serão apresentados os resultados da simulação obtidos no processo de regeneração, onde o conversor sai do modo de trabalho como retificador entra na operação com inversor.

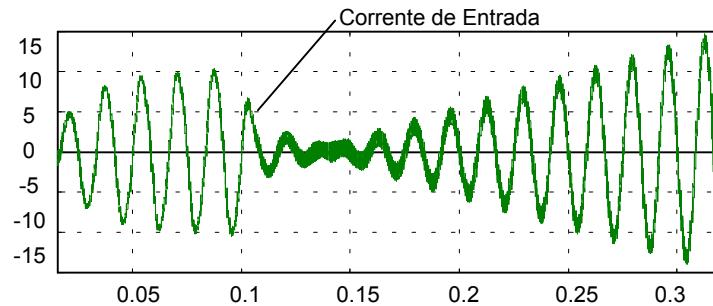
Será também possível observar o comportamento do controlador neste regime de trabalho.

Para que o conversor trabalhasse também como inversor foi acrescentada uma fonte de corrente na saída de tal forma que a corrente estipulada pudesse suprir a corrente da carga e ainda devolver corrente para rede após um período de funcionamento no modo retificador. A figura 5-11 mostra como foi feito a adição desta fonte de corrente na estrutura do conversor.



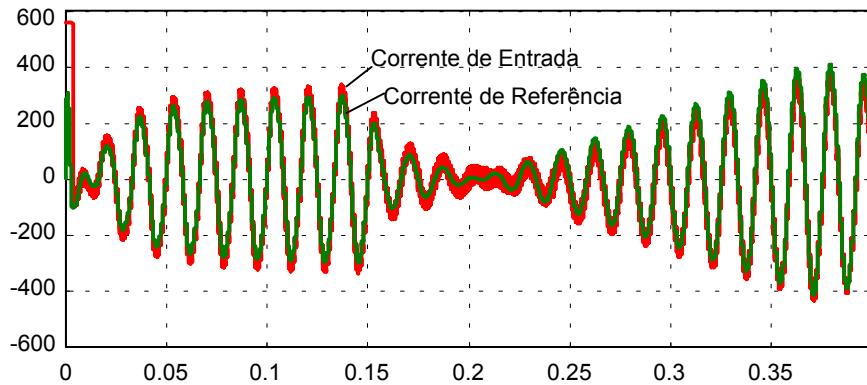
**Figura 5-11 Estrutura para trabalhar com regeneração.**

A figura 5-12 mostra a transição da corrente de entrada como o conversor entra no modo de regeneração.



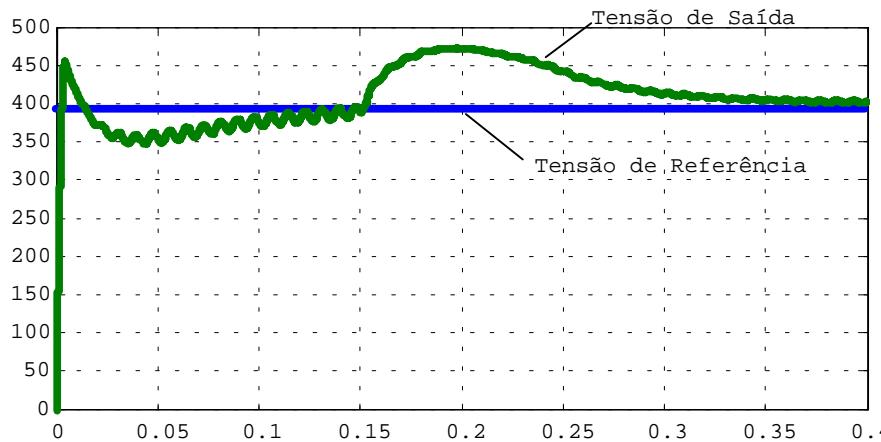
**Figura 5-12 Efeito na corrente de entrada quando na regeneração de energia.**

A figura 5-13 mostrada o resultado da regeneração no interior do DSP. Nota-se que a saída do controlador de corrente continua fazendo com que a corrente de entrada continue seguindo a referência.



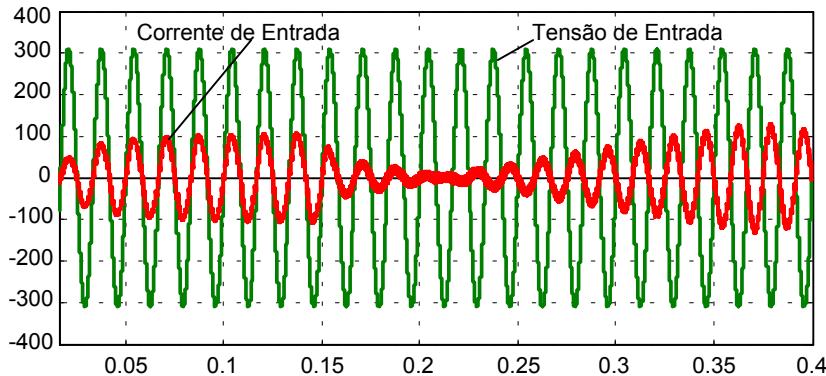
**Figura 5-13 Corrente de entrada e corrente de referência dentro do DSP.**

Uma comparação entre a Tensão de Referência e a Tensão de Saída é mostrada na figura 5-14, onde pode-se observar que a tensão volta a seguir a referência.



**Figura 5-14 Comparação entre Tensão de Referência e Tensão de Entrada dentro do DSP.**

Por fim, será analisando a fase entre a tensão e corrente que demonstram realmente se o conversor esta trabalho no regime de inversor ou retificador. Logo como pode ser observar na figura 5-15 que após a entrada da fonte de corrente a fase entre a tensão e corrente torna-se  $180^\circ$  o que comprova o funcionamento como inversor.



**Figura 5-15 Comparação entre a fase da Tensão e Corrente de Entrada.**

## 5.5 Conclusões

Pode-se observar com os resultados obtidos através da simulação o correto funcionamento do controlador, bem como a sua viabilidade de aplicação.

Foi possível estabelecer ferramentas para a simulação de modelos de potência acoplados como elementos de controle, realizando assim uma interface entre o mundo analógico e digital.

Observou-se também, os valores em cada ponto do modelo, principalmente dentro do DSP, ontem é interessante este estou visto a necessidade de uma alocação eficiente da memória do mesmo para que não haja estouro de nenhum registrador durante o processo de controle e que também não se ocupe lugar demais na memória de dado do mesmo.

# CAPÍTULO 6

## 6 PROCESSADOR DIGITAL DE SINAIS - DSP

### 6.1 Introdução

Neste capítulo é feito um estudo do processador digital de sinais, onde os requisitos para a escolha do processador são:

Alta velocidade de processamento (aproximadamente 10MIPS);

Memória de programa em torno de 1kwords;

No mínimo duas entradas analógicas;

Uma interrupção externa;

Memória de dados em torno de 100words;

Logo este estudo será realizando em cima do DSP TMS320LF2402, pois como será mostrado neste capítulo este atende perfeitamente os requisitos acima. Será realizada uma breve descrição dos recursos oferecidos pelo processador escolhido, além de se realizar uma discussão sobre a questão da representação numérica de uma grandeza dentro de um processador, tanto no formato de ponto fixo quanto no formato de ponto flutuante, e também quanto aos periféricos utilizados.

### 6.2 A Arquitetura do Processador

Os processadores usados em computadores são otimizados de modo a gerenciar e trabalhar com bancos de dados além de efetuar operações relacionais em detrimento das operações matemáticas. Isto por que a maior parte das tarefas a serem executadas são de processamento que não envolvem tempo real.

Em um processamento de tempo real, as saída são obtidas praticamente ao mesmo tempo em que as entradas são adquiridas. Como são os diversos sistemas de controle, estas aplicações devem ter a informação imediatamente disponível, embora possa haver um pequeno atraso (resultante do processamento).

No início os processadores eram otimizados para gerenciamento de dados ou para processamento matemático, assim a diferença fundamental entre um processador de sinais

digitais e um microcontrolador está em que o primeiro possui uma arquitetura voltada para a realização de cálculos matemáticos, como multiplicação, de uma maneira rápida e eficaz enquanto o outro se concentra em aplicações onde é necessária apenas manipulação básica de dados em algumas operações básicas como adição e subtração, além de outras características, como por exemplo: o **Pipeline**, que agiliza o processo de busca, decodificação e execução da instrução; os **barramentos distintos**, que ajudam no processamento dos dados, entre outros. Portanto esta diferença na estrutura torna o DSP importante para aplicações que não toleram atrasos de transporte significativos entre a aquisição de um dado digital, efetuação dos cálculos necessários e devolução da resposta digital.

A *Texas Instrument*, introduziu a primeira geração de processadores de sinais digital TMS32010 em 1982, a segunda geração TMS32020 em 1985 seguida pela versão CMOS TMS320C25 em 1986, e o TMS320C50 em 1991. A primeira geração de processadores continha 144x16bits de memória interna (RAM), com 200ns de ciclo de instrução, onde muitas destas instruções podem ser executadas em um ciclo. Os membros da primeira geração de processadores são atualmente disponíveis em versões CMOS com velocidade de execução mais rápida.

A segunda geração TMS320C25 continha 544x16bits de RAM interna, e código compatível com a família TMS320C10 (C1x) e tinha um ciclo de instrução de 100ns, fazendo sua capacidade de execução de 10 milhões de instruções por segundo (MIPS). Outros membros da segunda geração da família de processadores (C2x) são atualmente disponíveis com uma velocidade de execução mais rápida. O processador TMS320C50 é compatível com as duas primeiras gerações de processadores C1x e C2x. Além da mesma geração, várias versões dos processadores – C1x, C2x, e C5x – eram disponíveis com diferentes dispositivos, bem com uma alta velocidade de execução e disponibilidade de uma ROM. Os processadores C1x, C2x, e C5x eram de ponto fixo baseados em uma arquitetura *Harvard* modificada com espaço de memória separado da memória de dado e instruções que permitem acessos concorrentes.

O TMS320C62 (C62) foi um processador de ponto fixo, lançado em 97. Diferentemente dos processadores de ponto fixo, este era baseado em uma arquitetura de palavras de instruções longas (VLIW – *Very Long Instruction Word*). E não possuia código

compatível com os processadores apresentados anteriormente. O processador de “ponto fixo” TMS320C80 foi disponibilizado antes do C62 e continha quatro processadores de ponto fixo e um conjunto de instruções reduzidas (RISC – *Reduced Instruction Set*). O C62 é principalmente voltado para aplicações de relevância como vídeo e multimídia. O TMS320C67 de ponto flutuante, com código compatível com o C62, também foi lançado em 1997; este é outro membro da família C6x baseada em arquitetura VLIW.

O TMS320C31 (C31), é um processador digital de sinais membro da terceira geração da família de processadores de ponto flutuante, TMS320C3x. Com 40ns de tempo de ciclo de instrução, ele possibilita 50 milhões de operações com ponto flutuante por segundo (MFLOPS – *Milion Floating-Point per Second*) ou 25 milhões de instruções por segundo (MIPS). O tempo dos ciclos de instruções ou MIPS não podem ser tomadas como uma boa medida da performance, uma vez que deve se considerar tanto a eficiência do uso da memória e a estrutura das linhas de instruções utilizadas. O TMS320C31 era um processador de 32 bit capaz de promover operações de ponto flutuante, inteiro e operações lógicas.

O TMS320C40 foi uma quarta geração de processadores de ponto flutuante, com código compatível com o C3x. Ele tinha a mesma quantidade de memória interna que o C31, e seis portas seriais (a menor versão C44 possui quatro portas seriais). Um C40 podia conectar diretamente seis outros processadores C40 sem nenhuma dificuldade, fazendo com que o C40 seja utilizado em processamento paralelo.

Podem ser citados ainda outros processadores digitais de outros fabricantes, como o DSP96000 da *Motorola Inc.* e o ADSP21060 SHARC da *Analog Divices Inc.*

### 6.3 TMS320LF24xx

A figura 6-1 mostra a arquitetura típica do DSP TMS320LF24xx que trabalha com dados no formato de ponto fixo. A Arquitetura interna é denominada Harward Modificada, que suporta barramento de dados e programa separados. Por conter uma grande quantidade de periféricos, existe também um barramento dedicado a estes. Isto permite que haja acesso simultâneo de dados e instruções de programa. Por exemplo, enquanto um dado é multiplicado, um produto prévio pode ser adicionado ao acumulador, e ao mesmo tempo,

um novo endereço pode ser gerado. Devido a este paralelismo, o componente suporta uma série de instruções aritméticas, lógicas e manipulação de bits, que podem ser efetuados em um único ciclo de *clock*. Possui, ainda, mecanismo de gerenciamento de interrupções, repetições de operações e chamada de funções.

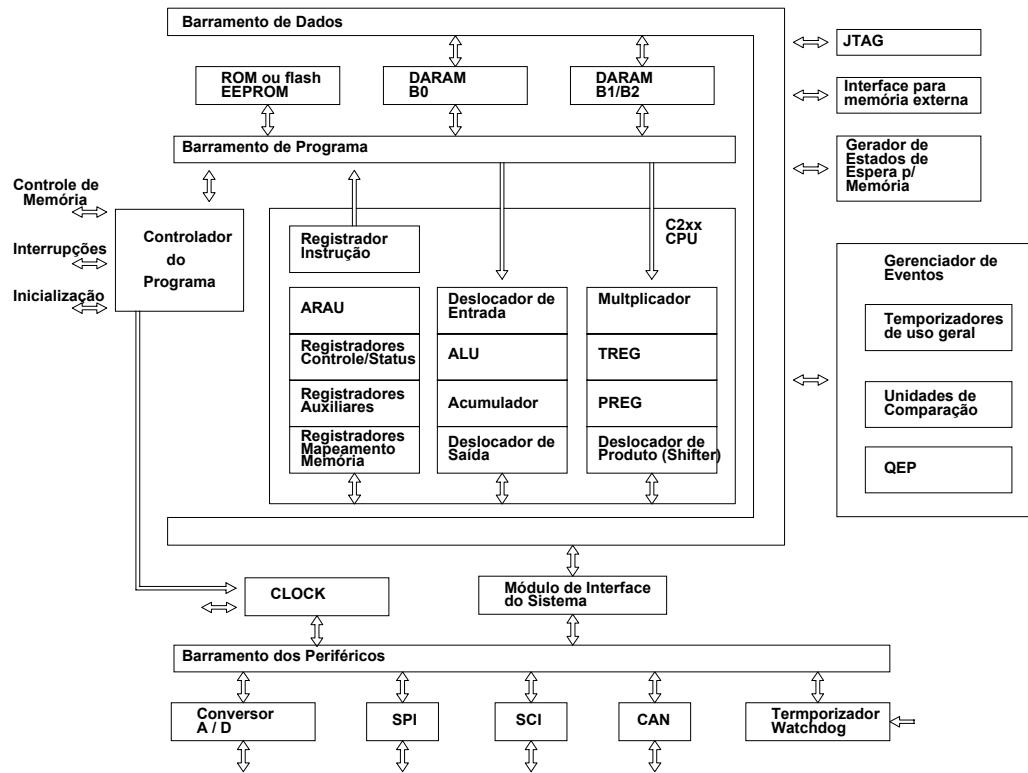


Figura 6-1 Arquitetura esquemática do DSP TMS320LF24xx.

O DSP utilizado será o LF2402 que é um DSP que apresenta as seguintes características:

1. É produzido utilizando uma tecnologia CMOS de alta velocidade, que pode chegar a uma velocidade de 1ns por instruções para um *clock* de 10MHz. Isto significa que o LF2402 pode executar 10 milhões de instruções por segundo (10MIPS). Porém pode ser utilizado com um *clock* de até 30MHz o que levaria seu processamento para 30MIPS. A referida tecnologia CMOS possibilita ao 2402 trabalhar com uma tensão interna de 3,3V, o que reduz o seu tamanho e aumenta a sua velocidade, além é claro de diminuir fatores como consumo e aquecimento.

2. Este DSP ainda é compatível com os demais modelos da família F2xx e F2xxx da TI. Isto quer dizer que o mesmo programa feito para um modelo pode ser rodado em outro, pois existe a compatibilidade de conjunto de instruções (*Set de Instruções*).
3. Possui uma memória de programa do tipo flash de 8kwords (16bits), apresenta para a memória de programa quatro setor, porém para o DSP LF2402 apenas o setor 0 e 3 estão disponível, os demais estão disponíveis nos outros modelos da família.
4. O DSP possui uma memória de dados, também dividido em vários setores. Um setor importante é o setor da memória de duplo acesso DARAM, que possui 544words, onde é possível ler e escrever um dado ao mesmo tempo, aumentando assim a velocidade de armazenamento e leitura e assim agilizando o processamento. Outro setor importante é o setor de acesso simples ou SARAM, o 512words, que também ser para guardar as variáveis de programa. Além destes dois setores, existe um terceiro que é responsável por manter os dados dos demais periféricos, como por exemplo: Conversor Analógico para digital, Registradores de entrada e saída, Comunicação Serial, Sistema de *Watchdog* além de outros registradores que contribuem para nos passar informações sobre o funcionamento do sistema.
5. O LF2402 possui um recurso denominado *Boot Loader*, que pode descarregar o programa feito no computador e gravá-lo em sua memória ROM através de uma comunicação serial sem a necessidade de um kit especial de gravação..
6. O modelo de DSP estudado também possui uma área destinada a dispositivos próprios para serem utilizados em sistema de controle industrial, principalmente no controle de motores com, por exemplo, em inversores de freqüência. Estes periféricos são controlados por um dispositivo chamado de manipulador de eventos (*Event Manager*) o qual é responsável por configurar e manipular os dois temporizadores de 16 bits, as 8 saídas PWM, as 3 unidades de captura de eventos, o sistema de *watchdog*, o conversor analógico/digital de 10 bits, o módulo de comunicação serial SCI, os registradores de entrada e saída, etc.

A Tabela 6-1 apresenta as funções de cada pino do LF2402.

NOME DO PINO	LF2402	DESCRIPTION
<b>MANIPULADOR DE EVENTO</b>		
CAP1/QEP1/IOPA3	4	Entrada da caputura de evento 1/Pino enquadratura de encoder/Entrada e Saída Digital
CAP2/QEP2/IOPA4	3	Entrada da caputura de evento 2/Pino enquadratura de encoder/Entrada e Saída Digital
CAP3/IOPA5	2	Entrada da caputura de evento 2/Pino enquadratura de encoder/Entrada e Saída Digital
PWM1/IOPA6	59	Saída de sinal PWM/Entrada e Saída Digital
PWM2/IOPA7	58	Saída de sinal PWM/Entrada e Saída Digital
PWM3/IOPB0	57	Saída de sinal PWM/Entrada e Saída Digital
PWM4/IOPB1	54	Saída de sinal PWM/Entrada e Saída Digital
PWM5/IOPB2	53	Saída de sinal PWM/Entrada e Saída Digital
PWM6/IOPB3	50	Saída de sinal PWM/Entrada e Saída Digital
T1PWM/T1CMP/IOPB4	40	Saída do Timer 1/Pino de Comparação/Entrada e Saída Digital
T2PWM/T2CMP/IOPB5	41	Saída do Timer 2/Pino de Comparação/Entrada e Saída Digital
TCLKINA/IOPB7	49	Entrada de clock externo/Entrada e Saída Digital
<b>CONVERSOR ANALÓGICO PARA DIGITAL (ADC)</b>		
ADCIN00	18	Entrada Analógica 0
ADCIN01	17	Entrada Analógica 1
ADCIN02	16	Entrada Analógica 2
ADCIN03	15	Entrada Analógica 3
ADCIN04	14	Entrada Analógica 4
ADCIN05	13	Entrada Analógica 5
ADCIN06	12	Entrada Analógica 6
ADCIN07	11	Entrada Analógica 7
VREFHI	20	Tensão de Referência Alta
VREFLO	19	Tensão de Referência Baixa
VCCA	21	Tensão de Alimentação do ADC (3,3V)
VSSA	22	Referência para a Alimentação do ADC
<b>COMUNICAÇÃO SERIAL SCI</b>		
SCITXD/IOPA0	43	Entrada para comunicação de dados serialmente ou I/O
SCIRXD/IOPA1	44	Saída para comunicação de dados serialmente ou I/O
<b>INTERRUPÇÕES EXTERNAS E CLOCK</b>		
RS	28	Pino de Reset. Quando colocado em nível baixo o DSP faz o PC=0, ou seja volta para a primeira linha da memória de programa. Quando ocorre o estouro do registrador watchdog este pino também é mandado para baixo nível.
PDPINTA	36	Despositivo de interrupção de Proteção de Dispositivos, pode ser usado para receber um sinal de sobre corrente.
XINT2/ADCSOC/IOPD0	42	Pino de Interrupção externa, ou Pino de sincronismo de conversão do ADC, ou Pino de entrada e saída Digital.
CLKOUT/IOPE0	1	Saída do sinal de Clock ou Pino de Entrada e Saída Digital
<b>OSCILADOR, PLL, FLASH E OUTROS</b>		
XTAL1/CLKIN	24	Entrada para o sinal de clock através de oscilador PLL ou cristal
XTAL2	25	Entrada para o sinal de clock através de cristal
PLLVCCA	39	Fonte para o PLL (3,3V)
BOOT_EN/XF	23	Pino para gravação através de BOOT LOADER, XF ou Saída Digital. Este pino é amostrado quando ocorre o reset e então modificar o bit SCSR2.3 para iniciar a operação de BOOT LOADER, após esta operação o pino é transformado em uma saída.
PLLF	38	Entrada do filtro
PLLF2	37	Entrada do filtro
VCCP(5V)	60	Tensão para alimentação da FLASH.
TP1(Flash)	61	Pino para teste da Flash (não conectado)
TP2(Flash)	62	Pino
<b>TESTE E EMULAÇÃO</b>		
EMU0	7	I/O do emulador JTAG
EMU1/OFF	8	I/O do emulador JTAG
TCK	29	Clock do emulador JTAG
TDI	30	Entrada de teste do emulador JTAG
TDO	31	Saída de teste do emulador JTAG
TMS	32	Seleção do modo de teste do JTAG
TMS2	48	Seleção do modo de teste do JTAG
TRST	33	RESET do JTAG
<b>FONTES DE TENSÃO</b>		
VDD	6,27,56	Fonte para o processador (3,3V)
VSS	10,35,52	Referência para a Alimentação do processador
VDDO	5,26,55	Fonte para os registradores de saída (3,3V)
VSSO	9,34,51	Referência para os registradores de saída

## 6.4 Conversor Analógico para Digital de 10 Bits (ADC)

Um sinal digital é uma seqüência de uns e zeros que pode ser processada matematicamente pelo processador. Os DSPs podem manusear com grandes velocidades os sinais digitais, porém, necessitam de um conexão com o mundo real.

Deste modo sempre se faz necessário inclusão da eletrônica analógica em conjunto com estes dispositivos. Por exemplo, aquisições de sinais de corrente e tensão são comuns quando se fala de controle de conversores eletrônicos de potência. No entanto para que estes sinais sejam processados pelo DSP é necessária a conversão destes por intermédio de um conversor analógico-digital.

O conversor analógico, Figura 6-2, tem um circuito de alimentação separado dos demais circuitos. Estes pinos são denominados VCCA e VSSA. Esta separação é pertinente, pois isola o barramento de tensão continua dos módulos ADC dos ruídos que possam existir no barramento de alimentação geral, evitando assim quaisquer interferências possíveis durante o estágio de conversão do ADC. Todas as especificações para o ADC são dadas com referência em VSSA.

Com já mencionado a resolução do módulo ADC é de 10 bits, o que acarreta em 1024 níveis de quantização. Os valores apresentados nos registradores de conversão variam de 0000h a 3FFh, isto é se o valor de  $V_i$  (tensão de entrada) for menor que VSSA o valor presente no registrador de conversão será 0000h e se o valor de  $V_i$  for maior que VCCA o valor apresentado então será de 3FFh. O tempo de conversão (incluindo o tempo de amostragem) é de 500ns.

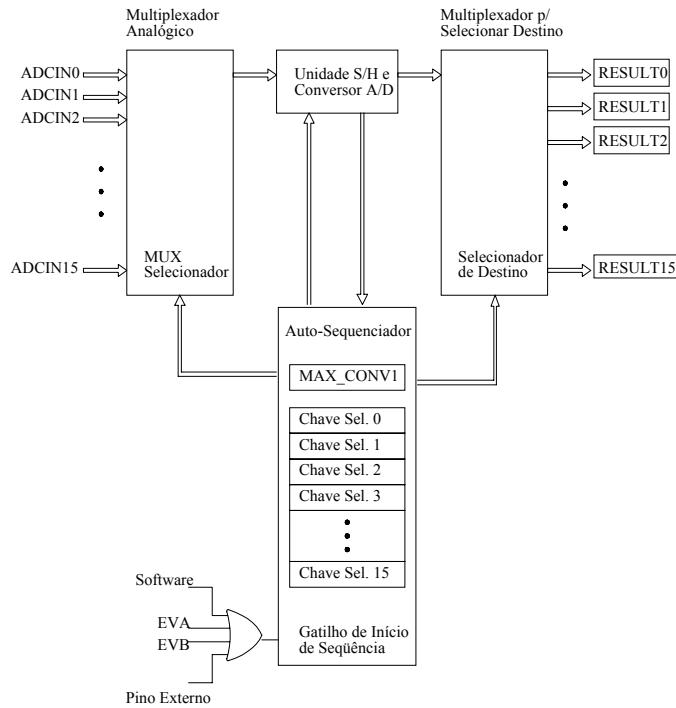


Figura 6-2 Arquitetura esquemática do módulo ADC.

## 6.5 Event Manager

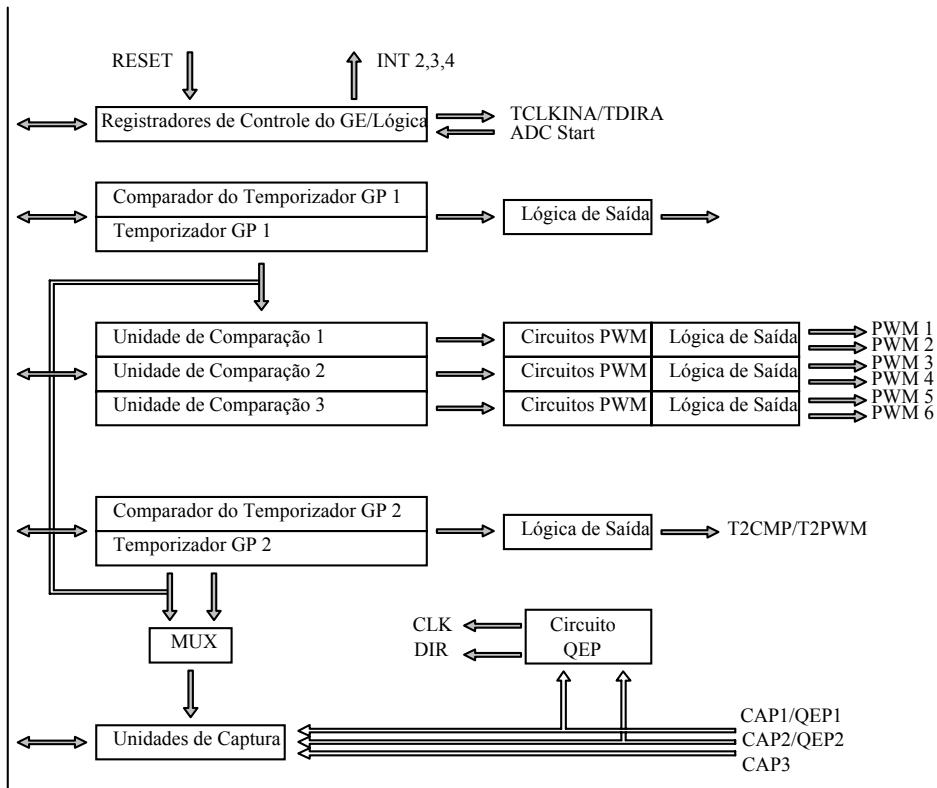
O gerenciador de eventos(*Event Manager*) é um módulo especialmente desenvolvido para controle de motores elétricos sendo que suas principais características são:

- Possuem temporizadores que fornecem a base de tempo para os comparadores e para a unidade enquadramento de *encoders*, além da possibilidade de serem utilizados para gerar um período de amostragem do sistema;
- Unidades Comparadoras são utilizadas pra gerar sinal de PWM para disparo de chaves de potências que controlarão os motores;
- Geração de tempo morto para evitar que duas chaves de potências sejam acionadas ao mesmo tempo, gerando assim um curto-circuito entre fases;
- Unidades especiais para aplicação de controle vetorial;
- Unidades de captura que podem ser utilizadas para, por exemplo, iniciar o conversor A/D;

- Unidades QEP (*Quadrature Encoder Pulse*) são entradas especiais para adquirir o sinal proveniente de um encoder.

Estes recursos especialmente desenvolvidos para o DSP 24XX o tornam bastante flexível e ideal para aplicação no controle de motores.

O DSP LF2402 possui um gerenciador de eventos denominado EVA. O diagrama em blocos do gerenciador de eventos é mostrado na figura 6-3. Onde cada bloco será descrito na seqüência.



**Figura 6-3 Arquitetura esquemática do EVA**

**Bloco de Registradores de Controle e Lógica:** Estes registradores controlam a operação do gerenciador de eventos, enviam as interrupções habilitadas para a CPU do DSP, envia o sinal de partida para o conversor analógico/digital;

**Temporizadores de Uso Geral (GP Timer):** Existem temporizadores de uso geral (GP Timer 1 e 2) que servem de base de tempo para as unidades de comparação e associadas aos circuitos PWM geram as saídas PWM, além disso o GP timer 2 fornece a base de tempo para o módulo de leitura do sinal de *encoders*, Unidade QEP, e as unidades de captura.

**Saída PWM simples:** Em cada Gerenciador de Eventos tem se duas saídas de PWM simples, independentes, onde cada um fornece somente um sinal de PWM, T1PWM e T2PWM, onde a base de tempo para o primeiro é somente o GP Timer1, mas para o segundo é possível selecionar qualquer um dos dois temporizadores. Ainda fazendo parte deste conjunto temos um bloco lógico de saída onde, além de outras coisas, podemos selecionar se desejamos a saída ativa em alto e em baixo e habilitar o sinal de saída;

**Saída PWM Completa:** Este conjunto fornece seis saídas PWM para aplicações, por exemplo, de inversores trifásicos. Com o mesmo princípio de funcionamento do anterior, este módulo possui três módulos de comparação independentes, além do adicional de um módulo interno para geração do tempo morto entre os chaveamentos, um módulo para facilitar a aplicação em controle vetorial, um módulo para selecionar diferentes modos de operação de PWM, seja simétrica ou assimétrica, além do mesmo bloco lógico do anterior, mas agora para as seis saídas.

**Unidade de Captura:** Cada Gerenciador de Eventos tem três entradas em seu módulo de captura. Este módulo serve para medição de intervalos de tempo entre dois eventos.

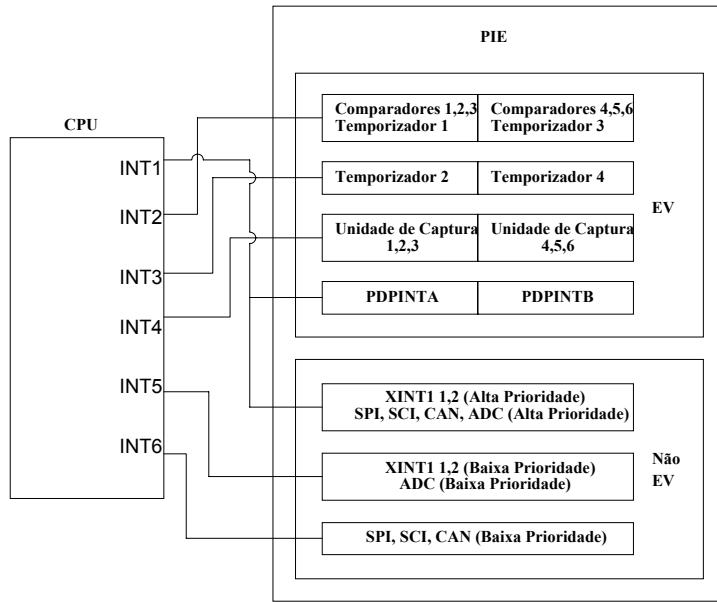
**Unidade de Leitura de *Encoder*:** Esta unidade serve para fazer a leitura do sinal de um encoder incremental, fornecendo a CPU o valor da freqüência e sentido de rotação.

## 6.6 Interrupção

A interrupção é uma suspensão do ciclo de execução normal do software. Através da interrupção podemos evitar a necessidade de constantemente estarmos, por exemplo, monitorando um dos terminais de entrada do DSP, conhecido como *polling*, mas habilitando a interrupção adequada, quando teremos a alteração do nível lógico do terminal de entrada, ocorrerá uma interrupção para um subrotina adequada. Além do mais, existem várias interrupções no DSP que estão associadas a eventos no funcionamento seja da CPU, como dos diferentes periféricos.

O FL2402 possui dois sinais não mascaráveis (RS e NMI), que não podem ser desabilitadas, e seis mascaráveis (INT1 à INT6), que podem ser desabilitadas.

Os sinais de interrupção INT1 à INT6 são associados a diferentes fontes de sinais de interrupção, sejam elas internas ou externas. Na figura 6-4 tem-se o esquema básico das entradas associadas para cada interrupção.



**Figura 6-4 Esquema de interrupção**

Devido ao número de interrupção existente há um controlador de interrupção, denominado Expansão das Interrupções dos Periféricos (PIE), que centraliza as diferentes interrupções geradas pelos eventos nos periféricos e outros pinos externos e arbitra uma determinada interrupção da CPU.

Quanto a latência da interrupção devemos considerar três fatores:

A sincronização que é o intervalo de tempo desde a solicitação de uma interrupção por algum periférico, devido a algum evento que a ocasionou, até que a solicitação é reconhecida pelo controlador PIE e convertida em uma solicitação à CPU.

O tempo necessário para que a CPU reconheça a interrupção e inicie a captura da primeira instrução da tabela de interrupção da CPU.

E ainda o tempo necessário para obter o código específico da interrupção desejada.

A figura 6-5 mostra os pinos correspondentes as funções utilizada no DSP, mencionadas anteriormente.

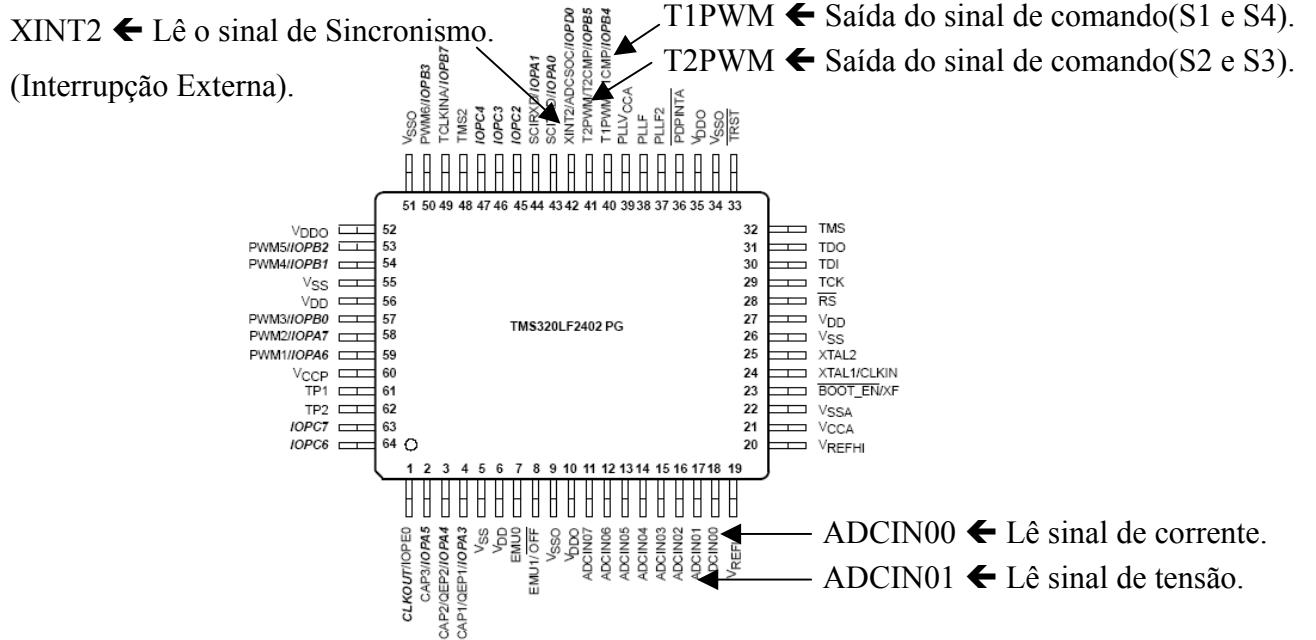


Figura 6-5 Pinos utilizado no DSP, para implementação.

## 6.7 Representação Numérica em DSP

O formato numérico de um processador está ligado à forma como são armazenados e manipulados os dados em sua arquitetura interna[13]. Os dados podem ser trabalhados tanto no formato de ponto fixo quanto no formato de ponto flutuante. Deste modo os DSP's são divididos em duas categorias, definidas pelo tipo de formato numérico tratado pelo processador.

### 6.7.1 Processadores de Ponto Flutuante

Nos processadores de ponto flutuante é possível a representação de números fracionários devido ao fato deste possuir um registrador com um campo específico para o numero na forma de “inteiro”, outro para o expoente, que pode tornar este número inteiro em uma fração, e um último campo específico para o sinal. Para isso estes processadores dispõem de um registrados e barramento de dados de 32 bits, diferente dos processadores de ponto fixo que possuem apenas 16 bits. Esta característica dos processadores de 32 bits faz com que a precisão e a faixa de representação numérica aumente consideravelmente, reduzindo assim o ruído de quantização.

Uma outra vantagem dos processadores de 32 *bits* é a facilidade proporcionada na programação. Além disso, os compiladores possuem um melhor rendimento na redução do código gerado sendo possível a programação utilizando linguagens de alto nível, o que não ocorre com o processador de 16 *bits*, que dever ser programado utilizando linguagem de baixo nível como o *Assembly*, quando se quer trabalhar com códigos extremamente reduzidos e com alta velocidade nas interações, como é o caso dos controles digitais.

### 6.7.2 Processadores de Ponto Fixo

A representação em ponto fixo é caracterizada pela posição do ponto e pelo tamanho da palavra. A localização do ponto indica como a palavra binária é escalonada. Pode-se entender que ele equivale a uma constante sempre em potência de dois que multiplica o valor numérico da palavra.

Por exemplo, para representar o número 0,0046007 em um processador de ponto fixo basta multiplicá-lo por  $2^{15}$ , então teremos:

$$0,0046007 \cdot 2^{15} = 150,755$$

Logicamente um número fracionário não pode ser representado em um processador de ponto fixo de 16 *bits*, logo o valor armazenado no registrador será de 150. O que implica em um erro inerente a digitalização.

Na representação de números inteiros de sinal[13], o valor armazenado em um processador de 16 *bits* pode tomar qualquer valor entre 0 e 65535. De modo similar, a representação de números inteiros com sinal utiliza o complemento de dois para poder incluir a escala de números negativos, de -32768 a 32767. Neste caso o *bit* mais significativo (MSB) é usado para representar o sinal.

Quando é feita a multiplicação de dois números os fatores se somam, por exemplo, a multiplicação:

$$150(Q15) \cdot 320(Q6) = 48000(Q21) \quad \text{Eq. 6-1}$$

O que equivale a falar:

$$0,004607 \cdot 2^{15} \cdot 5 \cdot 2^6 = 0,023035 \cdot 2^{21} \quad \text{Eq. 6-2}$$

ou seja, para fazer o processo inverso e só dividir o número 48000 por  $2^{21}$ , assim:

$$\frac{48000}{2^{21}} = 0,022888 \quad \text{Eq. 6-3}$$

Comparando o número 0,023035 e 0,02288 observa-se um erro de precisão, devido à digitalização.

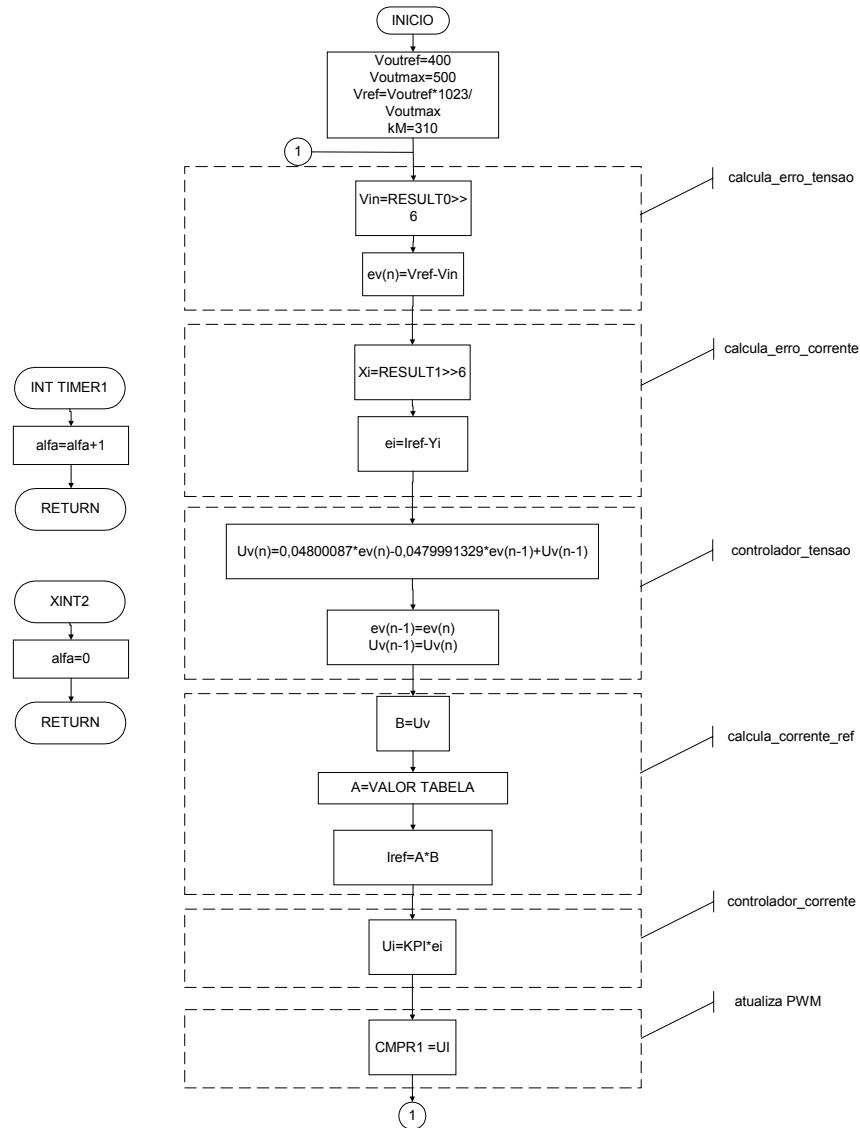
É notório ressaltar que o LF24xx possui um registrador de 32 *bits*, denominado PREG, para guardar os resultados das multiplicações, então quando este número for armazenado em um registrador da memória dever se levar em conta o fato de que estes registradores possuem 16 *bits*. Além disso, o fator de se trabalhar na base 2, facilita na programação pois, para multiplicar um número por 2 base deslocá-lo para esquerda e para dividi-lo apenas deslocá-lo para direita.

### 6.7.3 Implementação do Programa

A figura 6-6 mostra o fluxograma do programa executado no DSP para a execução do controle.

Primeiramente o programa lê os sinais de tensão e corrente através o ADC, que está localizado no laço principal. E ainda no laço principal o programa executa os cálculos referentes às equações a diferença projetada para o controlador, busca os valores referentes a senoide através do endereço base da tabela que é guardado no registrador ALFA e por último atualiza o valor da razão cíclica do PWM, que é armazenada no registrador CMPR1 do EVA.

Existem ainda, duas rotinas de interrupção. Uma gerada pelo temporizador que é utilizado o endereço no qual se encontra o valor que será buscado pelo processador na próxima interação, para gerar a senoide interna. A segunda interrupção é gerada para sincronizar a senoide interna com a tensão da rede, assim, sempre que a tensão da rede passar pelo zero um circuito de detecção de passagem por zero enviará um pulso para o pino XINT2, mostrado na figura 6-5, gerando um interrupção que irá zera o valor registrado em ALFA, o que fará com que a varredura da tabela, ou seja, a senoide interna seja reiniciada.



**Figura 6-6 Fluxograma do controlador digital**

## 6.8 Conclusões

A escolha de um processador é sempre uma tarefa difícil para o engenheiro projetista, sendo este um ponto muitas vezes polêmico. Especificamente para o desenvolvimento deste trabalho a escolha do processador se deve somente a disponibilidade do mesmo na instituição de ensino, assim não foi feito nenhuma avaliação técnica que resultasse na escolha do mesmo em detrimento de qualquer outro. E como o DSP utilizado foi o TMS320LF2402, da Texas Instruments, as discussões neste trabalho foram e serão baseadas nas características do mesmo.

# CAPÍTULO 7

## 7 RESULTADOS EXPERIMENTAIS

### 7.1 Introdução

Neste capítulo, será apresentada a estrutura montada para os testes práticos das leis de controles desenvolvidas nos capítulos anteriores. É apresentada a placa de condicionamento de sinais, os sinais dos sensores de efeito Hall, o filtro *anti-aliasing*, placa de comando, placa de controle, e estrutura final do módulo de potência.

Serão apresentados também os resultados obtidos através de testes práticos realizados em laboratório.

### 7.2 Estrutura de Potência

O diagrama esquemático do circuito de potência é apresentado na figura 7-1. Esta topologia apresenta um capacitor ( $C_o$ ) no barramento CC ligado a carga ( $R_o$ ), apresenta ainda quatro chaves IGBT. No protótipo montado foram utilizados IGBT com diodos de roda livre internos, o que diminuiu relativamente a estrutura.

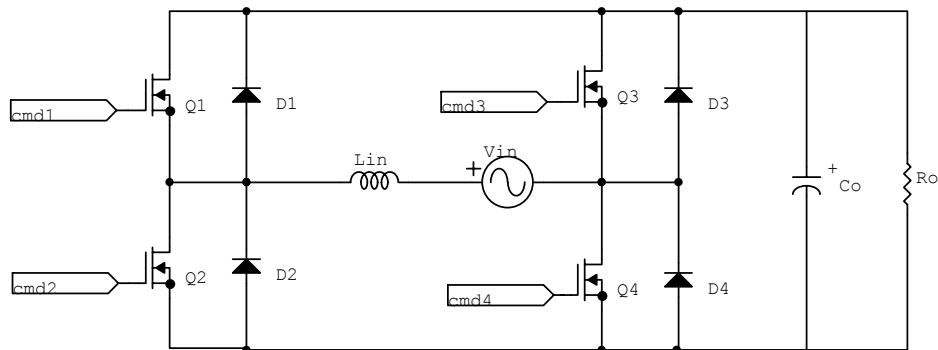


Figura 7-1 Diagrama esquemático do circuito de potência do conversor.

Como abordado em capítulos anteriores, esta estrutura pode ser empregada em filtro ativo para correção de harmônica, pois se trata de uma estrutura simples, cujo número de interruptores é razoável se forem consideradas outras topologias e o circuito de comando é relativamente simples. A figura 7-5 apresenta o aspecto final do circuito de potência.

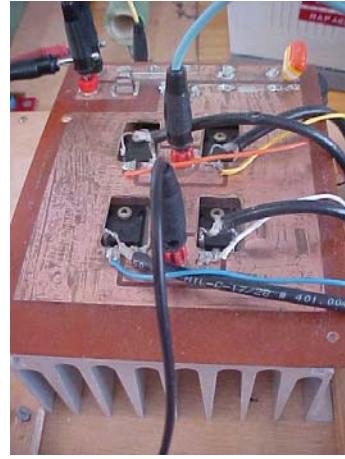


Figura 7-2 Aspecto final do circuito de potência.

### 7.3 Placa de Condicionamento de Sinais

O circuito da figura 7-3 apresenta a fonte de alimentação para todo o circuito de aquisições e da onde é retirado o sinal de sincronismo para o DSP.

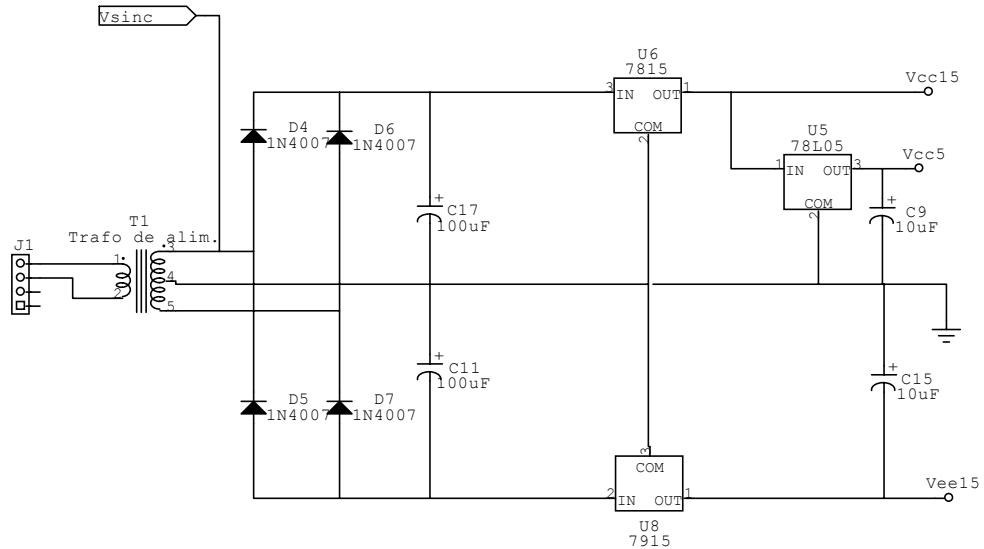


Figura 7-3 Diagrama esquemático da fonte de alimentação da placa de aquisição.

Antes de ser enviado para o DSP o sinal de sincronismo passa por um circuito que detecta a passagem por zero da senoide e gera um pulso entre 0 e 3V que é a tensão de alimentação do DSP, este circuito é apresentado na figura 7-4.

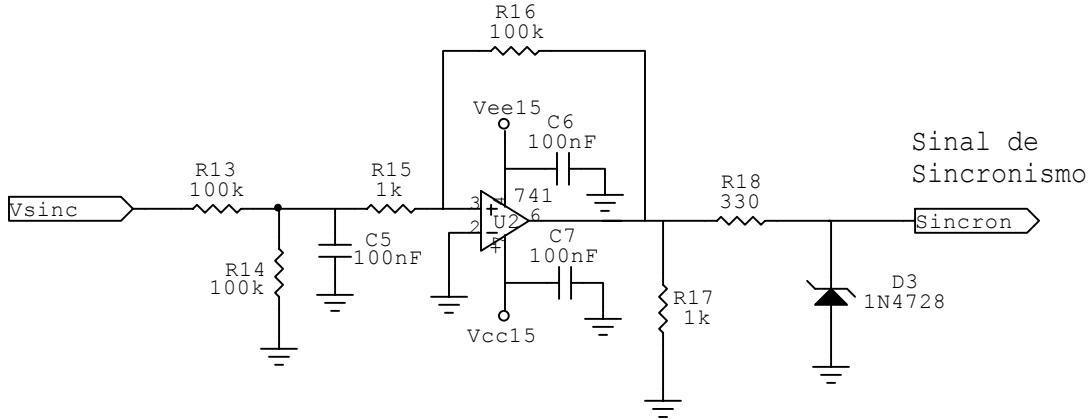


Figura 7-4 Diagrama esquemático do circuito de sincronismo.

A figura 7-5 apresenta o circuito de aquisição da corrente de entrada. Inicialmente esta corrente é captada pelo sensor de corrente LTS 25, que já apresenta uma tensão de *offset*, portanto é apenas ajustar este *offset* para que a tensão não passa da tensão de 3V, isto é feito através de um divisor resistivo. Após esta passagem, o sinal, referente ao sinal de corrente é introduzido em um filtro *anti-aliasing*, para que não haja distorções ou erros na amostragem no sinal.

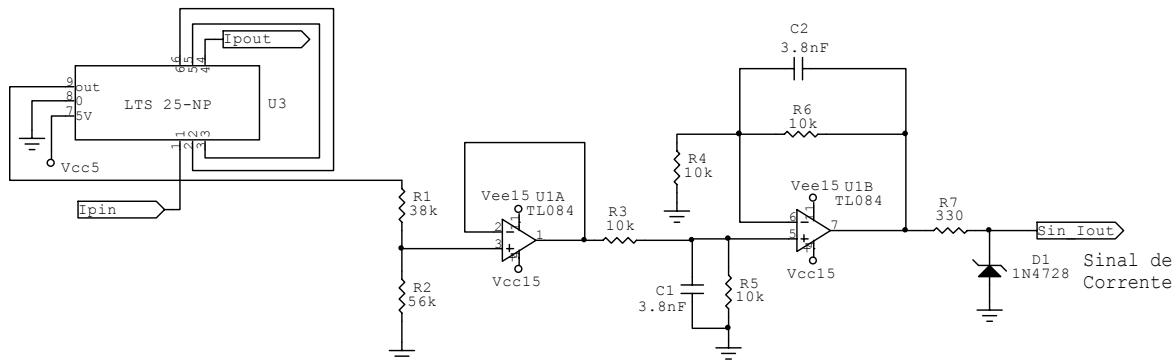
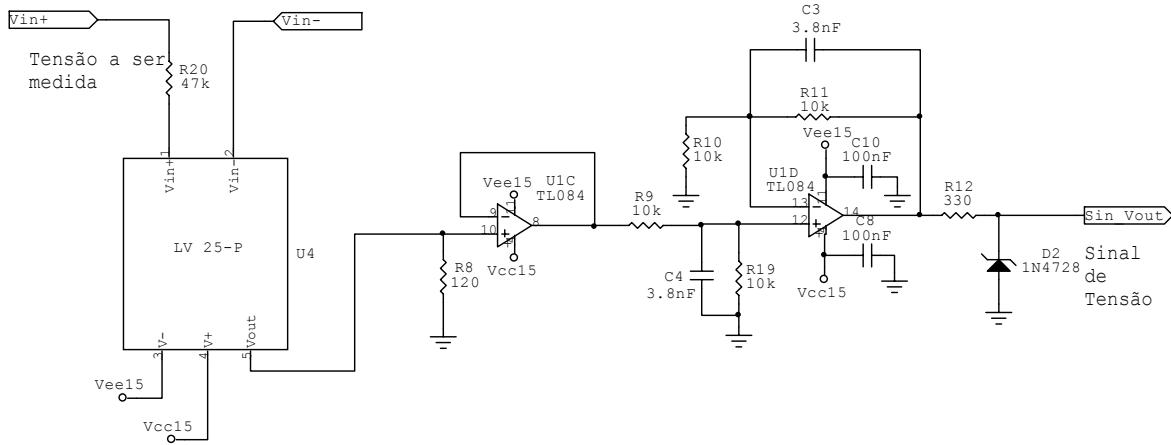


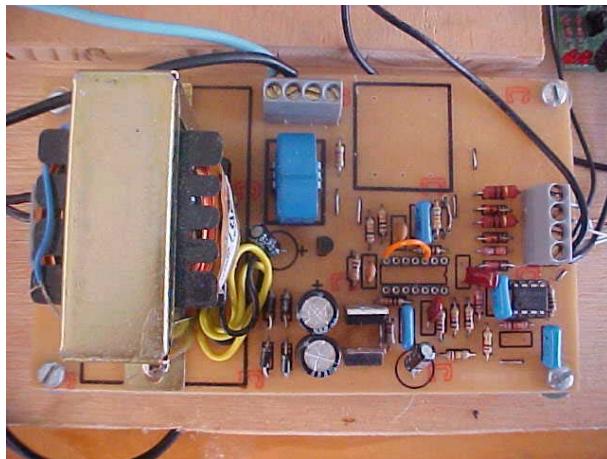
Figura 7-5 Diagrama esquemático do circuito de aquisição de corrente.

A sinal de tensão é captado através do sensor de tensão LV 25-P, cujo sinal passa pelas mesmas etapas do sinal de corrente e cujo diagrama esquemático é apresentado na figura 7-6.



**Figura 7-6** Diagrama esquemático do circuito de aquisição de tensão de saída.

A figura 7-7 mostra a aparência final da placa de aquisição de dados.



**Figura 7-7** Aspecto final da placa de aquisição de dados.

## 7.4 Placa de Comando

Para a estrutura de comando foi implementada uma placa mãe e quatro placas de comando que contém o circuito de comando de gatilho isolado por optoacoplador. Na placa mãe, que acomoda as quatro placas de comando, existem conectores de entrada que recebem os pulsos de comando da placa de controle e conectores de saída que fornecem os sinais de gatilho a serem aplicados entre os terminais *gate* e emissor através de cabos coaxiais. Existem ainda, conectores de entrada para as fontes de alimentação.

Optou por esta distribuição por ser tratar de um arranjo modular que proporciona flexibilidade nos testes e na manutenção do protótipo.

O diagrama esquemático da placa mãe é apresentado na figura 7-8. Já o diagrama esquemático da placa que contém o driver de acionamento e apresentado na figura 7-9.

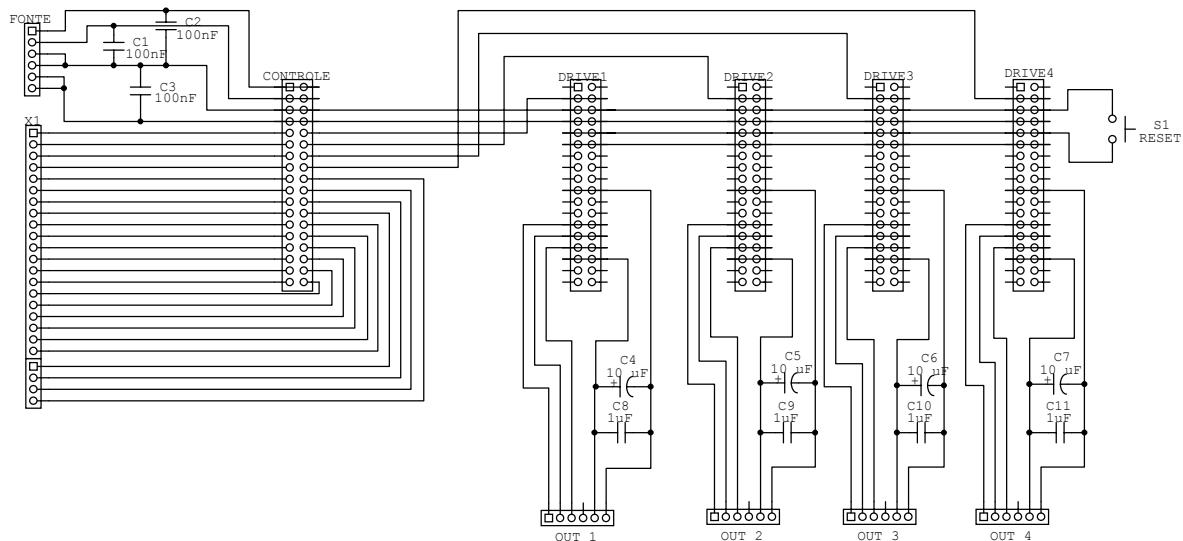
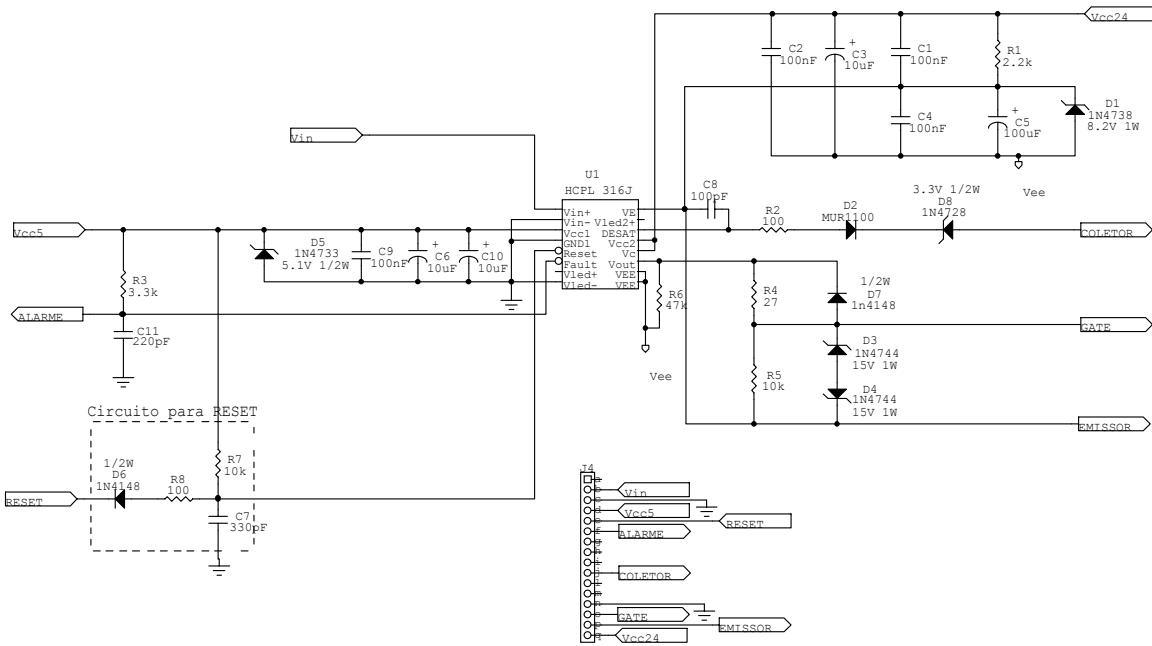


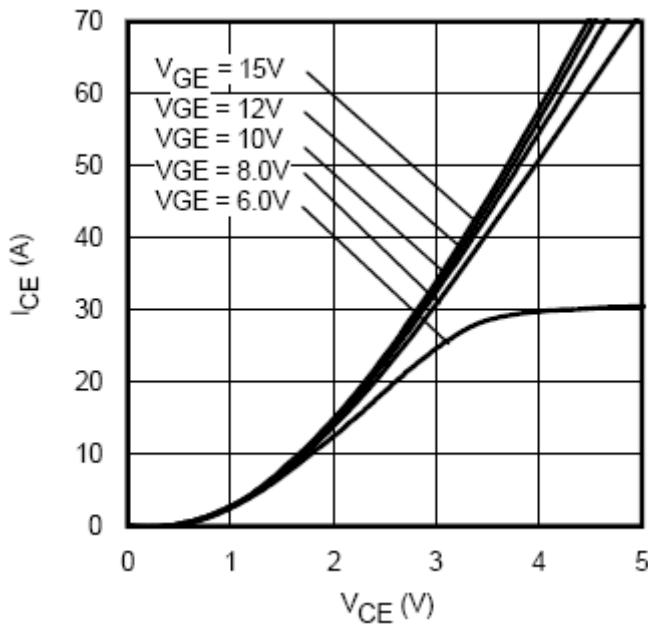
Figura 7-8 Diagrama esquemático da placa mãe.



transistor, sua tensão entre coletor e emissor exceder um determinado limiar, o comando é interrompido e o transistor recebe um sinal para bloquear a condução. Quando em condução, a tensão entre coletor e emissor do transistor depende da corrente de coletor. Se a tensão exceder um determinado valor a corrente de coletor pode estar demasiadamente alta e o transistor deve bloquear a condução. Esta medida pode evitar um curto-círcuito e salvaguardar os componentes do circuito de potência e também do circuito de comando.

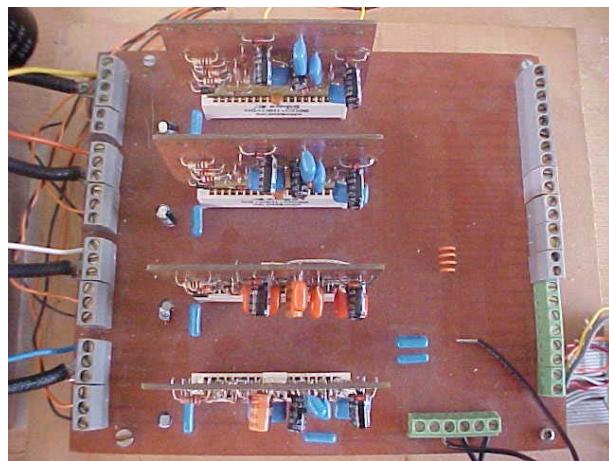
O HCPL-316J monitora a tensão entre coletor e emissor através de seu pino DESAT. Quando esta tensão exceder 7V, a condução é bloqueada e o CI precisa ser reinicializado para retornar a seu funcionamento normal.

Todavia, a tensão de 7V não é uma referência adequada para o IGBT IRGP35B60PD. Sendo o sinal de gatilho ( $V_{GE}$ ) da ordem de 15V, sua tensão  $V_{CE}$  será estipulada de 1,85V para um corrente de coletor de 6,7A. Isso fica evidente na figura 7-10.[12]



**Figura 7-10 Característica de condução do IGBT IRGP35B60PD ( $V_{CE}$  x  $I_c$ ). Dados importantes para o dimensionamento da proteção.**

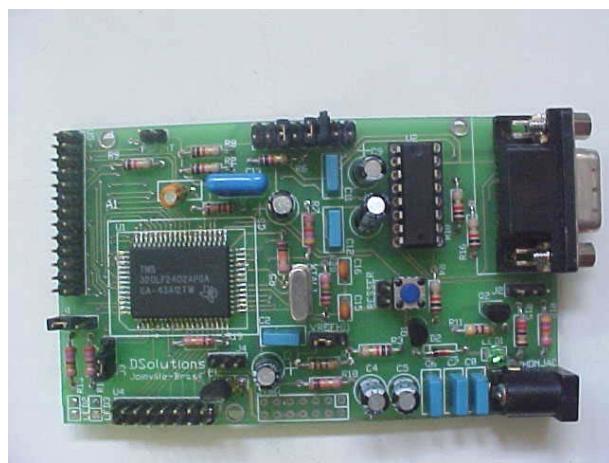
Então, como se pode perceber no diagrama esquemático, foi inserido um diodo zener (5,1V) entre o resistor R2 e o diodo D2. Este diodo tem a função de adequar o nível de tensão da proteção de 7V no terminal DESAT para o nível de 2,5V requerido pelo transistor.



**Figura 7-11** Aspecto final da placa de comando.

## 7.5 Placa de Controle

Na figura 7-12 é apresenta a placa com o processador DSP utilizada para a realização do controle, esta placa possui uma entrada serial pela qual é feita a gravação do programa. Pinos para conexão de cabos flexíveis para placas de expansão ou mesmo ligação diretas da placa de comando e da placa de aquisição de sinais.



**Figura 7-12** Aspecto final da placa de controle.

## 7.6 Protótipo Final

Todo o conjunto unindo a placa de controle, placa de comando, placa de aquisição e placa de potência é apresentado na figura 7-13.

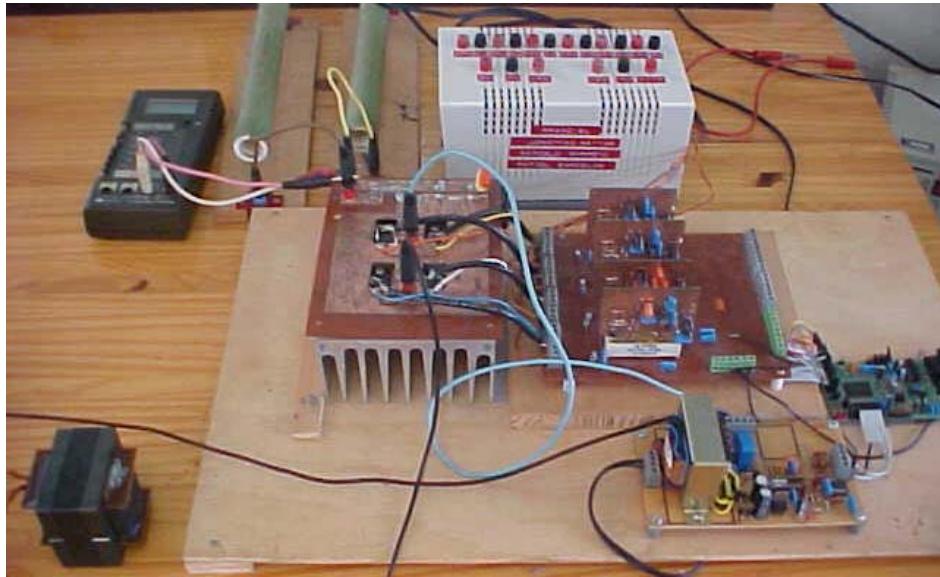


Figura 7-13 Aspecto final do conversor com todos os módulos.

## 7.7 Resultados Experimentais

### 7.7.1 Tensão e Corrente Drenada pela Rede

A figura 7-14 apresenta a corrente de entrada e a tensão de entrada, drenadas da rede, para uma corrente de referência de 1A. O conversor foi neste caso alimentado por um varivolt de 12 ampères e 0-220V. A ponteira isolada de tensão encontrava-se em 100mV/div = 50V/div e a ponteira isolada de corrente em 10mV/div=2A/div.

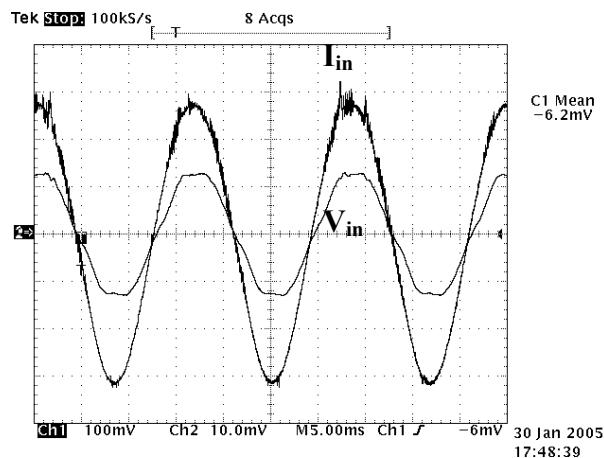


Figura 7-14 Formas de ondas de tensão e corrente drenada pela rede.

### 7.7.2 Tensão e Corrente Drenada pela Rede

Na figura 7-15 é apresentada a corrente de entrada drenada da rede e tensão de saída do conversor. A ponteira isolada de tensão apresentava-se na escala de  $100\text{mV/div} = 50\text{V/div}$  e a ponteira isolada de corrente em  $10\text{mV/div} = 2\text{A/div}$ .

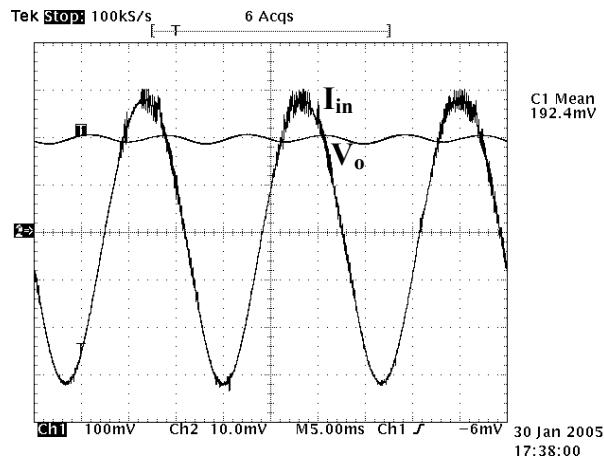


Figura 7-15 Formas de ondas de corrente drenada pela rede e tensão de saída.

### 7.7.3 Tensão e Corrente na Carga

A corrente de saída e tensão de entrada podem ser observadas na figura 7-16. A ponteira isolada de tensão encontrava-se em  $50\text{mV/div} = 25\text{V/div}$  e a ponteira isolada de corrente em  $100\text{mV/div} = 1\text{A/div}$ .

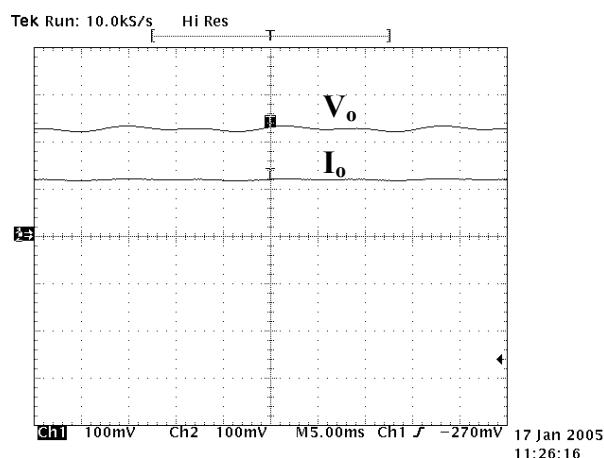
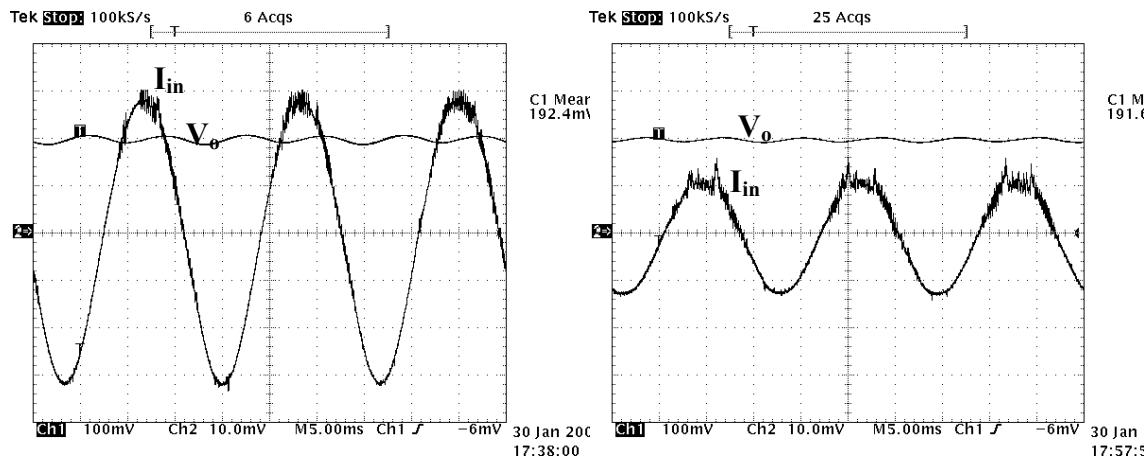


Figura 7-16 Formas de ondas de corrente e tensão de saída do conversor.

#### 7.7.4 Tensão na Carga e Corrente Drenada pela Rede

As seguir na figura 7-17 e feito um comparativo com o conversor operando em dois casos, o primeiro na figura 7-17a mostra a corrente com tensão nominal da rede e o segundo na figura 7-17b mostra a diminuição da corrente drenada devido a um aumento na tensão. A ponteira isolada de tensão encontrava-se na escala de  $100\text{mV}/\text{div} = 50\text{V}/\text{div}$  e a ponteira isolada de corrente em  $10\text{mV}/\text{div} = 2\text{A}/\text{div}$ .



**Figura 7-17 (a) controle não atuando sobre o retificador e (b) controle atuando sobre o conversor.**

#### 7.7.5 Ensaio de Mudança de Carga

O resultado deste ensaio é apresentado na figura 7-18 e também é feito um comparativo com o conversor operando em dois casos, o primeiro na figura 7-18a mostra o comportamento conversor sujeito a uma redução brusca de 25% da carga nominal e o segundo na figura 7-16b mostra o comportamento do conversor sujeito a uma redução brusca de 50%. A ponteira isolada de tensão encontrava-se na escala de  $100\text{mV}/\text{div} = 50\text{V}/\text{div}$  e a ponteira isolada de corrente em  $10\text{mV}/\text{div} = 2\text{A}/\text{div}$ .

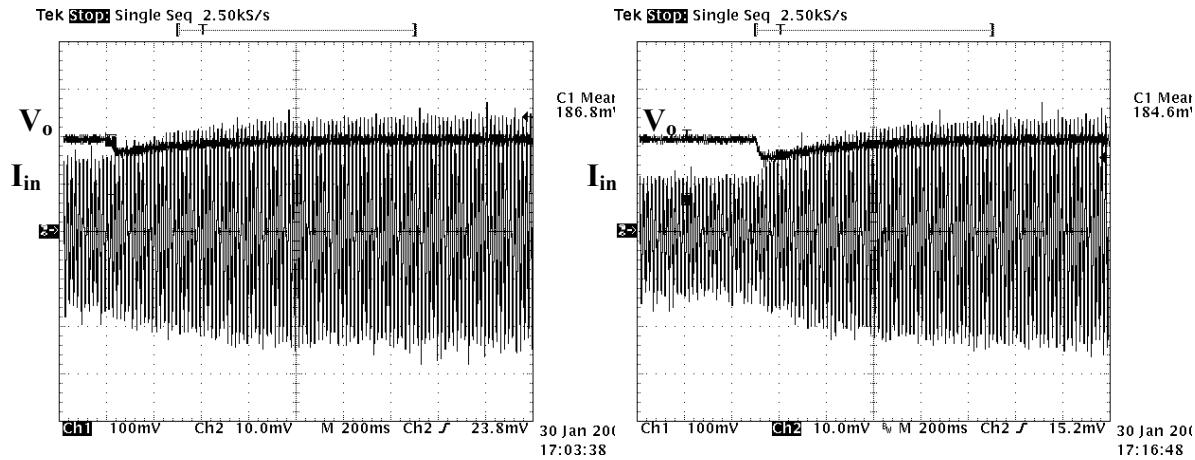


Figura 7-18 (a) Degrau de 25% de aumento de carga. (b) Degrau de 50% de aumento de carga

### 7.7.6 Regeneração de Energia

Para comprovar o funcionamento do conversor trabalhando no modo de regeneração de energia foi utilizada uma fonte de corrente ligada ao barramento CC, onde esta fonte foi ajustada para fornecer um corrente duas vezes maior do que a corrente drenada pela carga, assim obrigando ao conversor devolver energia para rede.

A figura 7-19 mostra o comportamento o comportamento da tensão da rede e corrente quando a fonte de corrente foi ligado ao circuito. Observa-se que no primeiro instante o conversor estava trabalhando como retificador e após o ligamento da fonte de corrente o mesmo passa a operar no modo de inversor. Esta conclusão é possível baseando-se na fase entre a tensão e corrente de entrada. A ponteira isolada de tensão encontrava-se na escala de 50mV/div = 50V/div e a ponteira isolada de corrente em 100mV/div=1A/div.

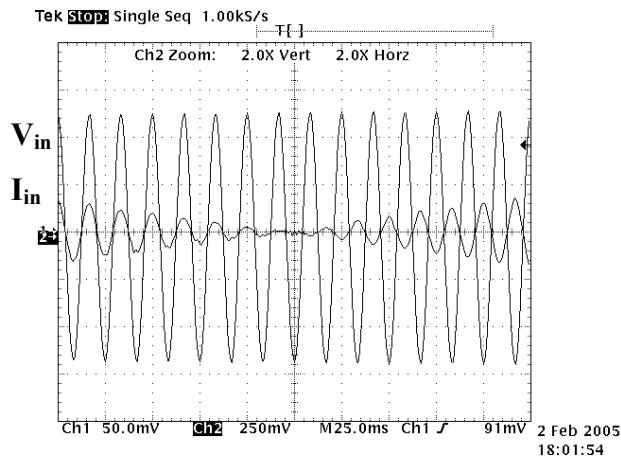
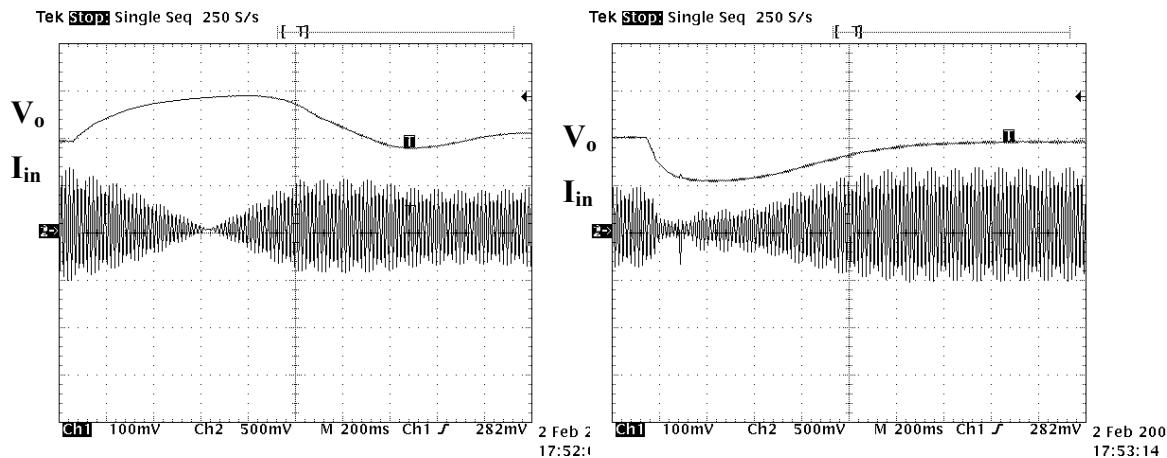


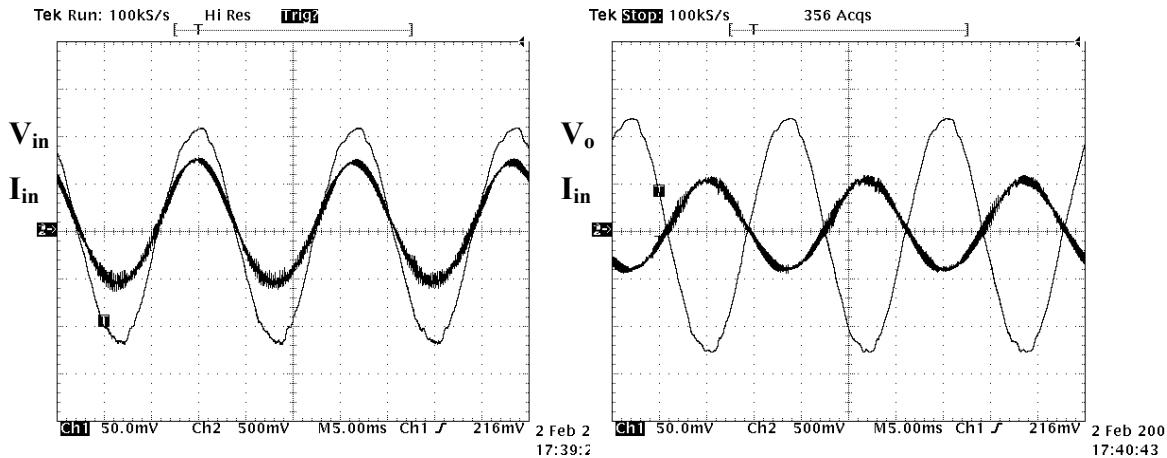
Figura 7-19 Passagem do conversor para o modo de regeneração de energia.

Na figura 7-20a e 7-20b são apresentados os resultados gerados pelo ligamento da fonte 7-20a bruscamente ao barramento, o que representa um degrau de 100%, é possível verificar que ocorre um aumento da tensão do barramento devido ao aumento de energia despejado neste através da fonte de corrente, mas também se observa que o controlador responde muito bem a esta variação e logo a tensão volta a seu valor nominal seguindo a tensão de referência. Na figura 7-20b o processo o resultado do processo inverso é mostrado, isto é o desligamento brusco da fonte de corrente anteriormente ligada ao barramento. Novamente existe uma variação da tensão do barramento devido a falta de energia o que obriga o conversor voltar ao modo de operação como retificador. A ponteira isolada de tensão encontrava-se na escala de 100mV/div = 50V/div e a ponteira isolada de corrente em 100mV/div=1A/div.



**Figura 7-20 (a) Variação da tensão do barramento na passagem para o modo inversor. (b) Variação da tensão do barramento no retorno ao modo retificador.**

A figura 7-21a e 7-21b apresentam em maiores detalhes a corrente e tensão de entrada para o modo retificador 7-21a e modo inversor 7-20b. A ponteira isolada de tensão encontrava-se na escala de 50mV/div = 50V/div e a ponteira isolada de corrente em 100mV/div=1A/div.



**Figura 7-21 (a) Modo Retificado. (b) Modo Inversor**

## 7.8 Conclusões

Os resultados adquiridos em bancadas se mostraram satisfatórios, comprovando que a metodologia de projeto adotada é muito eficiente. Assim pôde-se constatar que as previsões teóricas e os resultados de simulação foram comprovados e validados pelos resultados experimentais.

Vale ainda salientar que os testes realizados não forma feitos com as condições nominais, pois as placas estão em testes, e se são gradativos e lentos, para não comprometerem todo os estudos futuros. Pois ainda serão feitos testes em condições de regeneração de energia para então se iniciar os teste com condições nominais.

## 8 CONCLUSÕES GERAIS

Este trabalho apresentou uma metodologia para o projeto de um retificador reversível em corrente com fator de potência elevado.

Foram apresentados os modelos matemáticos dos conversores, através da análise quantitativa e qualitativa dos conversores para o projeto de potência.

O controle do conversor foi feito utilizando a técnica dos valores médios instantâneos, implementada por um controlador digital utilizado DSP. Isto foi possível, pois o processo para se realizar o projeto de controladores digital é o mesmo processo para se projetar controladores utilizando as técnicas analógicas, no domínio do plano  $s$ , amplamente utilizadas. No entanto foi demonstrado que esta analogia é válida para uma determinada faixa que depende da freqüência de amostragem.

Constatou-se que a técnica de controle usando inicialmente a análise no plano  $s$  e posteriormente levando as equações obtidas para o plano  $z$ , e posteriormente obtendo as equações a diferença, é vantajosa no sentido de se utilizar os conhecimentos previamente adquiridos. Isto faz com que trabalhos realizados utilizando técnicas analógicas possam ser facilmente transladadas para o controle digital sem muito esforço adicional.

Com relação aos resultados obtidos o projeto realizado mostrou-se eficiente, no que diz respeito ao controle da correção do fator de potência, pois como foram apresentadas nos resultados experimentais, as distorções da corrente foram reduzidas, o que demonstra o baixo nível de harmônicas existentes na corrente de entrada drenada pelo conversor.

No controle de tensão de barramento o controlador mostrou-se atuante para os testes de mudança de cargas realizados, desempenhando seu papel satisfatoriamente, conforme as projeções teóricas.

Na simulação as ferramentas utilizadas também se mostraram de grande valia, pois ficou comprovado que o uso de ferramentas de simulações e cálculos apropriados diminuem os esforços no momento da implementação prática.

## 9 BIBLIOGRAFIA

- [1] – TOMASELLI, Luis Cândido; Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243 – Dissertação de Mestrado, UFSC, Florianópolis, SC, 2001.
- [2] – BATSCHAUER, Alessandro Luiz; CHELAB NETO, Anis Cezar; PETRY, Clóvis Antônio; Conversor Boost operando em condução contínua aplicado à correção de fator de potência empregando controle da corrente de entrada por valores médios instantâneos; Estudo para Mestrado, UFSC, Florianópolis, SC, 2001.
- [3] – BARBI, Ivo; Projeto de Fontes Chaveadas. Edição do Autor. Florianópolis, 2001.
- [4] – OGATA, Katsuhiko – Modern Control Engineering. Third Edition. Prentice Hall, New Jersey, 1997.
- [5] – TMS320F/C24x DSP Controllers CPU and Instruction Set – Literature Number SPRU 160C, Texas Instruments. Jun/1999.
- [6] – TMS320LF/LC240xA DSP Controllers System and Peripherals – Literature Number SPRU357, Texas Instruments. Rev. Dez/2001.
- [7] – OGATA, Katsuhiko; Discret-Time Control Systems. Second Edition. Prentice Hall, New Jersey, 1994.
- [8] – RAYCIK, Julio César; Simulação de um Conversor de Corrente Monofásico; Relatório desenvolvido para a Disciplina de Acionamento Elétricos – Mestrado em Automação Industrial. UDESC - Joinville, SC. OUT, 2002.
- [9] – CARDOSO, Fabiano Luz; RAYCIK, Júlio César; Filtro Ativo Monofásico; Relatório desenvolvido para a Disciplina de Correção de Fator de Potência – Mestrado em Automação Industrial. UDESC - Joinville, SC. JUN, 2003.
- [10] – BARCZAK, Czeslau L; Controle Digital de Sistemas Dinâmicos, Projeto e Análise; Editora Edgard Blücher Ltda, São Paulo, SP. 1994.
- [11] – BASCOPE, Rene P.; O transistor IGBT aplica em eletrônica de potência; Sagga Luzzatto, Porto Alegre, RS, 1997

[12] – Internacional Retifier; WARP2 SERIES IGBT WITH ULTRAFAST SOFT RECOVERY DIODE(IRGP35B60PD); número do catálogo PD-94623; 2001.

[13] – LINDEKE, Dirk; Projeto de um filtro ativo paralelo de 1kVA usando técnica de controle analógico e digital– Dissertação de Mestrado, UFSC, Florianópolis, SC, 2003.

[14] – SOARES,c.,POSSAN Jr.,M. C.,LIDANI,R. A.,OLIVEIRA,R. M.; Inversor PWM Monofásico Utilizando DSP– TCC de Eletrônica de Potência, UDESC, Joinville, SC, 2003.

## 10 ANEXO I – Programa do DSP

```

.include "F24xx_a.h"
.include "senoum.h"

.def _c_int0,_timer1, _xint2

pr          .set    400
Q15         .set    32768
Q6          .set    64
Q5          .set    32
Q4          .set    16
Q0          .set    1

;ENDEREÇOS NA MEMORIA
.bss  A_Q10,1      ;200
.bss  B_Q9,1       ;201
.bss  AxB, 1        ;202
.bss  G,1          ;203
.bss  OFF_Q5,1     ;204
.bss  IREF_Q5,1    ;205
.bss  IIN_Q5,1     ;206
.bss  EI0_Q5,1     ;207
.bss  KP_Q5,1      ;208
.bss  OFF2,1       ;209
.bss  UI0,1        ;20A
.bss  ALFA,1       ;20B
.bss  VIN_Q4,1     ;20C
.bss  VREF_Q4,1    ;20D
.bss  UV0,1        ;20E
.bss  EV0_Q4,1     ;20F
.bss  EV1_Q4,1     ;210
.bss  C0_Q15,1     ;211
.bss  C1_Q15,1     ;212
.bss  B_H,1         ;213
.bss  B_L,1         ;214
.bss  B_HVELHO,1   ;215
.bss  B_LVELHO,1   ;216

.text
_c_int0:
SETC INTM

LDP          #DP_PF1
SPLK #00FDh,SCSR1
SPLK #000Bh,SCSR2
SPLK #00E8h,WDCR      ;desabilita watcdog

;*****INICIALIZAÇÃO DAS CONSTANTES*****
LDP          #04

```

```

SPLK  #((0*Q5)/100),          B_Q9;201
SPLK  #((82522*Q5)/100),      OFF_Q5;204 ;OFF_Q5      =27367
SPLK  #((1184*Q5)/100),      KP_Q5;208 ;KP_Q5=379
SPLK  #200,                   OFF2;209 ;OFF2_Q5=6400=1900h
SPLK  #0,                      ALFA;20B

SPLK  #((100*0006393*341*Q4)/1000000), VREF_Q4 ;20D =>0,006393
SPLK  #1508,                  C0_Q15 ;211 0,0460008671
SPLK  #-1507,                 C1_Q15
SPLK  #0,                      EV1_Q4;
SPLK  #0,                      B_H;
SPLK  #0,                      B_L;
SPLK  #0,                      B_HVELHO;
SPLK  #0,                      B_LVELHO;
;*****
; LDP      #DP_PF2
SPLK  #00C3h,MCRA            ;/* Hab PWM1 e PWM2, Tx e Rx*/
SPLK  #0FF18h,PADATDIR      ;/*zera pinos de saída*/
SPLK  #0100h,MCRB            ;/*Habilita pino xint2 para int. externa*/
; /* ADC */
SPLK  #04000h,ADCTRL1        ; /* Reseta o adc */
NOP
SPLK  #0010h,ADCTRL1        ; ;
estados de sequência (SEQ); Clk/2 ;0040/* Tira do reset e coloca no modo cascata de 16
; interrupção Low priority */
; ;
; /* Habilita para duas conversões --0001 */
; /* Seleciona o ADCIN0 depois ADCIN1*/
; /*fim ADC*/
;*****ADC

LDP      #DP_EVA
SPLK  #0000h,T1CNT           ;/* Inicializa contador do Timer1 */
SPLK  #0190h,T1PR             ;/* Seta período do Timer1 */

SPLK  #0006h,ACTRA           ;/* CMP1 active HIGH, CMP2 active LOW.*/
SPLK  #0A24h,DBTCONA          ;/* Dead Band de 0.5 micro */
SPLK  #00C8h,CMPR1            ;/* Seta valor do CMPR1 */
SPLK  #0E600h,COMCONA          ;
SPLK  #0846h,T1CON             ;

SPLK  #0080h,EVAIFRA          ;/*limpa todas inter pend do EVA T1PINT*/
SPLK  #0080h,EVAIMR            ;/*habilita as inter. do EVA T1PINT*/
;*****EVA

LDP      #DP_PF1
SPLK  #8005h,XINT2CR          ;/*limpa flag e def. pol. subida*/
;/*alta prioridade e hab. int exter.*/
;*****PF1

LDP      #0h
SPLK  #0003h,IMR              ;/* habilita as interrupções INT1*/
SPLK  #0003h,IFR              ;/* limpa qualquer inter. INT1 */

;*****DEBUG*****
LDP      #DP_PF2
SPLK  #0FF00h,PADATDIR        ;/*zera pinos de saída*/
;*****PF2

```

```

CLRC  INTM          /* habilita as interrupções */

BEGIN:
NOP
B      BEGIN

timer1:
SETC  INTM

LDP      #0
SPLK  #0002,IFR; /* limpa INT2 */
LDP  #DP_EVA
SPLK  #0080h,EVAIFRA; /*limpa todas inter pend do EVA T1PINT*/

; lendo corrente no ADC.
LDP  #DP_PF2
SPLK  #04000h,ADCTRL2; /* Reseta a sequência de conversão */
SPLK  #02000h,ADCTRL2;
NOP
NOP
NOP
NOP

testeEOC:
; Faz enquanto a sequência de conversão não estiver concluída */
LACC  #1000h
AND  ADCTRL2
BCND  testeEOC,EQ
*****LEITURA DA CORRENTE*****
LACC  RESULT1 ;acc=q6
AND  #0FFFh
SFR      ;acc=q5
LDP  #04
SACL  IIN_Q5 ;fim leitura corrente.
*****LEITURA DA TENSÃO*****
LDP  #DP_PF2
LACC  RESULT0
AND  #0FFFh
LDP  #04
RPT  #1
SFR
SACL  VIN_Q4
*****ERRO DE TENSÃO*****
LACC  VREF_Q4
SUB  VIN_Q4
SACL  EV0_Q4
*****LIMITE DA SAIDA DO CONTROLADOR*****

LACC  B_Q9
SUB  #-32000
BCND  LE_32000,GEQ
LACC  B_HVELHO
SACL  B_H
LACC  B_LVELHO
SACL  B_L

```

```

B      FIM1
LE_32000:
LACC  B_Q9
SUB   #32000
BCND  FIM1,LEQ
LACC  B_HVELHO
SACL  B_H
LACC  B_LVELHO
SACL  B_L
FIM1:
;*****CONTROLADOR DE TENSÃO*****
LACC  B_H,16
OR    B_L
SACH  B_HVELHO
SACL  B_LVELHO
LT    EV1_Q4
MPY   C1_Q15
LTD   EV0_Q4
MPY   C0_Q15
APAC
SACH  B_H
SACL  B_L
RPT   #9
SFR
SACL  B_Q9
;*****MULTIPLICADOR*****
MULTIPLICA:
LACC  #SENO ;carregando o valor do seno da tabela.
ADD   ALFA
TBLR  A_Q10
LT    A_Q10
MPY   B_Q9
SALVIREF:
PAC
RPT   #9 ;transformando Q19 em Q10.
SFR
RPT   #2
SFR
SACL  IREF_Q5
;*****LIMITE DA CORRENTE*****
LIMITE_CORR:
LACC  IREF_Q5
SUB   #-4583
BCND  LE_7,GT ;UV0-(-7). se ACC >=0 vai para LE_7
SPLK  #4583,IREF_Q5 ; testando os limites do B_Q5
B    FIM2
LE_7:
LACC  IREF_Q5
SUB   #4583
BCND  FIM2,LT ;UI0-224(7 EM Q0). se ACC <=0, pula para FIM.
SPLK  #4583,IREF_Q5
FIM2:
;*****SOMA OFFSET*****
SOMA_OFF:
LACC  IREF_Q5
ADD   OFF_Q5 ;OFF2 EM Q9

```

```

;*****ERRO DE CORRENTE*****
ERRO_CORR:
SUB IIN_Q5
SACL EI0_Q5
;*****CONTROLADOR DE CORRENTE*****
CONT_CORR:
LT KP_Q5
MPY EI0_Q5
PAC ;acc estah em Q10.
ADD OFF2, 10
SACH UI0,6 ;q0
;*****SATURAÇÃO DO PWM*****
SAT_PWM:
LACC UI0
SUB #35
BCND LE_365,GEQ ;UI0-35. se ACC >=0 vai para LE_365
SPLK #35,UI0 ; testando os limites do CMPR1
B FIM3
LE_365:
LACC UI0
SUB #365
BCND FIM3,LEQ; UI0-365. se ACC <=0, pula para FIM.
SPLK #365,UI0
FIM3:
;carrega o valor de Ui0 no comparador
LACC UI0
LDP #DP_EVA
SACL CMPR1 ;fim atualizacao CMPR1
; incrementando o Alfa.
LDP #04
LACC #1
ADD ALFA ; incrementando o alfa.
SACL ALFA ; armazenando o ALFA.[fim incremento do Alfa]

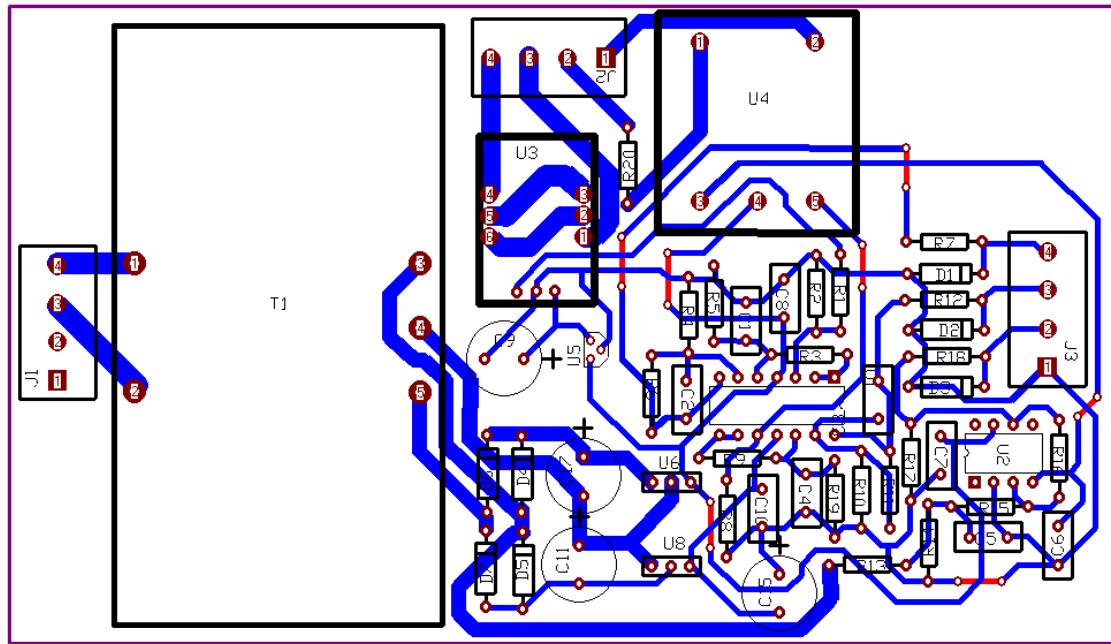
CLRC INTM ;re-enable interrupts
RET ;return from the interrupt
;Interrupcao externa que irah atribuir ZERO ao ALFA.
_xint2:
SETC INTM

LDP #0h
SPLK #0001h,IFR ;/*limpa INT1*/
LDP #DP_PF1
SPLK #8005h,XINT2CR ;/*limpa flag e dev. pol. subida*/
;/*alta prioridade e hab. int exter.*/
LDP #04
LACC #0
SACL ALFA; armazenando o ALFA.
;*****debug*****
LDP #DP_PF2
LACC #0008h
XOR PADATDIR
SACL PADATDIR
;*****
CLRC INTM
RET

```

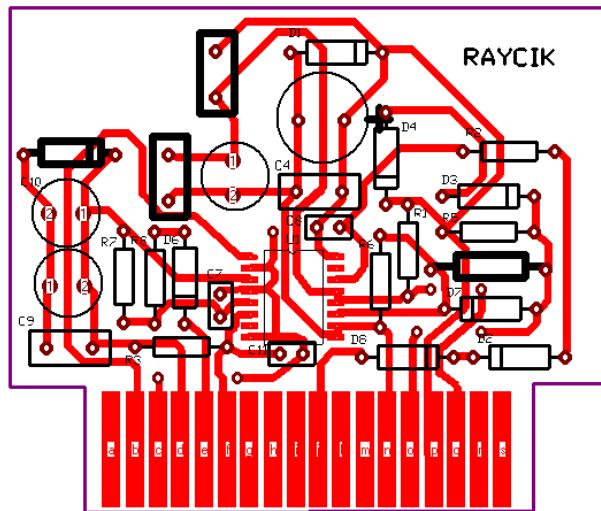
## 11 ANEXO II – Layout da Placas

## 11.1 Placa de Aquisição



**Figura 11-1- *Layout da Placa de Aquisição de Dados***

## 11.2 Placa dos Drives de Comando



**Figura 11-2 Layout da Placa de Aquisição do *Drives de Comando***

### 11.3 Placa de Mãe para Drives de Comando

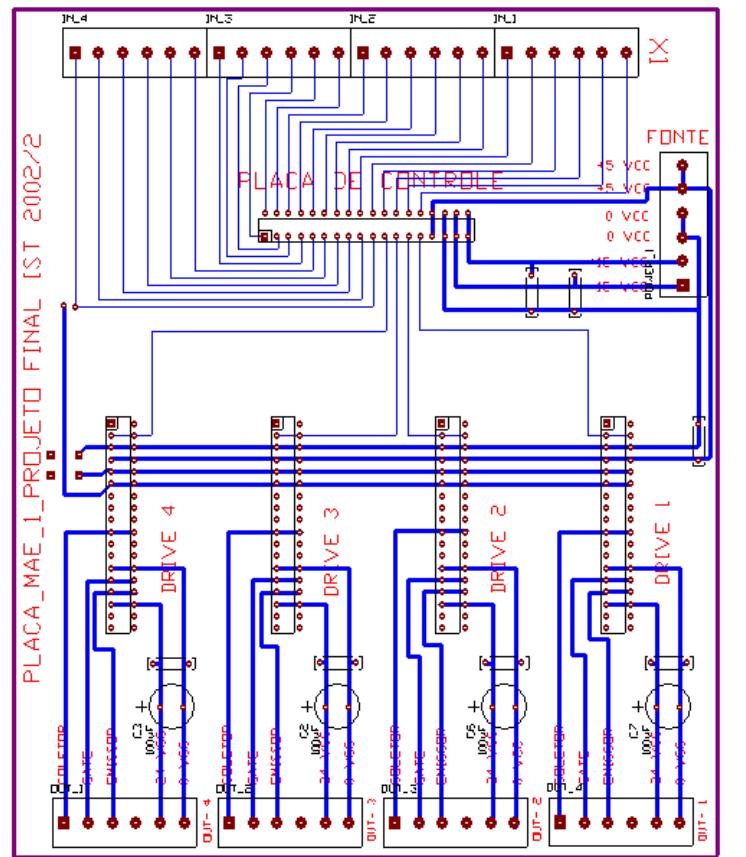


Figura 11-3 *Layout da Placa Mãe para os Driver de Comando e interfaces*

## 12 ANEXO II – Listas de Componentes

Tabela 12-1 Lista de componentes utilizados para montagem da placa de aquisição.

Quant.	Valor	Atributos	Designação
4	3.8nF	Poliester	C1,C2,C3,C4
1	100nF	Poliester	C5
1	1uF	Eletrolítico/25V	C6
2	100uF	Eletrolítico/50V	C7,C17
2	10uF	Eletrolítico/25V	C9,C15
4	100nF	Cerâmico	C10,C11,C12,C13
3	1N4728	3.3V	D1,D2,D3
4	1N4007	Diodo retificador	D4,D5,D6,D7
1	CONN	conector KRE	J2
1	CONN	conector KRE	J3
1	38k	1/4 W	R1
1	56k	1/4 W	R2
1	120	1/4 W	R3
1	1M	1/4 W	R4
8	10k	1/4 W	R5,R6,R7,R8,R10,R11,R12,R13
3	0.3k	1/4 W	R9,R14,R15
2	1k	1/4 W	R16,R17
3	100k	1/4 W	R18,R19,R21
1	47k	1/4 W	R20
1	Trafo de alim.	220 to 18 for 500mA	T1
1	TL084	DIP 14	U1
1	LM741/NS	DIP 8	U2
1	LTS 25-NP	Sensor de Corrente	U3
1	LV 25-P	Sensor de Tensão	U4
1	78L05	Regulador de 5 V	U5
1	7815	Regulador de 15 V	U6
1	LM7915	Regulador de -15 V	U7

Tabela 12-2 Lista de componentes utilizados para montagem da placa de comando.

Quant.	Valor	Atributos	Designação
4	100nF	Poliester	C1,C2,C4,C9
1	10uF	eletrolítico 24V	C3
1	100uF	Eletrolítico 16V	C5
2	10uF	Eletrolítico 16V	C6,C10
1	330pF	Cerâmica	C7
1	100pF	Cerâmica	C8
1	220pF	Cerâmica	C11
1	1N4738	8.2V 1/2W	D1
1	MUR1100	1W	D2
2	1N4744	15V 1/2W	D3,D4

1	1N4733	5.1V 1/2W	D5
2	1N4148	1/2W	D6,D7
1	1N4728	3.3V 1/2W	D8
1	2.2k	1/4W	R1
2	100	1/4W	R2,R8
1	3.3k	1/4W	R3
1	27	1/4W	R4
2	10k	1/4W	R5,R7
1	47k	1/4W	R6
1	HCPL316J	16 PINOS SMD	U1