

Este trabalho analisa as perdas no conversor com neutro grampeado com conexão em T. O controle do conversor é realizado em malha fechada para a corrente de saída, conectado à rede elétrica, preparado para uma aplicação fotovoltaica. No trabalho é apresentado e calculado o rendimento do conversor para diferentes configurações de interruptores e diodos. São obtidos os resultados experimentais para um conversor de 3 KW.

Orientador: Yales Rômulo de Novaes

Joinville, 2016

ANO
2016

FELIPE GUILHERME STEIN | CONTRIBUIÇÕES À REDUÇÃO DE PERDAS
NOS SEMICONDUTORES DO INVERSOR T-TYPE



UDESC

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA – PPGEEL

DISSERTAÇÃO DE MESTRADO
**CONTRIBUIÇÕES À REDUÇÃO DE
PERDAS NOS SEMICONDUTORES
DO INVERSOR T-TYPE**

FELIPE GUILHERME STEIN

JOINVILLE, 2016

FELIPE GUILHERME STEIN

**CONTRIBUIÇÕES À REDUÇÃO DE PERDAS NOS
SEMICONdutoRES DO INVERSOR T-TYPE**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, no Centro de Ciências Tecnológicas, da Universidade do Estado de Santa Catarina, como requisito parcial para obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Dr. Yales R. de Novaes

**JOINVILLE
2016**

S819c Stein, Felipe Guilherme

Contribuições à redução de perdas nos semicondutores do inversor T-Type/
Felipe Guilherme Stein. –
2016.

160 p. : il. ; 21 cm

Orientador: Yales Rômulo de Novaes

Bibliografia: 122-126 p.

Dissertação (mestrado) – Universidade do Estado de Santa Catarina, Centro de
Ciências Tecnológicas,

Programa de Pós-Graduação em Engenharia Elétrica, Joinville, 2016.

1. Processamento de energia elétrica. 2. Inversores elétricos. 3. Semicondutores
de potência.

I. Novaes, Yales Rômulo de. II. Universidade do Estado de Santa Catarina. Programa
de Pós-Graduação em

Engenharia Elétrica. III. Título.

CDD: 621.31 - 23. ed.

Felipe Guilherme Stein

Contribuições à Redução de Perdas nos Semicondutores do

Inversor T-Type

Dissertação apresentada ao Curso de Programa de Pós-Graduação em Engenharia Elétrica como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica na área de concentração "Sistemas Eletroeletrônicos".

Banca Examinadora

Orientador:

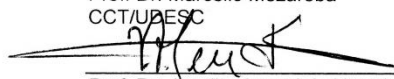


Prof. Dr. Yales Rômulo de Novaes
CCT/UDESC

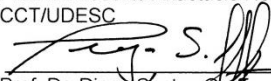
Membros



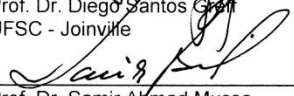
Prof. Dr. Marcello Mezaroba
CCT/UDESC



Prof. Dr. Joselito Anastácio Heerdt
CCT/UDESC



Prof. Dr. Diego Santos Giani
UFSC - Joinville



Prof. Dr. Samir Ahmad Mussa
UFSC - Florianópolis

Joinville, SC, 27 de setembro de 2016.

Dedico este trabalho à minha família.

AGRADECIMENTOS

Agradeço primeiramente à minha família, pelo apoio incondicional, e a Deus e as circunstâncias Terrenas, pela saúde e força de vontade durante a realização deste trabalho.

Agradeço também à UDESC e ao nPEE pela oportunidade de realizar este trabalho em um grupo de tamanha qualidade e esforço, no que diz respeito à seriedade de suas linhas de pesquisa, à qualidade de seus trabalhos e ao impacto das suas publicações, sempre em ascensão notável.

Ao meu orientador e a todos os professores e alunos que fazem parte da comunidade acadêmica do nPEE e da UDESC. À UDESC, também, pela bolsa concedida durante os estudos. Ao CNPq, CAPES, FITEJ e FAPESC, pelo auxílio na disponibilização de recursos ao laboratório, proporcionando a estrutura e os insumos necessários à pesquisa.

*“O que mata a sede é a água, não
o copo.”*

Glênio Fagundes

RESUMO

Este trabalho analisa as perdas no conversor com neutro grampeado com conexão em T. O controle do conversor é realizado em malha fechada para a corrente de saída, conectado à rede elétrica, preparado para uma aplicação fotovoltaica. As perdas teóricas são calculadas para IGBT com diodo de Silício, IGBT com diodo de Carboneto de Silício, transistor de Nitreto de Gálio com diodo de Silício e transistor de Nitreto de Gálio com diodo de Carboneto de Silício. No trabalho é apresentado e calculado o rendimento do conversor para diferentes configurações de interruptores e diodos. São obtidos os resultados experimentais para um conversor de três quilowatts. É também apresentado e calculado o rendimento ponderado para conversores aplicados à geração de energia solar fotovoltaica.

Palavras-chave: T-Type, GaN, SiC, perdas, fotovoltaico

ABSTRACT

This work presents the loss analysis in the neutral point clamped with T-connection, T-Type converter. The converter control is performed in closed loop to the output current, connected to the grid to inject energy, as in a photovoltaic application. The theoretical losses are calculated for IGBT composition with Silicon diode, IGBT with Silicon Carbide diode, Gallium Nitride transistor with Silicon diode and Gallium Nitride transistor with Silicon Carbide diode. The work presents the calculation of losses for different semiconductor compositions. Experimental results are obtained for a three kilowatt inverter. In the work is presented and calculated the weighted efficiency for converters applied to the generation of photovoltaic solar energy.

Key-words: T-Type, GaN, SiC, losses, photovoltaic

LISTA DE ILUSTRAÇÕES

Figura 1 - MOSFET do tipo enriquecimento	23
Figura 2 - MOSFET de canal n (a) e de canal p (b)	24
Figura 3 - MOSFET depleção canal n.....	25
Figura 4 - MOSFET tipo depleção e sua simbologia (para tipo p e n)...	26
Figura 5 - MOSFET planar convencional (enriquecimento).....	26
Figura 6 - MOSFET superjunção (enriquecimento).....	27
Figura 7 - Capacitâncias do MOSFET versus tensão dreno-fonte	31
Figura 8 – Tensão e corrente no MOSFET durante a entrada em condução	32
Figura 9 - Modelo de condução do MOSFET	37
Figura 10 - Construção interna do GaN HEMT cascode	39
Figura 11 - Transistor GaN HEMT modelo TPH3006PS da fabricante Transphorm USA	40
Figura 12 - Modos de operação do GaN HEMT cascode.....	41
Figura 13 - Modelo de condução do IGBT	44
Figura 14 - Corrente de coletor <i>versus</i> tensão coletor-emissor (para o IGBT IRGP50B60PD @ $T_j=125^{\circ}\text{C}$).....	45
Figura 15 - Corrente de coletor x tensão coletor-emissor (para o IGBT IRGP50B60PD, $T_j=125^{\circ}\text{C}$), curva com polinômio de grau dois	45
Figura 16 - Corrente de coletor x potência (IRGP50B60PD, $T_j=125^{\circ}\text{C}$) com curva de aproximação.....	47
Figura 17 - Valores obtidos com os diferentes métodos de obtenção das perdas de condução para o IGBT (Watts); método 1 (verde), método 2 (azul) e método 3 (vermelho).	47
Figura 18 - Modelo elétrico de condução do diodo schottky SiC	51
Figura 19 - Topologia T-Type NPC-5N.....	54
Figura 20 - Distribuição das portadoras e o sinal modulante	55
Figura 21 - Sinais de comando dos interruptores	56
Figura 22 - Etapas de operação para a região 1. (a) primeira etapa, (b) segunda etapa.	57
Figura 23 - Etapas de operação para a região 2. (a) primeira etapa, (b) segunda etapa.	57
Figura 24 - Diagrama do sistema de controle.....	64
Figura 25 - Circuito equivalente para a modelagem da planta de corrente	64
Figura 26 - Tensão da rede elétrica em bancada	66
Figura 27 - Análise harmônica da tensão da rede.....	66

Figura 28 - Diagrama de bode de malha aberta da planta de corrente; no plano contínuo (linha cheia) e no plano w (linha tracejada).....	68
Figura 29 - Diagrama de bode de malha aberta da planta de corrente com controlador	71
Figura 30 - Simulação da corrente de saída com o controlador projetado	71
Figura 31 - Topologia T-Type NPC-5N.....	74
Figura 32 - Perdas no IGBT com diodo interno – 50kHz	77
Figura 33 - Perdas no IGBT com diodo SiC schottky – 50kHz	77
Figura 34 - Perdas no transistor GaN com diodo intrínseco – 50kHz	78
Figura 35 - Perdas no transistor GaN com diodo SiC – 50kHz.....	78
Figura 36 – Perdas no IGBT com diodo interno – 100kHz.....	80
Figura 37 - Perdas no IGBT com diodo SiC schottky – 100kHz	80
Figura 38 - Perdas no transistor GaN com diodo intrínseco – 100kHz ..	81
Figura 39 - Perdas no transistor GaN com diodo SiC – 100kHz.....	81
Figura 40 – Perdas no IGBT com diodo interno – 500kHz.....	83
Figura 41 - Perdas no IGBT com diodo SiC schottky – 500kHz	83
Figura 42 - Perdas no transistor GaN com diodo intrínseco – 500kHz ..	84
Figura 43 - Perdas no transistor GaN com diodo SiC – 500kHz.....	84
Figura 44 – Perdas no IGBT com diodo interno – 800kHz.....	86
Figura 45 - Perdas no IGBT com diodo SiC schottky – 800kHz	86
Figura 46 - Perdas no transistor GaN com diodo intrínseco – 800kHz ..	87
Figura 47 - Perdas no transistor GaN com diodo SiC – 800kHz.....	87
Figura 48 - Rendimento para as diferentes combinações de semicondutores com diferentes frequências de operação.....	89
Figura 49 - Rendimento @ 40kHz; escala do eixo x em Watts.....	90
Figura 50 - Rendimento @ 80kHz; escala do eixo x em Watts.....	92
Figura 51 - Imagem da placa principal do protótipo experimental	96
Figura 52 - Imagem do protótipo experimental completo.....	97
Figura 53 Corrente de saída (potência nominal, tensão nominal)	97
Figura 54 Amplitude percentual das componentes harmônicas da corrente de saída; limites da norma fotovoltaica NBR16149.....	98
Figura 55 Perdas no conversor @ 40kHz; escala do eixo x em Watts ...	99
Figura 56 Perdas no conversor @ 80kHz; escala do eixo x em Watts .	101
Figura 57 - Rendimento experimental (quad.) versus teórica (triâng.); escala do eixo x em Watts	104
Figura 58 - Rendimento experimental (quad.) versus teórica (triâng.); escala do eixo x em Watts	105
Figura 59 - Blocos de cálculo das perdas	114
Figura 60 - Blocos do controle digital e da modulação.....	115

Figura 61 – Circuito de potência co conversor, barramento cc de entrada
e conexão à rede 116

LISTA DE ABREVIATURAS E SIGLAS

ANEEL	Agência Nacional de Energia Elétrica
ANPC	<i>Active Neutral Point Clamped</i>
B	Boro
CC	Corrente Contínua
CO	Monóxido de carbono
CO ₂	Dióxido de carbono
DHT	Distorção Harmônica Total
DSP	<i>Digital Signal Processor</i>
EMI	<i>Electromagnetic Interference</i>
FB-DCBP	Full-Bridge DC BayPass
FB-ZVR	<i>Full-Bridge Zero Voltage Rectifier</i>
FP	Fator de Potência
FTMA	Função de Transferência em Malha Aberta
FV	Fotovoltaico
HERIC	Highly Efficient and Reliable Inverter Concept
IEC	<i>International Electrotechnical Commission</i>
IEEE	Instituto de Engenheiro Eletricistas e Eletrônicos
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IPD	<i>In Phase Disposition</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MPP	<i>Maximum Power Point</i>
MPPT	<i>Maximum Power Point Tracking</i>
NBR	Norma Brasileiro
NPC	<i>Neutral Point Clamped</i>
NPC-5N	<i>Neutral Point Clamped – 5 Níveis</i>
NPC _m	<i>Modified Neutral Point Clamped</i>
P&O	<i>Perturb and Observe</i>
PLL	<i>Phase-locked Loop</i>
SiC	<i>Silicon Carbide (Carboneto de Silício)</i>

LISTA DE SÍMBOLOS

C_{iss}	Capacitância de entrada (<i>input capacitance</i>)
C_{oss}	Capacitância de saída (<i>output capacitance</i>)
C_{rss}	Capacitância reversa (<i>reverse capacitance</i>)
C_{gd}	Capacitância de porta-dreno (<i>gate-drain capacitance</i>)
C_{gs}	Capacitância de porta-fonte (<i>gate-source capacitance</i>)
$C_{GD(Vbloq)}$	Capacitância porta-dreno para $V_{bloq} = V_{bloq}$
$C_{GD(R_{DSon}I_{on})}$	Capacitância porta-dreno para $V_{bloq} = R_{DSon}I_{on}$
f_s	Frequência de comutação
I_{Don}	Corrente no dreno do MOSFET durante a comutação
I_{G-on}	Corrente na porta do MOSFET na entrada em condução
Q_{rr}	Carga de recuperação reversa do MOSFET
L_g	Indutância da rede elétrica
L_f	Indutância do filtro de saída
R_g	Resistência da rede elétrica
R_f	Resistência do filtro de saída
R_{gate}	Resistência na porta do MOSFET
R_{DSon}	Resistência do canal do MOSFET
t_{i-rise}	Tempo de subida da corrente no dreno do MOSFET
$t_{vfall-1}$	Tempo de queda da tensão dreno-fonte para $C = C_{GD1}$
$t_{vfall-2}$	Tempo de queda da tensão dreno-fonte para $C = C_{GD2}$
t_{v-fall}	Tempo de queda médio da tensão dreno-fonte
V_{bloq}	Tensão de bloqueio de um semiconductor
V_{drive}	Capacitância porta-dreno para

SUMÁRIO

1	INTRODUÇÃO	19
2	SEMICONdutoRES DE POTÊNCIA	22
2.1	TRANSISTOR DE EFEITO DE CAMPO (FET)	22
2.1.1	MOSFET modo depleção.....	24
2.1.2	MOSFET superjunção	26
2.1.3	Cálculo de Perdas em MOSFET	28
2.1.3.1	Perdas de Comutação – Entrada em Condução ...	30
2.1.3.2	Perdas de Comutação – Bloqueio	34
2.1.3.3	Generalização das Perdas de Comutação	35
2.1.3.4	Perdas durante a Condução	36
2.2	TRANSISTOR DE NITRETO DE GÁLIO (GAN)	38
2.2.1	Transistor FET GaN Modo Depleção	38
2.2.1.1	Modos de operação do Transistor GaN Cascode .	40
2.2.1.2	Perdas no Transistor GaN Cascode.....	42
2.2.1.3	Perdas Por Comutação	42
2.2.2	Perdas Por Condução Reversa	42
2.3	TRANSISTOR BIPOLAR DE PORTA ISOLADA (IGBT).....	43
2.3.1	Perdas Por Condução – Método 1.....	43
2.3.2	Perdas Por Condução – Método 2.....	44
2.3.3	Perdas por Condução – Método 3.....	46
2.3.4	Perdas por Comutação – Entrada em Condução	48
2.3.5	Perdas por Comutação – Bloqueio.....	48
2.4	DIODO BIPOLAR DE SILÍCIO (SI)	48
2.4.1	Perdas por Condução	48
2.4.2	Perdas por Comutação – Entrada em Condução	49
2.4.3	Perdas por Comutação – Bloqueio.....	49
2.5	DIODO DE CARBONETO DE SILÍCIO (SIC)	49

2.5.1	Perdas por condução	50
2.5.2	Perdas Por Comutação – Entrada Em Condução	51
2.5.3	Perdas Por Comutação – Bloqueio.....	51
2.6	CONCLUSÃO.....	52
3	CONVERTOR NPC T-TYPE 5-NÍVEIS.....	53
3.1	INTRODUÇÃO.....	53
3.2	A TOPOLOGIA E MODULAÇÃO	54
3.3	RENDIMENTO E DISTORÇÃO HARMÔNICA EM UM CONVERTOR APLICADO À DE GERAÇÃO DE ENERGIA SOLAR FOTOVOLTAICA	58
3.4	RENDIMENTOS PONDERADOS.....	60
3.4.1	Rendimento Europeu (EURO)	60
3.4.2	Rendimento Californiano (CEC)	61
3.4.3	Rendimento Brasileiro (BR)	62
3.4.4	Considerações sobre rendimentos ponderados	62
3.5	MODELAGEM PARA CONTROLE	63
3.6	PROJETO DA MALHA DE CONTROLE	65
3.7	ESFORÇOS NOS SEMICONDUTORES.....	72
4	RESULTADOS TEÓRICOS E DE SIMULAÇÃO	74
4.1	COMPARATIVO DE PERDAS ENTRE SEMICONDUTORES	74
4.1.1	Frequência de 50kHz.....	77
4.1.2	Frequência de 100kHz.....	80
4.1.3	Frequência de 500kHz.....	83
4.1.4	Frequência de 800kHz.....	86
4.1.5	Comparativo entre frequências de comutação.....	88
4.2	RENDIMENTO PONDERADO	90
4.2.1	Rendimento em 40kHz	90
4.2.2	Rendimento em 80kHz	92
4.3	CONCLUSÃO.....	94

5	RESULTADOS EXPERIMENTAIS	95
5.1	PERDAS EXPERIMENTAIS	98
5.1.1	Perdas com 40kHz	99
5.1.2	Perdas com 80kHz	101
5.2	COMPARATIVO COM PERDAS TEÓRICAS	104
5.2.1	Rendimento com 40kHz	104
5.2.2	Perdas com 80kHz	104
5.3	CONCLUSÃO.....	105
6	CONCLUSÃO.....	106
	REFERÊNCIAS	108
7	APÊNDICE A	114
8	APÊNDICE B.....	117
9	APÊNDICE C	120
10	APÊNDICE D	140

1 INTRODUÇÃO

Com o aumento da demanda energética e a preocupação com a poluição gerada pela queima de combustíveis fósseis, as fontes renováveis de energia têm ganhado cada vez mais espaço na matriz energética mundial. Dentre as fontes renováveis, as que mais se destacam atualmente são a eólica, que é a geração de eletricidade a partir da energia mecânica do vento, e a fotovoltaica, que é a conversão direta de energia solar em eletricidade. A geração fotovoltaica tem apresentado grande crescimento nos últimos anos devido à significativa redução de custos proporcionada pelo aumento de sua escala de produção (ZILLES, MACÊDO, et al., 2012).

A energia solar fotovoltaica já tem papel importante na matriz energética mundial, guardadas as proporções, quando comparada a outras fontes energéticas. Igualmente, ela vem sendo cada vez mais inserida na matriz energética Brasileira, devido aos interesses da indústria, das entidades governamentais e da sociedade civil (ABINEE, 2012). Tendo em vista a importância dessa fonte e de seu potencial futuro, o rendimento energético do conjunto gerador fotovoltaico torna-se fator de grande interesse.

Profissionais de Eletrônica de Potência podem desenvolver inversores com diferentes objetivos de aplicação, dentre os quais podem ser destacados a redução do custo do equipamento, redução do peso e volume, aumento da confiabilidade e aumento do rendimento. De acordo com a aplicação do produto e segmento do mercado, diferentes estratégias de projeto podem ser utilizadas, em função das expectativas e necessidades dos clientes. Consumidores residenciais, que utilizam inversores na faixa de até 5 kW, por exemplo, podem ter interesse em um equipamento com desenho externo moderno, além de preço acessível e baixo nível de ruído audível. Já investidores em energia fotovoltaica possuem maior interesse no retorno sobre o investimento, garantia e suporte técnico, levando ao interesse em baixo custo e confiabilidade. Desta forma, entre as variáveis que interferem nas expectativas dos clientes, cabe ao engenheiro do conversor estático projetar os componentes, a temperatura máxima de operação dos componentes, determinar o tempo médio entre eles tamanho, peso, custo de manutenção e, não menos importante, o rendimento da conversão (BELLINASSO, 2014).

Com relação à forma de conexão à rede dos inversores, existem basicamente três classificações de sistemas fotovoltaicos: autônomos, conectados à rede e híbridos (PEREIRA e OLIVEIRA, 2011). Sistemas

conectados à rede apresentaram elevado crescimento nos últimos anos, sendo mais de 95% da capacidade mundial instalada (IEA, 2013). Somente na Alemanha existem mais de um milhão de sistemas fotovoltaicos conectados à rede, somando mais de 30 Gigawatt-pico de potência instalada (IEA, 2013). No Brasil, a resolução 482/2012 da ANEEL regulamentou essa conexão com a rede e normatizou o sistema de compensação de energia (ANEEL, 2012).

Os inversores podem ser classificados, ainda, pela quantidade e configuração dos módulos fotovoltaicos que processa a energia. As classificações dadas são: i) inversor central, capaz de processar a energia de um grande conjunto de módulos fotovoltaicos conectados em série e paralelo; ii) inversor *string*, capaz de processar a energia de uma única série de módulos fotovoltaicos realizando o rastreamento de máxima potência; iii) inversor multi-*string*, que processa a energia separadamente de diferentes séries de módulos fotovoltaicos conectados em paralelo; e iv) microinversor, que processa a energia de um único módulo fotovoltaico e muitas vezes pode ser acoplado diretamente à este, junto à caixa de conexão dos cabos.

Inversores podem também ser classificados pela presença e tipo de transformador de isolamento galvânica. Há os inversores com transformador de baixa frequência (*low frequency* – LF), com transformador de alta frequência (*high frequency* – HF) ou sem transformador (*transformerless* – TL). Inversores sem transformador apresentam normalmente maior rendimento que inversores com transformador.

Ainda com relação à escolha da topologia e característica de isolamento do conversor, a carcaça de módulos fotovoltaicos necessita ser aterrada em instalações elétricas, de acordo com a norma IEC 60364-7-712. Esse aterramento gera uma capacitância parasita entre cada um dos terminais elétricos dos módulos fotovoltaicos (positivo e negativo) e o condutor de proteção (terra) da instalação. Uma corrente de fuga pode fluir através desse capacitor parasita, pela conexão de aterramento, pelas conexões dos terminais positivo e negativo do módulo fotovoltaico e fechando circuito pelo inversor. Deste modo, em inversores sem transformador, a presença desta corrente deve ser levada em consideração no projeto e escolha da topologia. Nem todas as topologias de inversores podem ser aplicadas para inversores fotovoltaicos sem transformador. Enquanto isso, algumas topologias especiais para inversores fotovoltaicos sem transformador apresentam a característica de mitigarem a corrente de modo comum que circula pela capacitância parasita dos módulos fotovoltaicos e reduzem o ruído gerado pelo

inversor, tendo sido desenvolvidas para este fim. Não é objetivo deste trabalho, contudo, aprofundar o estudo à respeito da corrente de fuga e dos seus possíveis métodos de mitigação.

Como mencionado acima, outro aspecto importante de um sistema fotovoltaico e, por extensão, de um conversor aplicado como inversor fotovoltaico, é a sua eficiência. Neste sentido, o trabalho avalia um inversor monofásico sem transformador, conectado à rede pública de distribuição de energia elétrica. Para este conversor, as perdas totais são avaliadas e seu rendimento é calculado para diferentes configurações de semicondutores e diferentes métodos de cálculo de eficiência global, com diferentes abordagens de ponderação.

Com relação à estrutura do trabalho, no capítulo 2 são apresentados diferentes tipos de semicondutores de potência, seus modelos de perdas e equacionamento relativo. No capítulo 3, após a introdução sobre o conversor T-Type NPC e sua modulação, é realizada a modelagem da planta para o controle da corrente de saída, visando a injeção de corrente na rede elétrica, como em uma aplicação com energia solar fotovoltaica. Na sequência, este mesmo capítulo apresenta e define o rendimento ponderado, que consiste em um rendimento médio ponderado com diferentes pontos de potência do conversor proporcionais à sua potência nominal. Posteriormente, nos capítulos 4 e 5 o rendimento convencional para as diferentes configurações de semicondutores, bem como o rendimento ponderado teórico e experimental, são calculados para o conversor T-Type NPC.

2 SEMICONDUTORES DE POTÊNCIA

Os semicondutores de potência tem papel fundamental na sociedade moderna, estando presentes em boa parte dos equipamentos que geram e processam a maior parte da energia elétrica consumida no planeta. Saber a potência que é dissipada na forma de perdas nos semicondutores é de fundamental importância para o projeto de um conversor ou para a pesquisa e o desenvolvimento de novas aplicações das diferentes tecnologias de semicondutores.

Os semicondutores de potência podem ser diodos, transistores e tiristores. Eles existem nas mais diversas tecnologias, à medida que a química, a física e a ciência dos materiais avançam. Este trabalho aborda alguns tipos de diodos e transistores mais empregados no processamento de energia.

2.1 TRANSISTOR DE EFEITO DE CAMPO (FET)

Neste trabalho, o equacionamento de perdas no FET, que é realizado mais especificamente para o transistor do tipo MOSFET (transistor de efeito de campo metal-óxido-semicondutor), serve de base para a construção do equacionamento de perdas no transistor de GaN (Nitreto de Gálio), devido à similaridades nas suas etapas de entrada em condução e bloqueio. Neste sentido, tendo em vista que alguns conceitos relacionados ao MOSFET são úteis para o entendimento do transistor GaN, é apresentada uma introdução sobre o MOSFET, seu surgimento e as diferentes tecnologias construtivas.

O transistor de efeito de campo (*field-effect transistor* – FET) tem seu nome derivado do próprio princípio básico de operação. Seu mecanismo de controle é baseado no campo elétrico estabelecido pela tensão aplicada à porta (gate). A condução de corrente acontece apenas por um tipo de portador, elétron ou lacuna, dependendo do tipo, canal -n ou canal -p, respectivamente.

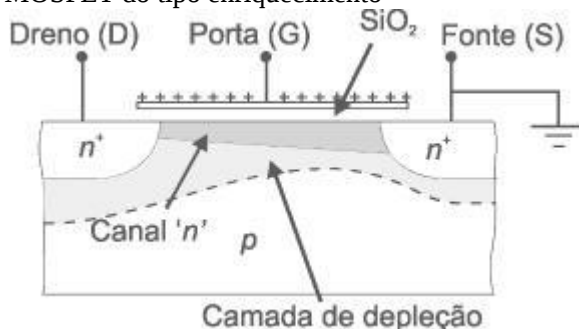
O conceito básico do FET é conhecido desde a década de 1930, tendo começado a ser fabricado, na prática, por volta de 1960. Já na década de 1970, começou a se tornar popular um tipo particular de FET, o transistor de efeito de campo tipo MOSFET, por apresentar vantagens tecnológicas de fabricação, comparado aos transistores bipolares, e de integração, servindo à aplicação em memórias e processadores.

Dentro dos diferentes tipos de MOSFET, o do tipo enriquecimento (*enhancement mode*) é o mais utilizado nos dias de hoje. Este é fabricado sobre um substrato tipo -p, o qual é uma lâmina de

silício cristalino que serve de suporte para o dispositivo. Duas regiões fortemente dopadas tipo -n são criadas no substrato, e vão se tornar, posteriormente, a fonte e o dreno do componente. Uma fina camada de óxido de silício (SiO_2), um excelente isolante, é crescida sobre a superfície do substrato, cobrindo a área entre dreno e fonte. Uma camada de metal condutor é depositada sobre o óxido para formar o eletrodo de porta. É o isolamento do eletrodo de porta em relação ao substrato que proporciona que a corrente de porta seja extremamente pequena, uma vez que é formado um isolamento elétrico.

O substrato é, então, conectado à fonte, como pode ser visto na Figura 1 para o MOSFET tipo enriquecimento. A corrente flui entre o dreno e a fonte longitudinalmente, no sentido do comprimento do componente. Uma tensão positiva na porta faz com que as lacunas livres, num primeiro momento, sejam repelidas da região do substrato sob a porta, região de depleção, formando uma região repleta de ligações covalentes de cargas negativas, região de formação do canal. Além disso, a região atrai elétrons das regiões n+, da fonte e dreno. O MOSFET canal n+, ou NMOS, é formado, então, em um substrato do tipo -p. Se uma tensão for aplicada entre o dreno e a fonte, uma corrente poderá circular. A Figura 1 apresenta a estrutura do MOSFET do tipo enriquecimento.

Figura 1 - MOSFET do tipo enriquecimento

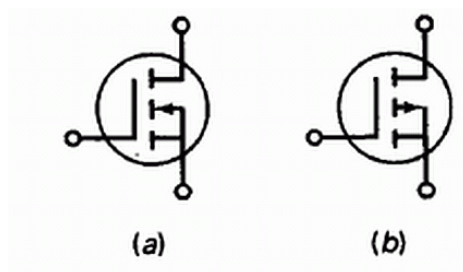


Fonte: (SEDRA e SMITH, 2007).

O valor da tensão aplicada à porta para o qual o número suficiente de elétrons móveis se acumula na região para formar o canal é chamado de tensão de limiar (*threshold*). A porta e o substrato, com o óxido entre eles, se comportam como um capacitor, que, quando aplicada tensão positiva, faz aparecer um campo elétrico no sentido

vertical, transversal ao sentido de formação do canal. É a intensidade deste campo elétrico que controla a quantidade de cargas no canal, logo, controlando a sua condutividade e, por fim, controlando a corrente que circula pelo canal. A operação de um MOSFET do tipo enriquecimento é tal que maior será a condutividade quanto maior for o número de elétrons livre presentes no canal.

Figura 2 - MOSFET de canal n (a) e de canal p (b)



Fonte: livre domínio

O símbolo adotado para o MOSFET representa adequadamente o dispositivo: uma barra vertical representando a porta, isolada dos outros três terminais, que são dreno, fonte, e o central, representando o corpo (substrato), sendo este conectado ao terminal da fonte. A seta indica a direção da corrente para MOSFET canal -n ou canal -p (SEDRA e SMITH, 2007).

2.1.1 MOSFET modo depleção

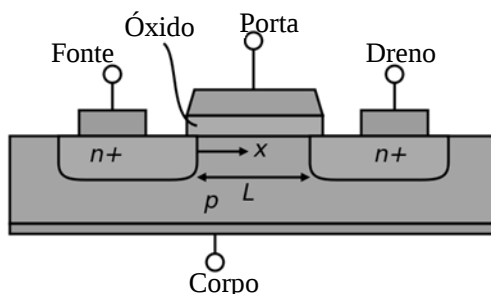
O MOSFET do tipo depleção tem estrutura construtiva similar àquela do MOSFET do tipo enriquecimento. A diferença é uma fina camada de silício tipo -n, que é depositada imediatamente abaixo da camada de óxido isolante, formando um canal condutivo permanente entre dreno e fonte. Deste modo, quando a tensão porta-fonte for zero, uma corrente pode fluir pelo canal, na forma de elétrons livres.

O semicondutor pode ser construído também na forma de canal -p. No componente tipo -n, uma tensão negativa aplicada na porta com relação à fonte provoca o efeito de criar uma região de depleção, ou seja, uma região de recombinação entre elétrons e lacunas, tendo poucos portadores livres e alta resistividade. Esta região de depleção, por sua

vez, provoca aumento na resistividade do canal, deixando-o mais estreito. Se o valor da tensão porta-fonte for aumentado negativamente, chega-se ao ponto onde o canal é totalmente depletado, com a corrente de dreno se reduzindo à zero.

Por todas as características mencionadas, os MOSFETS do tipo depleção são também conhecidos por serem normalmente ligados, ou seja, conduzem com tensão nula ou ausente na porta, ao passo em que são bloqueados quando há a ação da aplicação de uma tensão (no caso, negativa) na porta com relação à fonte. A Figura 3 apresenta a estrutura de um MOSFET de depleção de canal n.

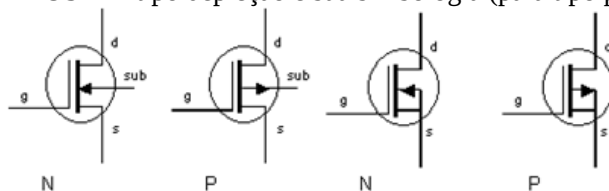
Figura 3 - MOSFET depleção canal n



Fonte: produção do autor

Como pode ser inferido, o MOSFET do tipo depleção também pode, à depender do seu projeto construtivo, operar no modo de enriquecimento. Isso ocorre quando a tensão aplicada à porta com respeito à fonte se torna positiva. Neste modo de operação, o MOSFET depleção passa a ter seu canal povoado por mais elétrons livres. Quanto mais positivo for o canal (para um dispositivo canal n), mais largo e com menor resistência ele será, permitindo um maior fluxo de corrente. Este tipo em particular de MOSFET possui características dinâmicas pobres, que não favorecem sua aplicação em alta frequência, como uma maior capacitância de porta, uma vez que não é otimizado para modo depleção, ao passo que também não é um componente do tipo enriquecimento puro (SEDRÁ e SMITH, 2007). A Figura 4 apresenta a simbologia do MOSFET tipo depleção, conforme a sua polaridade e construção.

Figura 4 - MOSFET tipo depleção e sua simbologia (para tipo p e n)



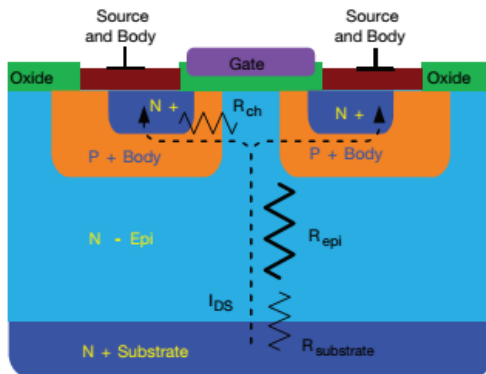
Fonte: imagem da web

2.1.2 MOSFET superjunção

Para os MOSFETs de mais alta tensão, acima de 500V, a tecnologia evoluiu para componentes de superjunção “*deep-trench*”, usando um princípio de compensação de cargas. Esta é a tecnologia dominante de MOSFET para altas tensões em fontes de alimentação. Com esta tecnologia, a resistência de condução do canal pode ser sensivelmente reduzida. Em 1999 o primeiro MOSFET Superjunção foi introduzido pela Siemens, seguida pela ST Microelectronics.

A Figura 4 mostra a estrutura de um MOSFET convencional de enriquecimento, para servir de comparação.

Figura 5 - MOSFET planar convencional (enriquecimento)



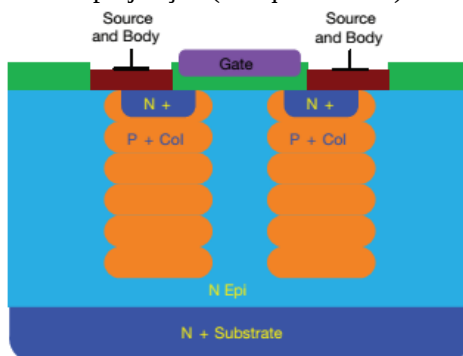
Fonte: ST microelectronics

Existem dois princípios fundamentais empregados neste transistor. Primeiro, o caminho principal da corrente é altamente dopado,

em comparação à um MOSFET tradicional do tipo planar, fazendo com que a resistência em condução seja reduzida. Contudo, isto naturalmente reduziria capacidade de bloqueio de tensão do componente, uma vez que este sempre foi o compromisso na fabricação de um MOSFET (menor resistência de condução *versus* maior tensão de bloqueio), obtendo-se um MOSFET de baixa tensão, ao invés de um MOSFET de 500V ou 600V, o que não era o desejado. Para contornar este problema foram adicionadas inserções em formato de colunas, prolongando a região tipo -p para dentro do canal.

Enquanto isso, a Figura 5 apresenta o conceito básico do MOSFET superjunção.

Figura 6 - MOSFET superjunção (enriquecimento)



Fonte: ST microelectronics

Os caminhos da corrente das colunas tipo -p e da região dopada tipo -n são dimensionados de maneira que, quando o MOSFET é comandado ao bloqueio, iniciando a desenvolver capacidade de bloqueio de tensão, a região de depleção resultante é formada com a migração dos portadores das colunas da região dopada tipo -p, resultando em uma região com carga aproximadamente neutra e permitindo uma tensão de bloqueio elevada.

MOSFETs de superjunção podem possuir menor resistência em condução simultaneamente com redução das capacitâncias associadas do componente, enquanto MOSFETs do tipo planar tipicamente possuem uma resistência maior por unidade de área (que determina a capacidade de corrente). A redução desta resistência era obtida nos componentes do tipo planar através do aumento da área do chip, o que gerava perda de qualidade nas características dinâmicas, aumentando as cargas

associadas na comutação dreno-fonte e no comando na porta, gerando, por fim, maiores perdas por comutação.

Para um MOSFET de alta tensão ($>500V$), a resistência em condução é, predominantemente, formada pela resistência da camada epitaxial (uma camada cristalina ordenada) depositada sobre o substrato, sendo a resistência do substrato em si e do canal as demais contribuintes. Isto ocorre porque esta é a camada principal responsável por permitir bloqueio de tensão. Os MOSFETs de superjunção podem usar uma camada epitaxial mais fina do que um componente planar para uma mesma tensão de bloqueio. Portanto, conseguem reduzir a resistência em condução, para uma mesma tensão de bloqueio, ou, de outro modo, para uma mesma resistência de condução conseguem melhores características dinâmicas e de comutação, podendo, inclusive, obter melhoria nos dois parâmetros (FAIRCHILD, 2013).

2.1.3 Cálculo de Perdas em MOSFET

O cálculo de perdas é uma etapa importante do projeto de um conversor de potência. Aplicações como processamento de energia fotovoltaica para conexão à rede requerem maximização da geração, o que leva à tendência da busca por minimização das perdas no conversor utilizado. Para isso, é necessário que se tenha procedimentos adequados e precisos para o cálculo de perdas, de modo a saber o real rendimento de uma estrutura para que o projeto possa ser otimizado.

Existem, basicamente, três abordagens para a modelagem de perdas. Uma é o modelo baseado na construção física, como a geometria de construção e a densidade de dopagem, onde estes dados são utilizados como entrada em um software de simulação de elementos finitos. Neste caso, os resultados conferem com os experimentais com excelente aproximação, entretanto, o cálculo consome grande quantidade de processamento e tempo, podendo levar dias para uma simples simulação de um conversor CC-CC com dois semicondutores (REN, XU, *et al.*, 2006).

O segundo método é o modelo baseado no comportamento do circuito, que considera parâmetros principais (*key parameters*) e é amplamente utilizado por ter uma boa relação entre densidade de processamento e precisão do resultado. Estes modelos são padronizados, escritos numa mesma linguagem, possibilitando aos fabricantes de softwares de simulação desenvolver ferramentas de simulação para sua análise. A maioria dos fabricantes fornecem algum modelo de simulação nesta categoria, como os modelos PSpice (*personal simulation program*

with integrated circuit emphasis). Muitas vezes estes parâmetros do modelo são obtidos a partir das análises com elementos finitos a partir da geometria das camadas construtivas do semicondutor.

O terceiro método é o modelo analítico ou matemático, do qual as expressões para as perdas são derivadas de um circuito elétrico equivalente do dispositivo que se quer calcular as perdas. Este é o método mais rápido e melhor adequado quando se quer realizar uma grande quantidade de cálculos e variações paramétricas no circuito.

Entre os modelos analíticos para cálculo de perdas, o mais simples trata as formas de onda de entrada em condução e bloqueio como sendo lineares por partes, utilizando uma abordagem assintótica. Isto não considera, na maioria das vezes, as indutâncias parasitas de dreno e fonte e a não-linearidade dos capacitores parasitas presentes no modelo elétrico do MOSFET.

O modelo matemático pode considerar as capacitâncias associadas à um MOSFET. Entre elas, C_{iss} (capacitância de entrada) é a capacitância entre a porta e os terminais de fonte e dreno, C_{oss} (capacitância de saída) é a capacitância entre o dreno e os terminais de porta e fonte, C_{rss} (capacitância de transferência reversa) é a capacitância entre o terminal de dreno e de porta. A inclusão da não-linearidade da capacitância porta-dreno (*gate-drain*), C_{gd} , pode ser computada através de uma linearização da sua variação. A capacitância C_{gd} é um importante parâmetro relacionado às perdas por comutação, junto com a capacitância porta-fonte (*gate-source*) C_{gs} . Por sua vez, C_{gs} é variável com a tensão dreno-fonte do MOSFET. Construtivamente, C_{gd} é inversamente proporcional à resistência direta em condução, R_{DSon} . Portanto, no projeto de um MOSFET, ou na sua utilização por um engenheiro, o balanço adequado entre os dois parâmetros na hora da escolha do dispositivo é necessário para garantir a otimização na soma das perdas de condução e comutação, quando o objetivo é o de aumento do rendimento global. A capacitância de saída (*output capacitance*), C_{oss} , é outro importante parâmetro em MOSFETs modernos, responsável por parte das perdas de comutação (NXP SEMI, 2014).

Desta forma, para o cálculo de perdas em MOSFETs, de forma à melhorar o modelo analítico, a não-linearidade das capacitâncias pode ser considerada no equacionamento. Neste sentido, a não linearidade da capacitância C_{gd} é considerada neste trabalho. Uma aproximação linear da variação desta capacitância no MOSFET resulta no pior caso de perdas de comutação.

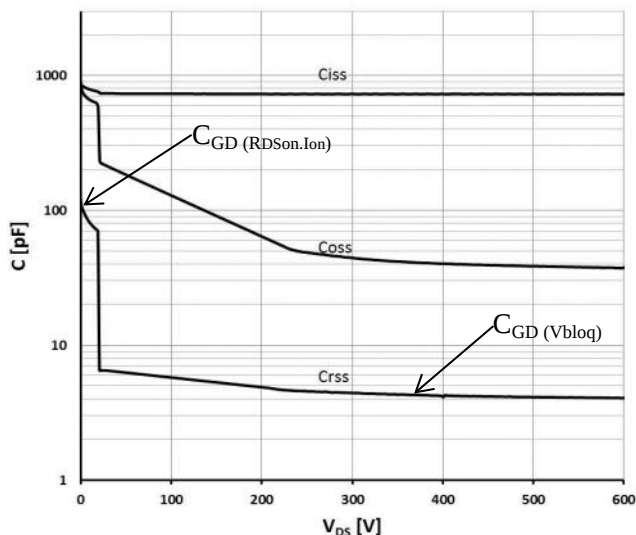
2.1.3.1 Perdas de Comutação – Entrada em Condução

Na entrada em condução, inicialmente, a tensão de gatilho fornecida pelo *driver* sobe de zero até o seu valor nominal, sendo aplicada no terminal do resistor de porta, quando, então, a tensão porta-fonte cresce até a tensão de limiar (*threshold*) com constante de tempo definida pelo resistor de porta e pela capacitância equivalente de entrada do MOSFET, que é $C_{iss} = C_{GD} + C_{GS}$. Até que a tensão entre porta e fonte atinja a tensão de limiar, o interruptor não começa a conduzir corrente entre o dreno e fonte. Quando a tensão de limiar é atingida a corrente de dreno começa a crescer até chegar ao valor da corrente de carga. O tempo de subida da corrente de dreno entre zero e a corrente nominal pode ser encontrado na folha de dados do componente (para uma dada condição de ensaio), sendo representado comumente por t_r . Contudo, este tempo de subida depende da carga que o conversor está alimentando, da topologia do conversor e do valor de pico da corrente que será atingida ao término da comutação.

Durante o tempo de subida da corrente no MOSFET, um diodo de roda livre continua conduzindo corrente (no caso de um conversor com configuração em ponte, este componente pode ser o diodo em antiparalelo de outro MOSFET) e a tensão dreno-fonte ainda é a tensão de bloqueio. Para que o diodo deste outro MOSFET, que é comumente e aqui adotado como um diodo bipolar de silício, seja desligado, é necessário que os portadores minoritários armazenados no componente sejam removidos, cessando o campo elétrico, através de uma corrente reversa. Esta corrente é chamada de “corrente de recuperação reversa” e encontra caminho de condução pelo MOSFET que está entrando em condução, somando-se à corrente de carga e causando perdas adicionais. Os valores máximos para a carga elétrica que precisa ser removida da junção do diodo na recuperação reversa (Q_{rr}) e para o tempo de recuperação reversa (t_{rr}) são obtidos da folha de dados da maioria dos MOSFETs ou diodos.

Após o diodo ser desligado, a corrente de carga circula totalmente pelo canal do MOSFET e a tensão dreno-fonte começa a se reduzir até chegar ao valor da queda de tensão na resistência do canal que existe durante a condução. Ocorre, então, o efeito “Miller” e a tensão porta-fonte é grampeada em um platô de tensão. A tensão de platô ocorre durante o instante em que a capacitância C_{GD} está na sua etapa não-linear, variando de um valor inicial para um valor final, não permitindo a continuação da carga de C_{GS} e, desta forma, mantendo a tensão porta-fonte em um valor de platô.

Figura 7 - Capacitâncias do MOSFET versus tensão dreno-fonte

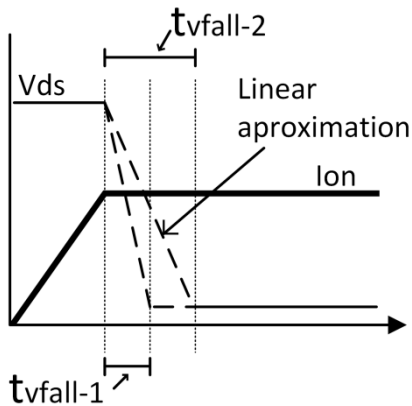


Fonte: folha de dados do componente TPH3006PS do fabricante Transphorm USA

A inclinação da curva de tensão dreno-fonte é dada de acordo com a corrente que flui pela capacitância porta-dreno $C_{GD} = C_{rss}$. Para se obter o tempo de descida da tensão (t_{vfall}) com uma aproximação razoável a não-linearidade da capacitância porta-dreno deve ser considerada. A dependência desta capacitância com a tensão dreno-fonte é encontrada na forma de gráfico na maioria das folhas de dados de MOSFET, conforme mostrado na Figura 7.

Para incorporar este efeito nos cálculos é realizada uma aproximação linear, utilizando dois pontos da curva, que representam a tensão durante a condução (tensão devido à queda de tensão em R_{Dson}) e durante o bloqueio (que neste trabalho é 360V), conforme demonstrado adiante. Estes são os pontos “A” e “B” da curva de C_{rss} mostrada na Figura 7.

Figura 8 – Tensão e corrente no MOSFET durante a entrada em condução



Fonte: produção do autor.

A Figura 8 apresenta a tensão dreno-fonte durante a entrada em condução. Percebe-se que, inicialmente, no início da entrada em condução a derivada de descida da tensão dreno-fonte é maior, pelo fato de a capacitância C_{rss} ter um valor menor com tensão de bloqueio. De forma similar, à medida que a tensão diminui, o valor de C_{rss} aumenta e a derivada de queda da tensão se torna menor. A mudança no valor de C_{rss} pode ser vista na Figura 7. Conforme mencionado, a aproximação utilizada no trabalho considera dois valores de capacitância. Na Figura 8 é mostrada a aproximação com dois pontos de capacitância em pontilhado. Esta análise é realizada para se obter o tempo de descida da tensão, que posteriormente é aproximado pela curva mostrada pela linha sólida. Considera-se que cada capacitância permanece metade do tempo total de queda da tensão dreno-fonte. A diferença na área abaixo da linha sólida e da linha pontilhada representa a diferença que a aproximação linear adiciona nas perdas teóricas em relação às perdas reais, sendo a curva sólida claramente o pior caso para a perda de comutação. O procedimento também é utilizado para o tempo de subida da tensão.

Para considerar o efeito da não-linearidade da capacitância C_{GD} , que é uma parcela de C_{rss} , o tempo de queda da tensão para cada um dos valores das capacitâncias (para tensão de bloqueio e para tensão em condução) é obtido com as equações (2.1) e (2.2), substituindo o valor da capacitância conforme mostrado na Figura 7.

$$t_{v-fall-1} = C_{GD(Vbloq)} \cdot \frac{V_{bloq} - R_{DSon} \cdot I_{Don}}{I_{G-on}} \quad (2.1)$$

$$t_{v-fall-2} = C_{GD(R_{DSon} I_{on})} \cdot \frac{(V_{bloq} - R_{DSon} \cdot I_{Don})}{I_{G-on}} \quad (2.2)$$

Para a obtenção de $t_{v-fall\ 1,2}$ é necessário conhecer a corrente de gatilho que permanece durante o período de queda da tensão drenofonte na região de platô. Ela pode ser obtida por (2.3).

$$I_{G-on} = \frac{V_{drive} - V_{platô}}{R_{gatilho}} \quad (2.3)$$

O tempo de queda da tensão final é obtido pela média do cálculo com as duas capacitâncias diferentes consideradas. Desta forma, estará sendo calculada uma perda baseada em um tempo de comutação que não é nem subdimensionado (caso fosse adotado o tempo considerando a capacitância quando em bloqueio, que é menor) e nem superdimensionado (que seria um cálculo de pior caso, adotando a maior capacitância, presente no instante de condução).

$$t_{v-fall} = \frac{t_{v-fall-1} + t_{v-fall-2}}{2} \quad (2.4)$$

O tempo de subida da corrente é obtido por (2.5).

$$t_{i-rise} = R_g \cdot C_{GS} \cdot \ln \left(\frac{V_{drive} - V_{th}}{V_{drive} - V_{platô-on}} \right) \quad (2.5)$$

As perdas na entrada em condução são obtidas somando as perdas devido aos tempos de entrada em condução multiplicados pela frequência, conforme (2.8).

$$E_{ONmosfet} = \int_0^{t_{v-fall} + t_{i-rise}} v_{DS}(t) \cdot i_D(t) dt \quad (2.6)$$

$$E_{ONmosfet} = I_{Don} \cdot V_{bloq} \cdot \frac{t_{v-fall} + t_{i-rise}}{2} \quad (2.7)$$

$$P_{ONmosfet} = I_{Don} \cdot V_{bloq} \cdot \frac{t_{v-fall} + t_{i-rise}}{2} \cdot f_s \quad (2.8)$$

As perdas devido à descarga da capacitância C_{oss} , considerada a sua não-linearidade, são obtidas conforme (2.9) (WANG, PANSIER, *et al.*, 2014).

$$\begin{aligned} P_{Coss} = & \frac{1}{2} C_{oss(vbloq)} \cdot V_{bloq}^2 \cdot f_s + \dots \\ & \dots - \frac{1}{2} C_{oss(R_{DSon} \cdot I_{on})} \cdot (R_{DSon} \cdot I_{on})^2 \cdot f_s \end{aligned} \quad (2.9)$$

A energia devido ao efeito da recuperação reversa do diodo é obtida através de (2.10) (GRAOVAC, PÜRSCHER e KIEP, 2006).

$$P_{rr} = Q_{rr} \cdot V_{bloq} \cdot f_s \quad (2.10)$$

As perdas totais de entrada em condução são dadas conforme a equação (2.11).

$$P_{ON} = P_{ONmosfet} + P_{Coss} + P_{rr} \quad (2.11)$$

2.1.3.2 Perdas de Comutação – Bloqueio

O bloqueio do MOSFET ocorre como um processo inverso à entrada em condução. As etapas são as mesmas, ocorrendo em ordem inversa. No bloqueio, no entanto, não existe o efeito da descarga de C_{oss} e da recuperação reversa do diodo.

A corrente de gatilho é determinada por (2.12).

$$I_{Goff} = -\frac{V_{plato}}{R_{gatilho}} \quad (2.12)$$

O tempo de subida da tensão dreno-fonte é determinado pelas equações (2.13)-(2.15).

$$t_{v-rise-1} = C_{GD(Vbloq)} \cdot \frac{V_{bloq} - R_{DSon} \cdot I_D}{I_{G-off}} \quad (2.13)$$

$$t_{v-rise-2} = C_{GD(R_{DSon} \cdot I_{Don})} \cdot \frac{V_{bloq} - R_{DSon} \cdot I_{Don}}{I_{G-off}} \quad (2.14)$$

O tempo de subida é obtido para a média do tempo de subida com cada uma das duas capacitâncias obtidas da curva de variação da capacitância C_{GD} , como na Figura 7.

$$t_{v-rise} = \frac{t_{v-rise-1} + t_{v-rise-2}}{2} \quad (2.15)$$

As perdas de bloqueio no MOSFET podem ser calculadas por (2.18).

$$E_{OFFmosfet} = \int_0^{t_{v-rise} + t_{i-fall}} v_{DS}(t) \cdot i_D(t) dt \quad (2.16)$$

$$E_{OFFmosfet} = V_{bloq} \cdot I_{Doff} \frac{t_{v-rise} + t_{i-fall}}{2} \quad (2.17)$$

As perdas totais de bloqueio são dadas conforme a equação (2.18).

$$P_{OFFmosfet} = V_{bloq} \cdot I_{Doff} \frac{t_{v-rise} + t_{i-fall}}{2} \cdot f_s \quad (2.18)$$

2.1.3.3 Generalização das Perdas de Comutação

A equação (2.11), bem como (2.18), representam as perdas para bloqueio e entrada em condução para uma dada frequência de comutação, para uma mesma corrente e tensão de comutação. Para um conversor CC-CC, por exemplo, no qual este nível de tensão e corrente na comutação não se altera, as equações já fornecem as perdas médias na comutação, em Watts.

No entanto, para um conversor do tipo CC-CA ou, de forma mais geral, para qualquer conversor no qual haja uma modulação da corrente que passa pelo semiconductor, ou uma alteração na tensão de bloqueio,

dependendo da etapa de operação e do índice de modulação, como no caso de conversores multiníveis, é necessário que se faça o cálculo das perdas em cada comutação, para todas as comutações, de modo que o termo f_s da equação torna-se o período de repetição de um dado padrão de comutação, ou seja, a frequência que expressa não apenas o número de repetições de comutações, mas, sim, um ciclo completo da frequência da rede elétrica, que é o caso deste trabalho.

Finalmente, as perdas de comutação para entrada em condução e bloqueio são expressas, respectivamente, pelas equações (2.19) e (2.20).

$$P_{ONmosfet} = \frac{f_{rd}}{2} \cdot \sum_{i=1}^{i=f_s/f_{rd}} V_{bloq_i} \cdot I_{Doff_i} \cdot t_{v-fall_i} + t_{i-rise_i} \quad (2.19)$$

$$P_{OFFmosfet} = \frac{f_{rd}}{2} \cdot \sum_{i=1}^{i=f_s/f_{rd}} V_{bloq_i} \cdot I_{Doff_i} \cdot t_{v-rise_i} + t_{i-fall_i} \quad (2.20)$$

Nas equações, $i = f_s/f_{rd}$ representa o número de comutações que ocorrem em um ciclo da rede, que é o período de integração da potência de perdas.

2.1.3.4 Perdas durante a Condução

A resistência $R_{ds_{on}}$ varia significativamente com a temperatura de junção T_j e com a tensão de gatilho V_g .

A potência instantânea é dada pela equação (2.21).

$$p(t) = v_{DS}(t) \cdot i_D(t) \quad (2.21)$$

A partir do modelo elétrico obtido, uma vez que a queda de tensão dreno-fonte depende da corrente circulando através do dreno para a fonte, obtém-se a equação equivalente (2.22), que depende da corrente fluindo pelo dreno.

Durante a condução, seja para um MOSFET de enriquecimento ou de depleção, a equação possui um termo multiplicando a parcela de segunda ordem, que pode ser associado ao que seria a resistência do canal que conduz a corrente, R_{DSon} .

$$p(t) = r_{DSon} \cdot i_D^2(t) \quad (2.22)$$

A perda de média de condução que se quer obter é a perda média para um dado período, conforme (2.21) e (2.24).

$$P_{med} = \frac{1}{T} \int_0^T p(t) \cdot dt \quad (2.23)$$

$$P_{med} = \frac{1}{T} \int_0^T r_{DSon} \cdot i_D^2(t) \cdot dt \quad (2.24)$$

Por outro lado, (2.25) mostra a corrente eficaz no transistor para o mesmo período.

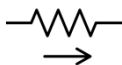
$$I_{Def}^2 = \frac{1}{T} \int_0^T i_D^2(t) \cdot dt \quad (2.25)$$

Substituindo a equação (2.25) em (2.24) obtém-se a equação (2.26), que independe do tempo.

$$P_{med} = r_{DSon} \cdot I_{Def}^2 \quad (2.26)$$

Esta é a equação utilizada para o cálculo das perdas de condução no transistor MOSFET, onde I_{Def} é a corrente eficaz no MOSFET com integração de um período de repetição do perfil de comutação, no caso a tensão da rede elétrica. A perda durante a condução é calculada utilizando a corrente eficaz em um período da rede elétrica. Deste modo, é possível calcular diretamente as perdas de condução com (2.26). Assim, a Figura 9 apresenta o que seria um modelo em condução de um MOSFET, que nada mais é do que a resistência do canal de condução.

Figura 9 - Modelo de condução do MOSFET



Fonte: produção do autor.

2.2 TRANSISTOR DE NITRETO DE GÁLIO (GAN)

Uma tecnologia emergente de semicondutor de potência é o transistor de Nitreto de Gálio (GaN). Quando construído em modo depleção este possui modelo de perdas similar ao do MOSFET de depleção. O transistor GaN também pode ser construído em modo enriquecimento. Este, por outro lado, é um componente que difere em alguns aspectos do modo depleção e se assemelha em outros. Ele tem, da mesma forma que o modo depleção, uma alta mobilidade de elétrons e um baixo coeficiente de temperatura, permitindo baixa resistência do canal, porém sua estrutura construtiva e um diodo interno com portadores majoritários proporciona baixa carga elétrica de porta e carga de recuperação reversa próxima de zero. O resultado é um transistor que pode trabalhar com alta frequência de comutação e baixo tempo de condução (HUANG, QIANG, *et al.*, 2014).

2.2.1 Transistor FET GaN Modo Depleção

Para o transistor FET GaN de estrutura heterogênea e alta mobilidade de elétrons (GaN *high electron mobility*) de modo depleção, a configuração utilizada é cascode, uma vez que ele possui o canal normalmente dotado de elétrons livres, normalmente ligado, assim como o transistor MOSFET de modo depleção. O componente cascode é construído com um MOSFET do tipo enriquecimento de baixa tensão ligado em série com o GaN HEMT. Este MOSFET possui um diodo intrínseco com uma pequena carga de recuperação reversa, se comparado à um MOSFET de maior tensão, como de 600V, tornando-o atrativo para operação em modo de “roda livre”. Além disso, uma vez que o sinal de gatilho é aplicado ao MOSFET interno, e não ao transistor GaN, de fato, é possível utilizar circuitos de comando convencionais para MOSFET (WANG, PANSIER, *et al.*).

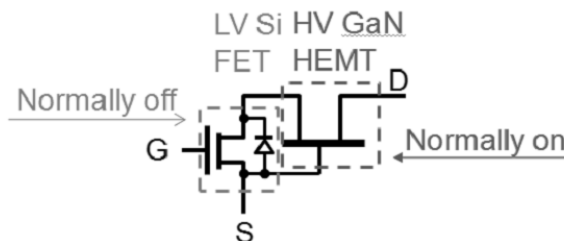
O GaN HEMT opera com portadores majoritários, fazendo o tempo de recuperação reversa e as perdas associadas bem menores do que os transistores baseados em Si que trabalhem com portadores minoritários, tanto MOSFETs dos tipos planar e superjunção e componentes bipolares.

O dispositivo básico de transistor GaN HEMT foi inventado em 1993 por Khan, inicialmente como um tipo de MESFET (não um MOSFET, um MESFET), que nada mais é do que um JFET com uma barreira do tipo Schottky (metal-semicondutor) entre o terminal de porta (gate) e o canal de condução, diferente do MOSFET, em que a isolamento

da porta é feita através de metal-óxido-semicondutor, que apresenta menor custo e por isso é mais amplamente aplicada (BRIERE, 2008).

O transistor de potência de Nitreto de Gálio (GaN) do fabricante Transphorm é composto por um transistor MOSFET de baixa tensão do tipo enriquecimento (normalmente off) e por um transistor GaN em modo de depleção (normalmente on) e com alta mobilidade de elétrons em configuração cascata (*cascade*), em série. A Figura 10 apresenta a estrutura interna do componente.

Figura 10 - Construção interna do GaN HEMT cascade



Fonte: Transphorm USA

Encapsulado nesta configuração, o MOSFET de silício e o GaN HEMT se comportam como um único transistor GaN. Os terminais de porta e fonte são os terminais de porta e fonte do MOSFET interno, enquanto que o dreno é do GaN HEMT. Os demais terminais internos não são disponíveis externamente. Do ponto de vista de aplicação em circuitos eletrônicos, o transistor GaN se comporta como um MOSFET ultra-rápido, com um diodo de corpo de baixa carga de recuperação reversa.

Entretanto, como um componente bipolar, o diodo de corpo interno armazena portadores minoritários na condução direta. Especialmente em MOSFETs de alta tensão, nos quais uma grande quantidade de portadores é armazenada durante a condução direta, esta característica leva a um pobre desempenho reverso, como grande corrente e tempo de recuperação reversa. Em contraste com isso, o transistor GaN consiste de um GaN HEMT, que é caracterizado por portadores majoritários, junto com um MOSFET de baixa tensão, que possui pouco armazenamento de portadores minoritários durante o estado de condução, uma vez que é um componente com baixa tensão de bloqueio. Devido às suas características dinâmicas, o transistor GaN da

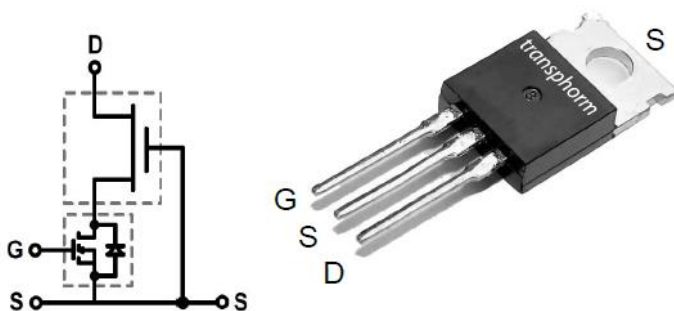
Transphorm opera com frequências elevadas, com tempos de comutação da ordem de 10 ns (RECHT, HUANG e WU).

2.2.1.1 Modos de operação do Transistor GaN Cascode

Devido ao fato do transistor HEMT ser constituído de um canal puro de GaN, não dopado, não há a presença de junção p-n formando um diodo parasita para fornecer um caminho indesejado para a corrente. No transistor cascode a corrente de roda livre circula, de fato, pelo diodo de corpo do MOSFET de silício (TRANSPHORM, 2014).

A Figura 11 apresenta a estrutura interna do transistor GaN modelo TPH3006PS da fabricante Transphorm, com uma opção de encapsulamento do tipo TO-220.

Figura 11 - Transistor GaN HEMT modelo TPH3006PS da fabricante Transphorm USA



Fonte: Transphorm USA

Um MOSFET convencional de alta tensão (600V) pode ter aproveitado o seu diodo intrínseco para condução reversa, na operação em roda livre. A carga de recuperação reversa para tal componente é muito maior do que aquela apresentada por um transistor HEMT GaN com especificação similar (tensão de bloqueio e corrente do canal similares). A relação de carga de recuperação reversa entre os dois transistores varia conforme o componente, mas está na faixa de 20 vezes maior para o transistor de Silício (TRANSPHORM, 2014).

No que diz respeito dos modos de condução que o transistor GaN pode assumir, estes podem ser três, conforme apresentados na

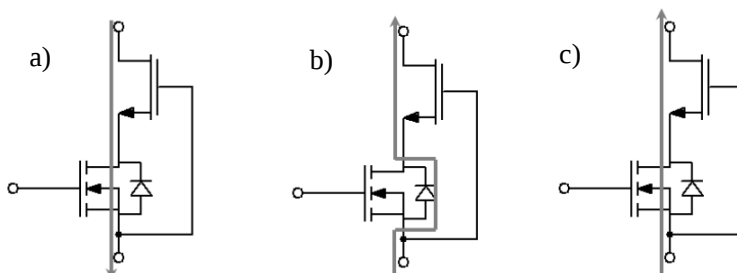
Figura 12: a) condução direta, b) condução reversa pelo diodo e c) condução reversa pelo MOSFET.

Na condução direta, a corrente circula através do GaN HEMT interno do cascode e também pelo MOSFET de baixa tensão, responsável, de fato, pelo controle da entrada em condução e do bloqueio, uma vez que o GaN HEMT é um semiconductor de estado normalmente ligado. Com o MOSFET interno comandado à conduzir, base e fonte do GaN HEMT interno passam a ser conectados, desta forma, garantindo uma tensão equivalente à queda que ocorre no canal de condução do MOSFET interno. Estando com um potencial positivo entre porta e fonte, o GaN HEMT permanece ligado.

Por outro lado, na condução reversa existem dois modos de operação possíveis. No primeiro modo de operação reversa, com o transistor comandado ao bloqueio, a corrente reversa naturalmente pode circular pelo diodo intrínseco do MOSFET de baixa tensão e pelo corpo do GaN HEMT e pelo canal do GaN.

No segundo modo de operação reversa, caso o GaN Cascode seja comandado à condução, com tensão positiva aplicada ao terminal de porta com relação à fonte, o MOSFET interno será comandado e permitirá a passagem da corrente, ocupando o lugar do seu diodo intrínseco, uma vez que a queda de tensão direta através do canal deste MOSFET é menor do que através do diodo bipolar intrínseco (RECHT, HUANG e WU).

Figura 12 - Modos de operação do GaN HEMT cascode



Fonte: Transphorm USA

Para efeito de comparação, com uma corrente de 5A @ 25°C circulando reversamente, a queda de tensão dreno-fonte é aproximadamente 0,8V menor quando circula pelo canal do MOSFET do que quando circula pelo diodo intrínseco para o componente *TPH3006*.

2.2.1.2 Perdas no Transistor GaN Cascode

Conforme mencionado na seção anterior, o transistor GaN HEMT cascode possui modelo de perdas similar ao MOSFET. Neste trabalho, são utilizadas as mesmas equações para o cálculo de perdas, para MOSFET de Silício e GaN HEMT.

Para uma dada resistência do canal em condução (R_{DSon}) o transistor GaN possui menores capacitâncias associadas entre os terminais do que um MOSFET. A carga de recuperação reversa (Q_{rr}), por sua vez, é menor do que aquela apresentada por MOSFETs de rápida recuperação reversa (WANG, PANSIER, *et al.*, 2014). As perdas de comutação dominantes com GaN são as perdas de entrada em condução, devido à grande capacitância de saída C_{OSS} .

Deste modo, o transistor GaN pode apresentar maior rendimento do que o transistor MOSFET. O aumento de rendimento utilizando transistores GaN, no entanto, depende fortemente da topologia e frequência de comutação aplicada (EUROPE, 2015).

2.2.1.3 Perdas Por Comutação

Além do transistor GaN HEMT, é necessário calcular as perdas no diodo interno. Para o diodo existente junto com o MOSFET, o diodo de corpo, as perdas de entrada em condução do diodo são majoritariamente dadas devido à sua recuperação reversa. O cálculo das perdas no diodo é apresentado em (2.28).

$$E_{ONdiodo} = \int_0^{t_{i-rise} + t_{v-fall}} v_D(t) \cdot i_F(t) dt = \frac{1}{4} Q_{rr} \cdot V_{Drr} \quad (2.27)$$

$$P_{ONdiodo} = \frac{1}{4} Q_{rr} \cdot V_{bloq} \cdot f_s \quad (2.28)$$

A perda de bloqueio para o diodo é desconsiderada, de acordo com apresentado por (GRAOVAC, PÜRSCHHEL e KIEP, 2006).

2.2.2 Perdas Por Condução Reversa

As perdas por condução reversa são compostas pelas perdas no diodo, que são majoritariamente representadas pela queda de tensão direta

quando em condução e pela queda de tensão direta na resistência do canal do transistor GaN, definidas por (2.29).

$$P_{cond} = V_{sd} \cdot I_{med} + r_{DSon} \cdot I_{ef}^2 \quad (2.29)$$

2.3 TRANSISTOR BIPOLAR DE PORTA ISOLADA (IGBT)

Assim como para o MOSFET e o transistor GaN, são obtidas as equações de perdas para o transistor bipolar de porta isolada - IGBT (*insulated gate bipolar transistor*).

Nesta seção são apresentadas as equações de cálculo de perdas mais empregadas para as etapas de entrada em condução e bloqueio do IGBT.

2.3.1 Perdas Por Condução – Método 1

Em um IGBT, a potência instantânea é dada por (2.30). A queda de tensão direta entre coletor e emissor ($v_{ce}(t)$) é dependente da corrente de coletor ($i_c(t)$) e da resistência quando em condução (r_{ON}).

A potência instantânea, de maneira genérica, é dada por (2.30).

$$p(t) = v_{CE}(t) \cdot i_C(t) \quad (2.30)$$

A partir do modelo elétrico da Figura 13, obtém-se (2.31).

$$p(t) = V_{CE} \cdot i_C(t) + r_{ON} \cdot i_C^2(t) \quad (2.31)$$

A perda de condução de interesse é a perda média para um dado período de comutação, donde vem (2.32).

$$P_{med} = \frac{1}{T} \int_0^T p(t) \cdot dt \quad (2.32)$$

$$P_{med} = \frac{1}{T} \int_0^T V_{CE} \cdot i_C(t) \cdot dt + \frac{1}{T} \int_0^T r_{ON} \cdot i_C^2(t) \cdot dt \quad (2.33)$$

Por outro lado, tem-se que a corrente média no período é dada por (2.34).

$$I_{C_{med}} = \frac{1}{T} \int_0^T i_C(t) \cdot dt \quad (2.34)$$

Também a corrente eficaz no período (elevada ao quadrado) é dada por (2.35).

$$I_{C_{ef}}^2 = \frac{1}{T} \int_0^T i_C^2(t) \cdot dt \quad (2.35)$$

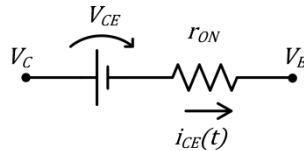
Substituindo (2.34) e (2.35) na equação de potência (2.33) obtém-se (2.36).

$$P_{med} = V_{CE} \cdot I_{C_{med}} + r_{ON} \cdot I_{C_{ef}}^2 \quad (2.36)$$

A equação (2.36) é a equação utilizada para o cálculo de perdas de condução no IGBT. O procedimento para a obtenção de V_{CE} e r_{DSon} deve considerar valores típicos e máximos adequadamente para um projeto conservador (GRAOVAC e PÜRSCHHEL, 2009).

A Figura 13 apresenta o que seria o modelo de condução do IGBT à partir da sua equação equivalente.

Figura 13 - Modelo de condução do IGBT



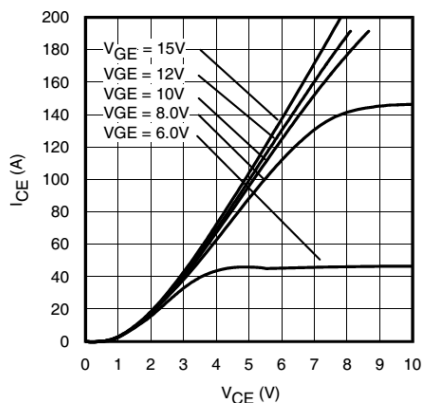
Fonte: produção do autor.

2.3.2 Perdas Por Condução – Método 2

Outra maneira de calcular as perdas de condução é através de simulação, utilizando polinômios que definem o comportamento corrente *versus* tensão no IGBT durante o estado de condução. Aferindo a corrente durante cada instante de condução é possível calcular a potência dissipada em cada período de condução e, assim, a potência média de em um período completo, através do seu somatório. A Figura 14 apresenta a curva de tensão coletor-emissor para cada valor de

corrente no coletor. Deve ser utilizada a curva para o transistor totalmente saturado, utilizando tensão de gate de, pelo menos, 10V.

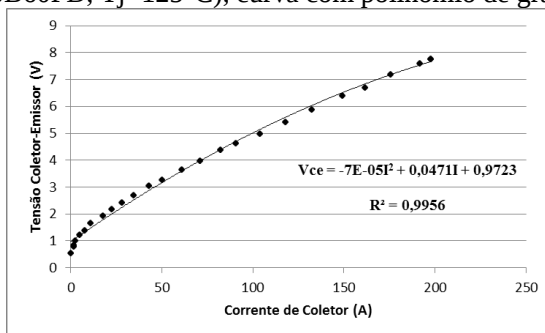
Figura 14 - Corrente de coletor *versus* tensão coletor-emissor (para o IGBT IRGP50B60PD @ $T_j=125^\circ\text{C}$)



Fonte: International Rectifier Corp.

Extraindo os dados da curva da folha de dados é possível entrar com estes dados em um software, obtendo uma equação que represente a curva com um respectivo nível de aproximação, representado pelo fator R^2 , o qual indica uma melhor aproximação da curva original quanto mais perto estiver da unidade, conforme a Figura 15.

Figura 15 - Corrente de coletor x tensão coletor-emissor (para o IGBT IRGP50B60PD, $T_j=125^\circ\text{C}$), curva com polinômio de grau dois



Fonte: produção do autor

A curva de tensão coletor-emissor em função da corrente de coletor, para uma dada temperatura de operação na junção do semiconductor, é fornecida na folha de dados do componente da maioria dos fabricantes de IGBTs.

Para a curva de tensão coletor-emissor *versus* corrente de coletor a aproximação possui uma boa aproximação na excursão acima de 20A para o IGBT IRGP50B60PD, utilizando um polinômio de ordem dois.

$$V_{ce} = -7 \cdot 10^{-5} \cdot I^2 + 0,0471 \cdot I + 0,9723 \quad (2.37)$$

$$R^2 = 0,9956 \quad (2.38)$$

A curva possui uma característica linear, o que permitiria a utilização, inclusive, de uma aproximação linear, com polinômio de grau um. Contudo, para aproximação linear é necessário optar por uma aproximação otimizada para um dado ponto de operação, uma vez que a curva é uma reta, em detrimento dos demais pontos de operação, principalmente aqueles da corrente próxima de zero. A aproximação por polinômio de grau dois possibilita uma maior e melhor aproximação para a curva como um todo, sem trazer maior complexidade quanto um polinômio de grau maior que dois.

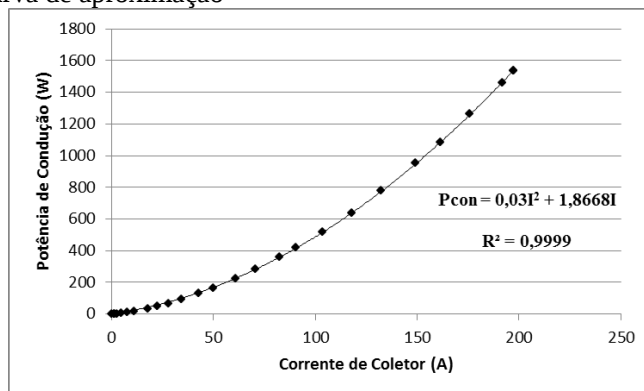
2.3.3 Perdas por Condução – Método 3

Conforme proposto por (UWE e KOLAR, 2005), multiplicando-se ponto a ponto a tensão coletor-emissor pela corrente de coletor obtém-se a potência instantânea dissipada no IGBT durante o estado de condução *versus* corrente de coletor. A curva de potência, por sua vez, possui comportamento que favorece a aproximação por um polinômio de grau dois. O polinômio escolhido possui ordem dois e não possui termo de ordem zero, sendo nulo, uma vez que, para a curva de potência o termo (0,0) está incluso, já que para corrente nula não há potência em condução, conforme a equação (2.39).

$$p(t) = V_{CE} \cdot i_C(t) + r_{ON} \cdot i_C^2(t) \quad (2.39)$$

A Figura 16 apresenta o comportamento da curva de potência *versus* corrente, conforme mencionado.

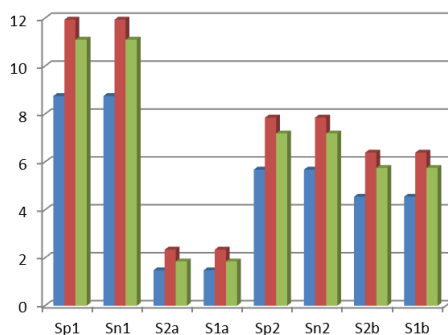
Figura 16 - Corrente de coletor x potência (IRGP50B60PD, $T_j=125^\circ\text{C}$) com curva de aproximação



Fonte: produção do autor

A Figura 17 apresenta os valores de perdas de condução para os interruptores do conversor T-Type NPC-5N para os três diferentes métodos de cálculo das perdas de comutação, com um mesmo IGBT. A diferença é sensível entre a curva de potência *versus* corrente e a curva tensão *versus* corrente, para todos os valores de corrente de coletor desde zero, em comparação ao valor calculado pela equação (1.38).

Figura 17 - Valores obtidos com os diferentes métodos de obtenção das perdas de condução para o IGBT (Watts); método 1 (verde), método 2 (azul) e método 3 (vermelho).



Fonte: produção do autor

A obtenção de resultado similar com a curva tensão *versus* corrente somente ocorreria com o aumento significativo do grau do

polinômio. Por isto, o método 3 é o método escolhido como padrão para o cálculo do valor das perdas por condução para o IGBT.

2.3.4 Perdas por Comutação – Entrada em Condução

O IGBT também sofre com o efeito da recuperação reversa do diodo na sua entrada em condução. As perdas por comutação, conforme descrito anteriormente, são calculadas utilizando as equações aproximadas mais aceitas. A equação (2.40) representa as perdas devido à entrada em condução e à recuperação reversa do diodo de acordo com (MILLER, 2004), aonde I_{con} é a corrente comutada.

$$P_{ON-IGBT} = \frac{1}{2} \left(V_{bloq} \cdot I_{Con} \cdot t_{ifall} \cdot f_s + V_{bloq} \cdot I_{rrm} \cdot \frac{2}{3} t_{rr} \cdot f_s \right) \quad (2.40)$$

2.3.5 Perdas por Comutação – Bloqueio

As perdas no bloqueio são representadas por (2.41), aonde I_{Coff} é a corrente no coletor no momento do bloqueio.

$$P_{OFF-IGBT} = V_{bloq} \cdot I_{Coff} \frac{t_{delay-off} + t_{ifall}}{2} \cdot f_s \quad (2.41)$$

2.4 DIODO BIPOLAR DE SILÍCIO (SI)

As perdas por condução e comutação para um diodo de silício devem ser computadas para este componente bipolar, incluindo as perdas por recuperação reversa, que são existentes.

2.4.1 Perdas por Condução

As perdas por condução são compostas, majoritariamente, pela queda de tensão direta quando em condução, multiplicada pela corrente média que circula pelo diodo, conforme (2.42).

Para o diodo de silício é adotado o mesmo procedimento de cálculo para o IGBT, uma vez que eles são componentes com modelo de condução similar. É adotado aqui o chamado método 3 da seção relativa

ao IGBT, contudo, a queda de tensão é chamada de V_F e a corrente direta de i_F .

$$p(t) = V_F \cdot i_F(t) + r_{ON} \cdot i_F^2(t) \quad (2.42)$$

2.4.2 Perdas por Comutação – Entrada em Condução

As perdas de entrada em condução para o diodo são aqui desconsideradas, conforme apresentado em (GRAOVAC e PÜRSCHHEL, 2009).

2.4.3 Perdas por Comutação – Bloqueio

Para o diodo, as perdas majoritárias de bloqueio são devido à sua recuperação reversa. Elas são aqui consideradas em (2.43) e (2.44).

$$E_{OFFdiodo} = \int_0^{t_{i-rise} + t_{v-fall}} v_F(t) \cdot i_F(t) dt = \frac{1}{4} Q_{rr} \cdot V_{Drr} \quad (2.43)$$

$$P_{OFFdiodo} = \frac{1}{4} Q_{rr} \cdot V_{bloq} \cdot f_s \quad (2.44)$$

2.5 DIODO DE CARBONETO DE SILÍCIO (SiC)

Os diodos Schottky SiC são dispositivos que trabalham com portadores majoritários e, portanto, não armazenam carga em suas junções. A carga de recuperação reversa no diodo é extremamente baixa e é apenas o resultado da existência da capacitância de junção, não carga armazenada. Além disso, ao contrário do diodo de silício, as características de recuperação inversas do SiC Schottky são independentes de di/dt , corrente direta e da temperatura de junção.

2.5.1 Perdas por condução

O equacionamento de perdas de condução para o diodo SiC é similar ao de condução do IGBT. Ele é composto por uma parcela de primeiro grau, que se traduz na resistência de condução multiplicada pela corrente ao quadrado, além de uma parcela em primeira ordem, multiplicada por uma constante que se traduz na queda de tensão da junção do semiconductor.

A potência instantânea é dada por (2.45).

$$p(t) = v_F(t) \cdot i_F(t) \quad (2.45)$$

A partir do modelo elétrico obtém-se (2.46).

$$p(t) = V_T \cdot i_F(t) + r_T \cdot i_F^2(t) \quad (2.46)$$

A perda de condução de interesse é a perda média para um dado período de comutação.

$$P_{med} = \frac{1}{T} \int_0^T p(t) \cdot dt \quad (2.47)$$

$$P_{med} = \frac{1}{T} \int_0^T V_T \cdot i_F(t) \cdot dt + \frac{1}{T} \int_0^T r_T \cdot i_F^2(t) \cdot dt \quad (2.48)$$

Tem-se que a corrente média no período é dada por (2.49).

$$I_{Fmed} = \frac{1}{T} \int_0^T i_F(t) \cdot dt \quad (2.49)$$

Também a corrente eficaz no período é dada pela equação (2.50).

$$I_{Fmed}^2 = \frac{1}{T} \int_0^T i_F^2(t) \cdot dt \quad (2.50)$$

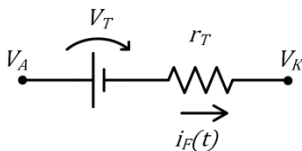
Substituindo as últimas equações na equação de potência (2.48) obtém-se (2.51), que condiz com o modelo da Figura 18.

$$P_{cond} = V_T \cdot I_{Fmed} + R_T \cdot I_{Fef}^2 \quad (2.51)$$

Os valores de R_T e V_T são obtidos da curva de corrente direta *versus* tensão direta do diodo SiC.

A Figura 18 apresenta o que seria o modelo de perdas equivalente.

Figura 18 - Modelo elétrico de condução do diodo schottky SiC



Fonte: produção do autor.

2.5.2 Perdas Por Comutação – Entrada Em Condução

De acordo com (CREE, 2012), as perdas de entrada em condução são pouco representativas e podem ser desconsideradas da somatória total de perdas no diodo SiC.

2.5.3 Perdas Por Comutação – Bloqueio

As perdas de comutação no diodo SiC são predominantemente devido à descarga da energia armazenada na capacitância de junção, no momento em que ocorre o início do bloqueio de tensão.

Neste sentido, as perdas são calculadas através do somatório da energia, multiplicado pela frequência de comutação, conforme (2.52).

$$P_{off} = \frac{1}{2} \cdot Q_c \cdot V_{bloq} \cdot f_{com} \quad (2.52),$$

na qual Q_c é a capacitância da junção, V_{bloq} é a tensão de bloqueio do diodo, e f_{com} é a frequência de comutação do semiconductor.

2.6 CONCLUSÃO

Este capítulo apresentou um procedimento de cálculo de perdas para diversos tipos de semicondutores de potência. O cálculo das perdas é derivado dos modelos elétricos de cada componente. Em alguns casos, aproximações são feitas, mediante uma análise do impacto de tal aproximação no valor final do cálculo de perdas e da complexidade ora necessária para uma maior precisão no valor das perdas em um determinado componente.

3 CONVERSOR NPC T-TYPE 5-NÍVEIS

Este trabalho apresenta o conversor com neutro grampeado (NPC) T-Type de cinco níveis (5L). A definição das etapas de operação, a modulação utilizada e a modelagem da malha de controle da corrente de saída do conversor são apresentadas. Os resultados são avaliados, finalmente, em um protótipo experimental.

3.1 INTRODUÇÃO

As últimas décadas foram muito importantes no que diz respeito aos estudos para o aumento do rendimento de geração de energia solar fotovoltaica. Uma variedade de conversores de energia e topologias tem sido estudados e, particularmente, os inversores não isolados tem sido capazes de ter rendimento de até 2% mais elevada quando comparados com as topologias isoladas (TEODORESCU, LISERRE e RODRÍGUEZ, 2011). Tais topologias não isoladas, no entanto, podem causar a circulação de uma corrente de fuga (GUBÃA, SANCHIS, *et al.*, 2007), (SPAGNUOLO, PETRONE, *et al.*, 2010), devido à capacitância parasita presente entre o módulo solar e a sua moldura metálica, a qual está ligada a terra em conjunto com a estrutura metálica de fixação dos módulos.

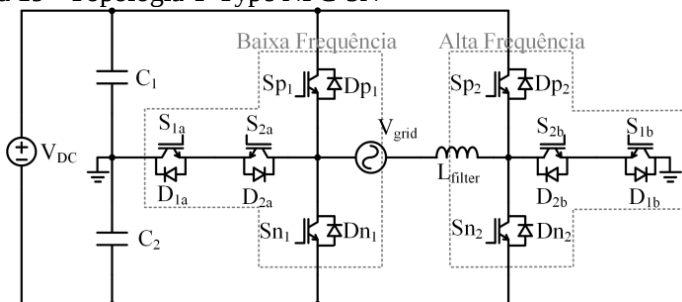
Existem algumas topologias utilizadas com o objetivo de reduzir ou cancelar a corrente de fuga mencionada, conhecidas como as siglas H5 (VICTOR, GREIZER, *et al.*, 2005), HERIC (SCHMIDT, SIEDLE e KETTERER, 2006), (GONZALEZ, COLOMA, *et al.*, 2008) Ponte completa FB-DCBP e Ponte completa FB-ZVR (KEREKES, TEODORESCU, *et al.*, 2011). Com o mesmo objetivo, a topologia T-Type NPC-5N, pode apresentar uma baixa corrente de fuga, desde que utilizada uma modulação adequada. A modulação utilizada neste trabalho, no entanto, não é definida visando à redução da corrente de fuga.

A aplicação da topologia em questão com configuração em ponte completa também tem como resultado a redução pela metade da tensão de barramento necessária para operação a uma dada tensão de rede na saída, o que evita a necessidade da ligação de uma quantidade elevada de módulos fotovoltaicos em série. Outra vantagem da saída com cinco níveis de tensão é a redução dos da capacidade necessária de filtragem para o filtro de saída, permitindo a diminuição dos componentes passivos. No caso deste trabalho utiliza-se como filtro apenas um indutor de 900 μ H.

3.2 A TOPOLOGIA E MODULAÇÃO

A topologia T-Type NPC-5N, mostrada na Figura 19, foi introduzida pela primeira vez por (COCCIA, CANALES, *et al.*, 2010). A configuração em ponte completa desta topologia permite aplicar a tensão de entrada total na saída tanto no semiciclo negativo quanto no positivo. Tal característica é um ponto positivo para aplicações em energia fotovoltaica, uma vez que reduz a quantidade de módulos fotovoltaicos necessários para serem ligados em série, promovendo a redução do impacto do sombreamento na geração de energia (SHAN XU, LAI, *et al.*, 2009), quando comparados com as topologias tipo meia ponte.

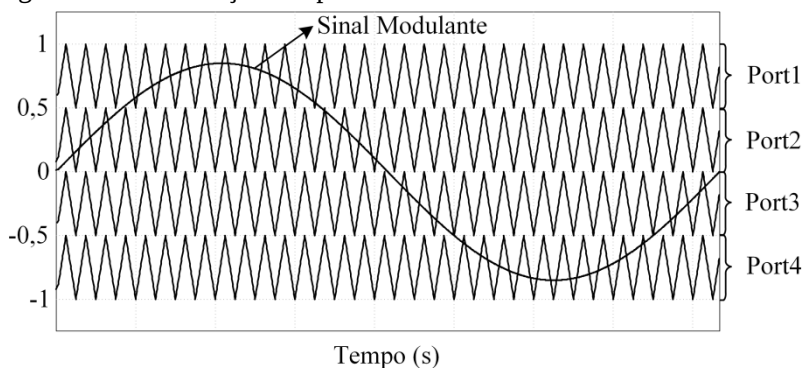
Figura 19 - Topologia T-Type NPC-5N



Fonte: produção do autor

O esquema de modulação é composto por interruptores que comutam em baixa e em alta frequência. Um dos braços comuta em alta frequência (frequência da portadora), enquanto o outro comuta em baixa frequência (frequência da moduladora). O número de comutações é reduzido em um braço, o que permite a utilização de interruptores mais lentos sem comprometer o rendimento e dissipação térmica. Para o braço que comuta em alta frequência, pode-se usar novas tecnologias de interruptores, com melhor desempenho de comutação, destinados a reduzir as perdas e melhorar o rendimento total do conversor. O esquema comparação da moduladora com as portadoras utiliza quatro portadoras colocadas em fase, deslocada em nível, como é mostrado na Figura 20. A comparação entre as portadoras e a função moduladora origina os sinais de comando.

Figura 20 - Distribuição das portadoras e o sinal modulante



Fonte: produção do autor

A descrição a seguir apresenta o esquema de comparação com da moduladora com as portadoras e como é gerado o sinal de comando para cada chave. A moduladora, quando o circuito opera em malha fechada, é o sinal de ação de controle, também representado por $m(t)$. Este sinal pode variar de $-1,0$ à $1,0$.

S_{p1} : comparação do sinal modulante com o nível $0,5$;

S_{2a} : sinal complementar de S_{p1} ;

S_{n1} : comparação do sinal modulante com o nível $-0,5$;

S_{1a} : sinal complementar de S_{n1} ;

S_{p2} : (para $0 > m(t) > -0,5$) comparação do sinal modulante com a portadora “Port3”,

(para $m(t) < -0,5$) comparação do sinal modulante com a portadora “Port4”,

(para $m(t) > 0$) interruptor fica comandado ao bloqueio

S_{2b} : sinal complementar de S_{p2}

S_{n2} : (para $0 < m(t) < 0,5$) comparação do sinal modulante com a portadora “Port2”,

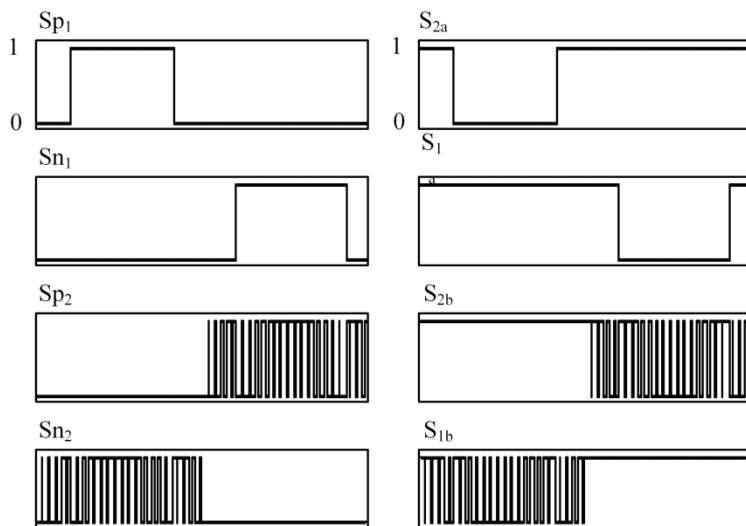
(para $m(t) > 0,5$) comparação do sinal modulante com a portadora “Port1”,

(para $m(t) < 0$) interruptor fica comandado ao bloqueio

S_{1b} : sinal complementar de S_{n2}

Como resultado da comparação, os interruptores S_{p1} , S_{n1} , S_{1a} e S_{2a} comutam em baixa frequência, enquanto os interruptores S_{p2} , S_{n2} , S_{1b} e S_{2b} são comutados em alta frequência, como mostrado na Figura 21. Esta modulação é baseada em (COCCIA, CANALES, *et al.*, 2010), que produz a comutação de baixa frequência dos interruptores com o objetivo de melhorar o rendimento.

Figura 21 - Sinais de comando dos interruptores

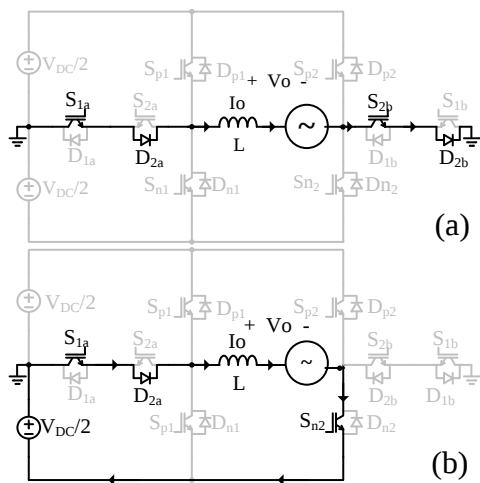


Fonte: produção do autor

Com relação às etapas de operação, foram definidas quatro regiões de operação para permitir a compreensão das etapas de operação do conversor. Estas regiões de operação são delimitadas através da comparação entre o sinal modulante e as portadoras.

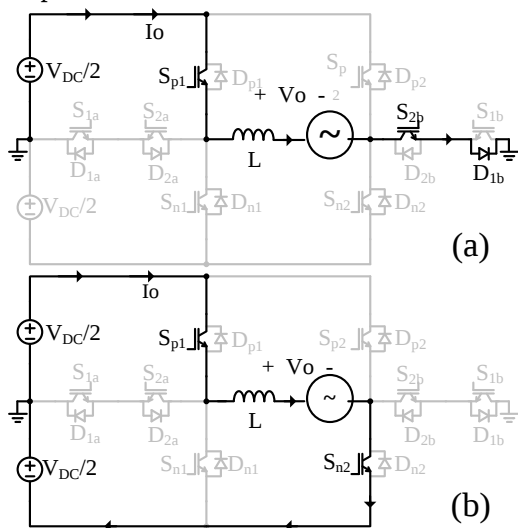
A primeira região de operação compreende a comparação do sinal de modulação com a segunda portadora (Port2), como é mostrado na Figura 22. Nesta região, os interruptores S_{2a} , S_{1a} e S_{2b} são sempre comandados à conduzir. Apenas S_{n2} e S_{1b} comutam com a frequência da portadora, aplicando metade da tensão de entrada à saída.

Figura 22 - Etapas de operação para a região 1. (a) primeira etapa, (b) segunda etapa.



Fonte: produção do autor

Figura 23 - Etapas de operação para a região 2. (a) primeira etapa, (b) segunda etapa.



Fonte: produção do autor

A segunda região de operação, como mostrado na Figura 23, começa quando S_{p1} é comandado à conduzir. A região é limitada pela comparação com a primeira portadora (Port1). Os interruptores S_{n2} e S_{1b} continuar a ser comutados na frequência da portadora de forma complementar. O comando para S_{p1} conduzir resulta na aplicação de metade da tensão do barramento à saída.

O comportamento nas regiões de operação três e quarto é deduzido de forma similar para as regiões um e dois, respectivamente.

3.3 RENDIMENTO E DISTORÇÃO HARMÔNICA EM UM CONVERSOR APLICADO À DE GERAÇÃO DE ENERGIA SOLAR FOTOVOLTAICA

Para conversores aplicados em energia solar fotovoltaica, como é o caso da aplicação desta topologia, existem normas nacionais e internacionais que devem ser levadas em conta no projeto e construção dos equipamentos, bem como no cálculo do rendimento final do conversor, que em determinadas ocasiões é referido como inversor fotovoltaico.

Os inversores fotovoltaicos conectados à rede elétrica não regulam a tensão, mas sim, a corrente injetada na rede. A faixa operacional normal de tensão dos inversores é selecionada para proteção em caso de sub ou sobretensão. Os valores de tensão da rede elétrica nominais especificados no PRODIST (Procedimentos de Distribuição) em seu módulo 8 (Qualidade de Energia) são os seguintes: (220/127), (380/220), (254/127), (440/220), (208/120), (230/115), (240/120), (220/110). O PRODIST especifica os valores máximos de Distorção Harmônica Total (DHT) e de harmônicos de tensão na rede elétrica de distribuição. Esses valores devem ser utilizados como informação para o projeto dos inversores. A Tabela 1 mostra estes limites de distorção harmônica de corrente. Para sistemas com tensão abaixo de 1 kV a DHT máxima de tensão especificada é 10% (ANEEL, 2016).

No âmbito específico da energia solar fotovoltaica, existem normas nacionais, relativamente recentes, que surgiram para atender à demanda pela normatização dessa área crescente no país. Algumas delas são baseadas em normas internacionais e, deste modo, na experiência de outros países com a geração de energia solar fotovoltaica conectada à rede.

Tabela 1 - Limites de distorção harmônica de corrente pelo PRODIST.

Harmônias Ímpares	Limite de distorção
5 ^a	<7,5%
7 ^a	<6,5%
11 ^a	<4,5%
13 ^a	<4,0%
17 ^a	<2,5%
19-25 ^a	2,0%
>25 ^a	1,5%
Harmônicas Múltiplas de 3	Limite de distorção
3 ^a	6,5%
9 ^a	2,0%
≥15 ^a	1,0%
Harmônicas Pares	Limite de distorção
2 ^a	<2,5%
4 ^a	<1,5%
≥6 ^a	<1,0%

Fonte: produção do autor

NBR 16149 (ABNT, 2013), estabelece recomendações específicas para a interface de conexão entre os sistemas fotovoltaicos e a rede de distribuição de energia elétrica e estabelece seus requisitos. A Tabela 2 apresenta os limites de distorção harmônica de corrente pela NBR 16149.

Tabela 2 - Limites de distorção harmônica de corrente pela NBR 16149.

Harmônias Ímpares	Limite de distorção
3 ^a à 9 ^a	<4,0%
11 ^a à 15 ^a	<2,0%
17 ^a à 21 ^a	<1,5%
23 ^a à 33 ^a	<0,6%
Harmônicas Pares	Limite de distorção
2 ^a à 8 ^a	<2,5%
10 ^a à 32 ^a	<1,5%
10 ^a à 32 ^a	<1,0%

Fonte: produção do autor

NBR 16150:2013 (ABNT, 2013) especifica os procedimentos de ensaio para verificar se os equipamentos utilizados na interface de conexão entre o sistema fotovoltaico e a rede de distribuição de energia estão em conformidade com os requisitos da ABNT NBR 16149.

NBR IEC 62116 (ABNT, 2012), tem como objetivo fornecer um procedimento de ensaio para avaliar o desempenho das medidas de anti-ilhamento utilizadas em sistemas fotovoltaicos conectados à rede elétrica (SFCR).

3.4 Rendimentos Ponderados

O manual dos inversores para aplicação fotovoltaica geralmente apresenta curvas de rendimento versus potência para uma ou mais tensões de entrada, uma para o rendimento máximo e outras duas nas tensões limites da faixa de operação do seguimento do ponto de máxima potência. Além disso, normalmente são apresentados os rendimentos máximo, Europeu e Californiano. Para comparar os inversores, sem utilizar apenas o rendimento máximo que estes podem alcançar, mas levando em consideração o fato de que o inversor não funciona todo o tempo na potência nominal, na década de 90 foi introduzido o conceito de rendimento europeu, a qual representa o rendimento do inversor sobre diversos níveis de potência de operação. Posteriormente surgiram outros padrões de cálculo de rendimentos ponderados (PINTO NETO, 2012).

Para o cálculo do rendimento ponderado, primeiramente são definidos os pontos de potência de saída nos quais será realizada a medição dos rendimentos, de acordo com cada norma, por exemplo, 10% ou 50% da potência nominal de saída podem ser valores requisitados. Posteriormente, o rendimento em cada ponto de medição (em cada potência intermediária de operação) é multiplicado por um determinado fator, aqui chamado de peso de ponderação. No total, os pesos somam 100% e o rendimento ponderado é obtida somando o resultado dos produtos dos rendimentos pelos respectivos fatores de ponderação.

3.4.1 Rendimento Europeu (EURO)

O rendimento europeu está relacionado a um perfil de baixa irradiância solar. Isso pode ser observado pelo fato de que os coeficientes de ponderação para os carregamentos de até 50% de

potência de saída representam 80% do valor total. Apesar de o rendimento europeu ter várias limitações, ela representa o rendimento do inversor melhor que o rendimento máximo. Os pontos de medição do rendimento e os fatores de ponderação podem ser observados na Tabela 3.

Tabela 3 - Pontos de medição e fatores de ponderação para o rendimento EURO

Rendimento Europeu (Euro)						
Potência de saída (%)	5	10	20	30	50	100
Peso da Ponderação (%)	3	6	13	10	48	20

O rendimento não é, contudo, adequada à uma real noção do rendimento de um inversor aplicado no Brasil, o qual possui um perfil de geração mais expressiva em maior irradiância, justamente o seu oposto.

3.4.2 Rendimento Californiano (CEC)

A fim de caracterizar um inversor para o perfil de radiação solar da Califórnia (alto nível de irradiância), nos Estados Unidos da América, a Comissão de Energia da Califórnia (CEC) criou o rendimento CEC, a qual também é uma média ponderada dos rendimentos em diversos carregamentos de um inversor. Os pontos de medição do rendimento e os fatores de ponderação podem ser observados na Tabela 4.

Tabela 4 - Pontos de medição e fatores de ponderação para o rendimento CEC

Rendimento Californiano (CEC)						
Potência de saída (%)	10	20	30	50	75	100
Peso da Ponderação (%)	4	5	12	21	53	5

O rendimento CEC, assim como a europeia, considera que o rendimento do inversor dependem apenas do carregamento. Devido a essa rendimento, outras formas de se calcular o rendimento têm sido propostas. Dentre elas destaca-se o rendimento PHOTON, a qual leva

em consideração o carregamento, a tensão de entrada e o rastreamento de máxima potência.

3.4.3 Rendimento Brasileiro (BR)

O rendimento brasileiro é calculado multiplicando os rendimentos totais médias em uma dada potência de operação de saída pelo coeficiente de ponderação correspondente, assim como os demais métodos. Ela é uma proposta de rendimento ponderada para a realidade Brasileira. Para um inversor para sistemas fotovoltaicos conectados à rede, calcula uma média ponderada que leva em consideração a dependência da tensão de entrada, o rendimento do rastreamento de máxima potência e o perfil de radiação solar brasileiro. A Tabela 5 mostra os coeficientes de ponderação com os rendimentos correspondentes.

Tabela 5 - Pontos de medição e fatores de ponderação para o rendimento BR

Rendimento Europeu (Euro)						
Potência de saída (%)	10	20	30	50	75	100
Peso da Ponderação (%)	2	2	4	12	32	48

Para calculá-la, alguns passos devem ser seguidos. As faixas de tensão do rastreamento de máxima potência são identificadas e são distribuídos uniformemente 10 pontos de tensão e as para a potência de saída do inversor são distribuídos seis pontos, necessitando, dessa forma, simular 60 diferentes curvas de um sistema fotovoltaico (PINTO NETO, ALMEIDA e ZILLES, 2011).

3.4.4 Considerações sobre rendimentos ponderados

No âmbito da energia solar fotovoltaica, diferentes normas devem ser consideradas quando se faz o projeto de um inversor. Particularmente, quando é feita a escolha da topologia e dos semicondutores a serem empregados devem ser levada em conta o rendimento ponderado, que será composta pelo rendimento em diferentes pontos de operação, não somente na potência nominal e tampouco em apenas um ponto de operação específico de potência.

Neste trabalho, os rendimentos ponderados Europeu, Californiano e a proposta Brasileira são calculados para o conversor NPC T-Type 5N, para uma possível aplicação fotovoltaica.

Analisando cada uma das ponderações percebe-se que o rendimento europeu claramente concede maior peso para pontos de operação em menor potência. De outro lado, o rendimento californiano utiliza um grande peso para potências maiores, com destaque para 75% da potência nominal. A proposta de rendimento Brasileiro se assemelha à da Califórnia, contudo, é a única que concede maior peso para 100% da potência de operação. Essa abordagem é adequada, uma vez que na maior parte do Brasil existem grandes períodos com máxima insolação.

Contudo, o método Brasileiro propõe a medição do rendimento em diferentes potências e diferentes tensões de barramento de entrada. Sse isto, por um lado, poderia trazer uma melhor interpretação do rendimento do conversor, por outro lado gera uma quantidade grande de medidas a serem realizadas durante a certificação, sem, no entanto trazer um grande diferencial, uma vez que esta não propõe pesos para as diferentes tensões e, sim, apenas uma média aritmética simples.

Pode ser concluídos que uma vez adotados os fatores de ponderação adequados para um perfil de irradiação de uma determinada região, um rendimento ponderado é uma medida importante para um conversor aplicado à geração energia solar fotovoltaica, por representar melhor o rendimento do equipamento em sua aplicação final.

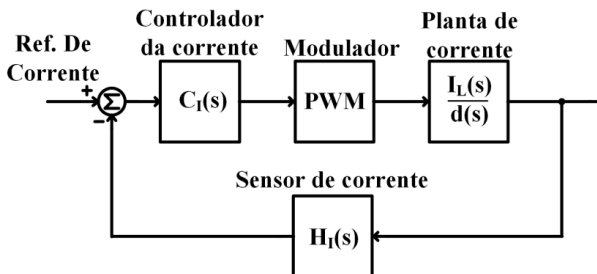
3.5 MODELAGEM PARA CONTROLE

A estrutura de controle empregada é apresentada na Figura 24. No diagrama está o circuito de controle que deve ser modelado: o circuito responsável pelo controle da corrente de saída do conversor. Além disso, um algoritmo de PLL (*phase-locked loop*) foi empregado para a conexão à rede de distribuição de energia.

A fim de possibilitar a entrega de potência ativa à rede de distribuição é necessário controlar a corrente de saída, uma vez que a tensão de saída é definida pela rede.

O controle da tensão diferencial do barramento de entrada, bem como o controle da tensão total do barramento de entrada não é realizado neste trabalho. Para a simulação e para os resultados experimentais é empregada uma fonte de tensão com um ponto médio equilibrado, através de dois retificadores ligados em um transformador multipulso.

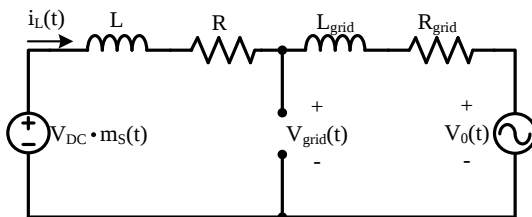
Figura 24 - Diagrama do sistema de controle



Fonte: produção do autor.

Tendo em vista que esta topologia é em ponte completa, formada com dois braços de três níveis, resultando em cinco níveis de tensão na saída, adotou-se um filtro indutivo para obter a ondulação de corrente de saída desejada, uma vez que a tensão de saída é naturalmente mais senoidal do que seria para uma topologia dois níveis. Neste sentido, o circuito equivalente é obtido de forma a facilitar a análise e possibilitar a modelagem. O circuito equivalente é mostrado na Figura 25, representando a etapa de operação na qual a tensão total de entrada é aplicada na carga. O conversor é representado como uma fonte de tensão controlada, ligada ao filtro de saída, representado como um indutor mais sua resistência série. A impedância de rede é indutivo-resistiva.

Figura 25 - Circuito equivalente para a modelagem da planta de corrente



Fonte: produção do autor.

Usando a modelagem de pequenos sinais, a malha de corrente de saída é obtida. Aplicando a lei das tensões de Kirchhoff ao circuito da Figura 25 é possível obter (3.1).

$$L \cdot \frac{di_L(t)}{dt} + Ri_L(t) + L_{grid} \frac{di_L(t)}{dt} + R_{grid} i_L(t) = V_{DC} \cdot m_s(t) - V_o(t) \quad (3.1)$$

Aplicando uma perturbação $\Delta m_s(t)$ ao sinal modulante, a corrente de saída responde com uma perturbação $\Delta i_L(t)$. A análise é mostrada em (3.2).

$$\left(\frac{di_L(t)}{dt} + \frac{d\Delta i_L(t)}{dt} \right) (L_f + L_g) + (i_L(t) + \Delta i_L(t)) (R + R_g) = V_{DC} \cdot (m_s(t) + \Delta m_s(t)) - V_o \quad (3.2)$$

A variação de pequenos sinais na tensão de entrada não é considerada, uma vez que esta tensão é considerada como sendo constante.

Aplicando a transformada de Laplace em (3.2), obtém-se (3.3).

$$\frac{\Delta I_L(s)}{\Delta m_s(s)} = \frac{V_{DC}}{s(L + L_g) + R + R_g} \quad (3.3)$$

O ganho da planta de corrente é proporcional à tensão de entrada, enquanto que a frequência do pólo resultante depende da soma da impedância do conversor e da rede.

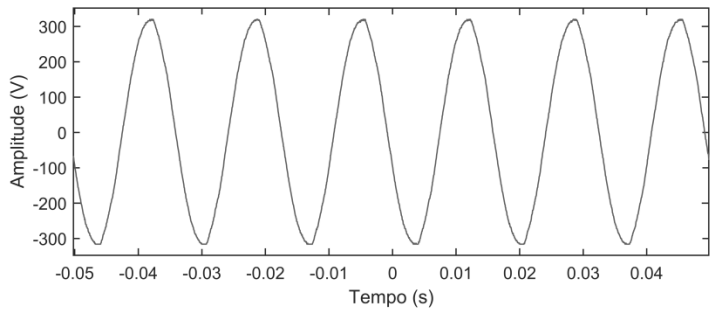
3.6 PROJETO DA MALHA DE CONTROLE

Uma malha de controle foi implementada para controlar a corrente de saída do conversor, com objetivo de obter estabilidade e erro de regime permanente nulo. Inicialmente, um controlador PI foi capaz de controlar a corrente de saída, tendo como carga a rede de distribuição. Contudo, havia a presença de uma defasagem entre a corrente e a tensão da rede, uma vez que o controlador possui um erro de fase em regime permanente.

No sentido de melhorar este fator, a topologia de controle escolhida foi o controlador ressonante, em virtude da sua capacidade de sintetizar a frequência de saída, que é um sinal com uma frequência específica (frequência da rede elétrica). Desta forma, foi implantado um controlador com ressonância em 60Hz (ZIMANN, 2015).

Adicionalmente, um comportamento não esperado inicialmente foi verificado: a presença de harmônicas na tensão da rede no ponto de conexão tornava a forma de onda da corrente distorcida com relação à fundamental da tensão. A Figura 26 apresenta a forma de onda da tensão disponível no laboratório na UDESC.

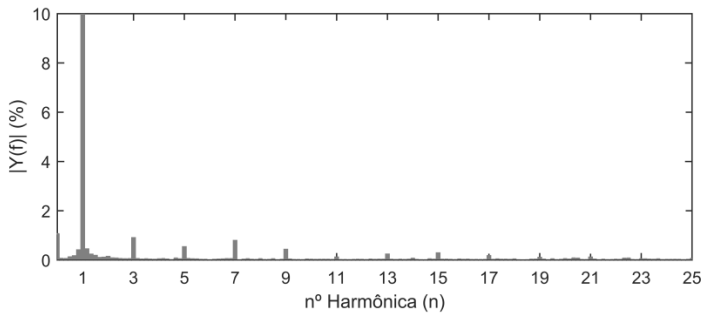
Figura 26 - Tensão da rede elétrica em bancada



Fonte: produção do autor

Foi realizada a decomposição harmônica da tensão da rede, que confirmou a presença de terceira, quinta, sétima e nona harmônicas, predominantemente. A Figura 27 apresenta a magnitude das componentes da tensão.

Figura 27 - Análise harmônica da tensão da rede



Fonte: produção do autor

Os componentes harmônicos presentes na tensão, apesar de poderem parecer irrelevantes, foram responsáveis pelo achatamento da tensão da rede, distorcendo a corrente injetada.

Após as primeiras investigações, verificou-se que seria importante uma alteração, passando a inserir mais uma ressonância em 180Hz. Isto se deu para poder filtrar a terceira harmônica verificada significativamente na tensão da rede no ponto de conexão, em bancada no laboratório.

Um protótipo com potência de saída de 3 kW foi construído, considerando uma tensão de rede de 220V e uma tensão CC de barramento de 360V. A frequência de comutação escolhida é de 40020Hz, sendo múltipla de 60Hz em 667 vezes. Conforme projetado em (SILVA, 2014), para obter uma ondulação de 10% na corrente de saída, aplicando um filtro indutivo, um indutor de 900μH foi especificado. O valor da capacitância do filtro de entrada é de 820μF para o capacitor de cada uma das duas parcelas do barramento dividido.

Para o controle da planta é preciso uma correta estruturação dos circuitos de controle necessários. O controlador C é alimentado pelo erro e resultante da operação entre a referência r e o sinal de realimentação. A tensão de saída é lida por um sensor e condicionada por um filtro do tipo *anti-aliasing*, estes dois representados pelo bloco H . Como a planta é contínua e o controle a ser empregado é digital, se faz necessário o emprego de um conversor analógico-digital A/D , convertendo a variável de saída para o domínio das amostras $[k]$. Uma vez obtido o sinal de controle, na saída do bloco C , um conversor digital-analógico D/A faz a conversão oposta, transformando o sinal de controle para o domínio contínuo.

O projeto do controlador é realizado no plano w e, para isso, o modelo contínuo no domínio da frequência da planta, sensor e filtro *anti-aliasing* é convertido, primeiramente, para o domínio das amostras discretas e, então, do domínio das amostras através da transformada bilinear, ou Tustin.

A planta contínua é apresentada em (3.4), considerando o modelo do modulador PWM , representado pelo seu ganho.

$$G_{pwm}(s) \cdot G_i(s) = \frac{1}{V_{tri}} \cdot \frac{V_{dc}}{s \cdot (L_o + L_g) + R_o + R_g} \quad (3.4)$$

Enquanto isso, a equação (3.5) apresenta o modelo da planta de corrente com os valores dos parâmetros.

$$G_{pwm}(s) \cdot G_i(s) = \frac{1}{1} \cdot \frac{360}{s \cdot (900\mu + 10\mu) + 0,01 + 0,01} \quad (3.5)$$

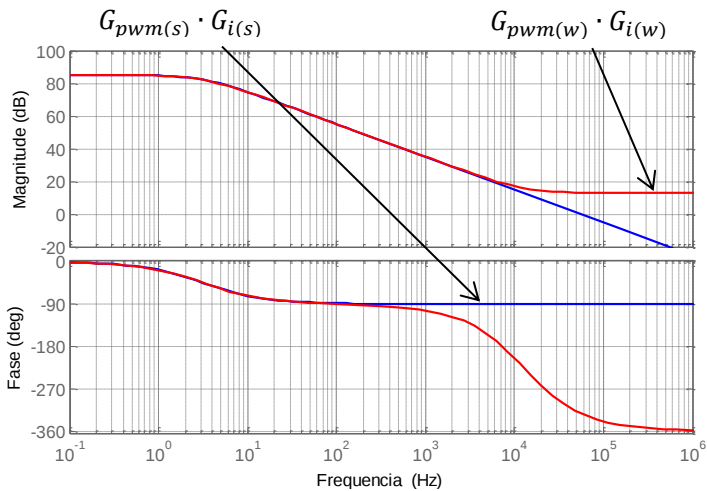
Após a transformação para o domínio discreto, a equação da planta fica conforme (3.6). A transformação foi aplicada para uma frequência de amostragem de $40kHz$, donde aparece um atraso $1/z$ devido à amostragem.

$$G_{pwm}(z) \cdot G_i(z) = \frac{1}{z} \cdot \frac{8,904}{z - 0,9995} \quad (3.6)$$

Aplicando a transformada de Tustin em (3.6) é possível obter (3.7). Esta equação é utilizada para a análise da planta e o projeto do controlador.

$$G_{pwm}(w) \cdot G_i(w) = \frac{-s + 80040}{s + 80040} \cdot \frac{-4.453 \cdot s + 3.564 \cdot 10^5}{s + 19,8} \quad (3.7)$$

Figura 28 - Diagrama de bode de malha aberta da planta de corrente; no plano contínuo (linha azul) e no plano w (linha vermelha)



Fonte: produção do autor

O projeto do controlador é realizado no plano w , para então pode ser discretizado para a implementação em equação a diferenças. Para o projeto do controlador é necessário primeiramente definir uma estrutura

para ele. Conforme mencionado anteriormente, o controlador empregado é ressonante, com ressonâncias em 60Hz e 180Hz. Em (3.8) é apresentada a estrutura do controlador.

$$C_i(s) = k_p + res_1(s) + res_3(s) \quad (3.8)$$

$$res_1(s) = \frac{k_{p1} \cdot 2 \cdot qsi \cdot \omega_r \cdot s}{s^2 + 2 \cdot qsi \cdot \omega_r \cdot s + \omega_r^2} \quad (3.9)$$

$$res_3(s) = \frac{k_{p3} \cdot 2 \cdot qsi_3 \cdot 3\omega_r \cdot s}{s^2 + 2 \cdot qsi_3 \cdot 3\omega_r \cdot s + 9\omega_r^2} \quad (3.10)$$

O fator de amortecimento impacta no formato do gráfico de magnitude da função de transferência. Quanto menor esse fator, mais “pontagudo” será o formato do ganho. Além disso, o fator de amortecimento afeta a margem de fase. Deste modo, o valor estabelecido foi estabelecido para que a margem de fase ficasse acima de 30°.

Os ganhos do controlador são apresentados na Tabela 6.

Tabela 6 - Ganhos do controlador

Variável	Descrição	Valor
k_p	Ganho proporcional	0,0672533752077846
k_{p1}	Ganho proporcional do controlador ressonante em 60Hz	0,2
k_{p3}	Ganho proporcional do controlador ressonante em 180Hz	0,8
qsi	Fator de amortecimento do controlador ressonante em 60Hz	0,4
qsi_3	Fator de amortecimento do controlador ressonante em 180Hz	0,4
ω_r	Frequência de ressonância	$2\pi \cdot 60Hz$

Fonte: produção do autor

Já o ganho proporcional é calculado de modo que a magnitude seja unitária na frequência de cruzamento. O ganho proporcional de cada parcela ressonante, por sua vez, determina o valor de pico do ganho na

frequência de ressonância. Este ganho foi definido para que se obtivesse um alto ganho, com pico de 80dB na frequência de 60Hz e 70dB em 180Hz.

Com o emprego dos ganhos estabelecidos na Tabela 6, é obtida a função de transferência do controlador. A partir desta função de transferência aplica-se a Transformação Bilinear inversa, sendo obtido o controlador no domínio discreto em z , conforme (3.11).

$$C_i(z) = k_p + res_1(z) + res_3(z) \quad (3.11)$$

$$res_1(s) = \frac{0,0007536 - 0,0007536 \cdot z^{-2}}{1 - 2 \cdot z^{-1} + z^{-2}} \quad (3.12)$$

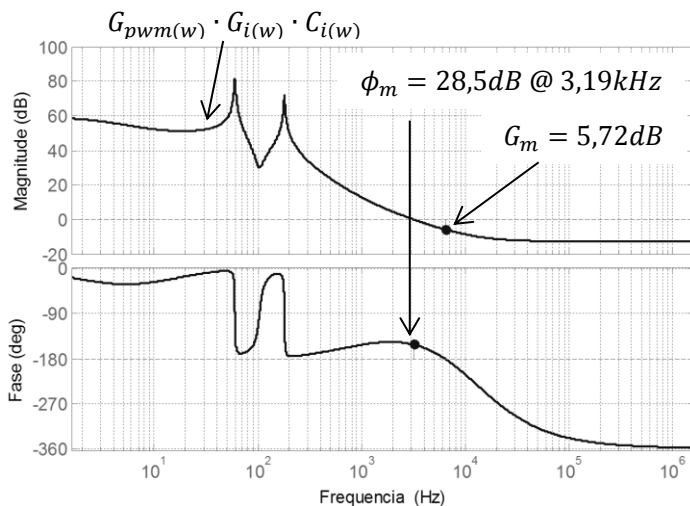
$$res_2(s) = \frac{0,006781 - 0,006781 \cdot z^{-2}}{1 - 1,999 \cdot z^{-1} + z^{-2}} \quad (3.13)$$

A resposta da planta com o controlador, por sua vez, é apresentada na Figura 29.

A resposta do controlador proporcionou uma frequência de cruzamento de 3,19kHz, com margem de fase de 28,5°.

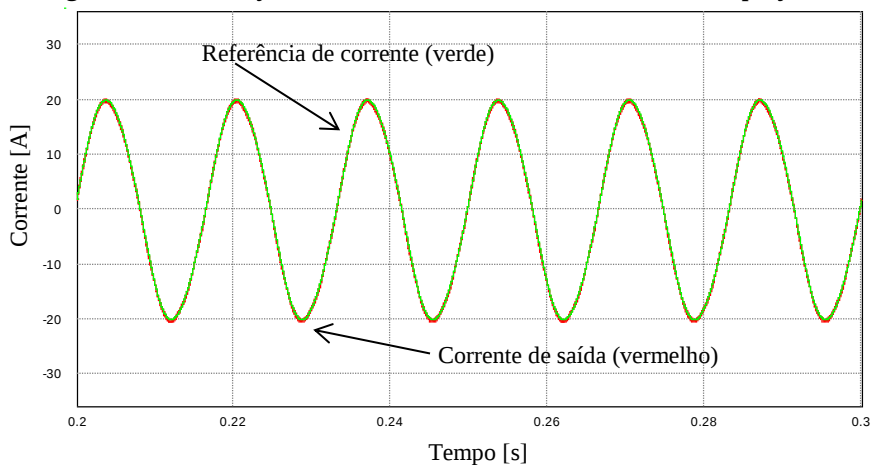
A Figura 30 apresenta a simulação do conversor com o controlador projetado, já em equação à diferenças. É possível verificar que a saída é controlada e segue a referência de corrente.

Figura 29 - Diagrama de bode de malha aberta da planta de corrente com controlador



Fonte: produção do autor

Figura 30 - Simulação da corrente de saída com o controlador projetado



Fonte: produção do autor

3.7 ESFORÇOS NOS SEMICONDUTORES

Conforme apresentado, o conversor possui dois conjuntos de interruptores, um operando em alta frequência, que é a frequência de comutação, e outro operando em baixa frequência, na frequência moduladora.

Uma vez que se pretende calcular as perdas no conversor faz-se necessário o conhecimento dos esforços de corrente nos seus semicondutores.

As equações para os esforços de corrente foram claramente desenvolvidas e são apresentadas na dissertação de mestrado de Tiago Lemes da Silva (SILVA, 2014), na seção 3.3, página 65, “Esforços nos semicondutores”. Desta forma, tais equações não serão repetidas neste trabalho.

A Tabela 7 apresenta os valores dos esforços de corrente nos interruptores e diodos para a potência nominal de 3kVA, com fator de potência unitário de saída. Os cálculos foram obtidos à partir das equações dos esforços trabalhadas em uma planilha de cálculos

Tabela 7 - Esforços de corrente no conversor

Ref.	Interruptor		Diodo	
	I_{med}	I_{ef}	I_{med}	I_{ef}
Sp_1	5,02	9,20	0,00	0,00
Sn_1	5,02	9,20	0,00	0,00
$S2_a$	1,12	2,90	1,12	2,90
$S1_a$	1,12	2,90	1,12	2,90
Sp_2	3,36	7,26	0,00	0,00
Sn_2	3,36	7,26	0,00	0,00
$S2_b$	2,78	6,35	2,78	6,35
$S1_b$	2,78	6,35	2,78	6,35

Fonte: produção do autor

Os esforços para outros níveis de potência de saída são obtidos aplicando as equações dos esforços de corrente para os outros níveis de potência e, por consequência, de corrente nominal de saída, conforme a Tabela 8.

Tabela 8 – Corrente nominal de saída

Potência de saída [%]	Potência de saída [W]	Corrente de saída [A_{rms}]
100	3000	13,64
75	2250	10,23
50	1500	6,82
30	900	4,09
20	600	2,73
10	300	1,36
5	150	0,68

Fonte: produção do autor

Os esforços apresentados na Tabela 7 são utilizados para o cálculo teórico das perdas no conversor, em malha fechada, conectado à rede, com o controlador projetado na seção 3.6 deste trabalho. Os esforços de corrente independem dos semicondutores utilizados como interruptor e como diodo. Tais esforços foram calculados tendo em vista o conversor deste trabalho, cujos parâmetros são apresentados na Tabela 9.

Tabela 9 – Parâmetros do conversor empregado

Parâmetro	Descrição	Valor	Unidade
P_o	Potência nominal de saída	3,0	kVA
V_o	Tensão nominal de saída (RMS)	220	V
I_o	Corrente nominal de saída (RMS)	13,64	A
C_{in}	Capacitância equivalente do filtro de entrada	750	μF
L_o	Indutância do filtro de saída	900	μH
V_{in}	Tensão total de entrada nominal	360	V

Fonte: produção do autor

4 RESULTADOS TEÓRICOS E DE SIMULAÇÃO

Neste capítulo são apresentados os resultados teóricos e de simulação para as perdas nos semicondutores. O cálculo de perdas para cada tipo de semicondutor é realizado utilizando as equações apresentadas no Capítulo 2.

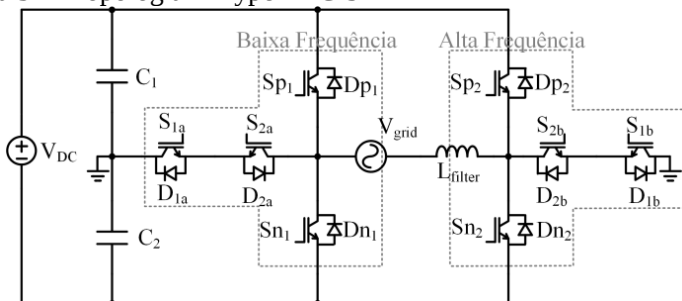
Na seção seguinte, 4.1, as perdas são calculadas para a potência nominal do conversor, que é de 3000W, para diferentes frequências de comutação, sendo elas: 50kHz, 100kHz, 500kHz e 800kHz. As perdas resultantes nos diferentes semicondutores são comparadas. Esta seção visa realizar uma comparação exclusivamente teórica entre as tecnologias de semicondutores.

Na seção seguinte, 4.2, é calculado o rendimento ponderado para os diferentes fatores de ponderação, conforme método apresentado no Capítulo 3. Para esta comparação, são usadas duas frequências de comutação, 40kHz e 80kHz. Os resultados desta seção são posteriormente comparados com resultados experimentais.

4.1 COMPARATIVO DE PERDAS ENTRE SEMICONDUCTORES

A Figura 31 apresenta a nomenclatura dos semicondutores (interruptores e diodos) que é utilizada para identificar as perdas nos resultados que seguem.

Figura 31 - Topologia T-Type NPC-5N



Fonte: produção do autor

São calculadas as perdas para quatro configurações distintas de semicondutores. A primeira delas é de IGBT com diodo de silício. É utilizado o IGBT IRG4PC50W, que não possui diodo interno, juntamente com o diodo de silício HFA15PB60. Isso possibilita

posteriormente a colocação de um diodo de SiC no lugar do diodo de silício.

A configuração de IGBT com diodo SiC está cada vez mais sendo utilizada em aplicações industriais, como inversores para acionamento de máquinas elétricas. Geralmente, sua aplicação se dá em situações nas quais se deseja reduzir as perdas por comutação, reduzindo o efeito de recuperação reversa do diodo, que não ocorre para o Diodo SiC, apenas em pequena parte devido à sua capacitância da junção. É utilizado o IGBT IRG4PC50W, juntamente com o diodo de SiC C3D10060A, da fabricante CREE.

Já no caso do transistor de nitreto de gálio do tipo depleção na construção cascode, junto com um MOSFET de baixa tensão, este possui, desta forma, um diodo de silício (diodo intrínseco do MOSFET) no cascode. Este diodo de silício pode naturalmente ser usado para a condução reversa, podendo o conjunto cascode de GaN ser diretamente aplicado em um inversor. É utilizado o transistor GaN HEMT TPH3006PS.

Outra configuração apresentada é do transistor de nitreto de gálio operando com um diodo SiC, uma nova aplicação possível. O diodo de SiC, ao ser configurado com o GaN cascode, entra em condução antes do conjunto GaN+diodo de silício intrínseco, que é o caminho da corrente reversa no cascode. Desta forma é possível conectá-lo externamente sem que o diodo interno pudesse eventualmente entrar em condução em seu lugar. É utilizado novamente o transistor GaN HEMT TPH3006PS juntamente com o diodo SiC C3D10060A.

Os parâmetros principais dos componentes utilizados nesta seção são apresentados na Tabela 10.

Nas figuras desta seção são utilizadas três cores para diferenciar as perdas nas figuras. A cor azul representa as perdas de condução em um determinado semiconductor. O leitor saberá se é um interruptor ou diodo verificando o nome da coluna. Por exemplo, Sp1 se refere ao interruptor Sp1, enquanto Dp1 se refere ao diodo em antiparalelo com Sp1. A cor vermelho representa as perda de comutação, para um diodo ou interruptor. Já a cor ciano, que forma sempre uma coluna ao fundo das perdas de condução e comutação, representa o somatório das perdas de condução e de comutação em um par de semiconductor, interruptor + diodo, por exemplo, perdas totais em Sp1 + perdas totais em Dp1.

Tabela 10 – Parâmetros dos semicondutores

Componente	Parâmetro	Valor
IRG4PC50W	Tensão de bloqueio	600V
	Corrente de coletor @ 100°C	27A
	Tensão coletor-emissor (max)	2,3V
HFA15PB60	Tensão de bloqueio	600V
	Corrente direta @ 100°C	15A
	Tensão direta (max)	2,0V
	Carga de recuperação rev. (tip)	80nC
C3D10060A	Tensão de bloqueio	600V
	Corrente direta @ 100°C	15A
	Tensão direta	2,0V
	Carga capacitiva (tip)	25nC
TPH3006PS	Tensão de bloqueio	600V
	Corrente de dreno @ 100°C	12A
	Resistência do canal @25°C (max)	0,18Ω
TPH3006PS (diodo)	Tensão de bloqueio	*
	Corrente direta @ 100°C	11A
	Tensão direta	2,8V

* o bloqueio ocorre pelo transistor GaN HEMT. O diodo interno está em paralelo com o MOSFET, que bloqueia uma pequena parcela da tensão. O fabricante não especifica essa tensão de bloqueio do MOSFET interno.

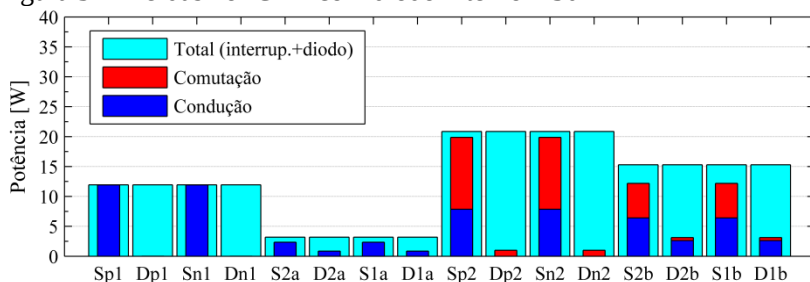
Fonte: produção do autor

A seguir são apresentados os valores de perdas em Watts para 50kHz. Posteriormente é feita a análise dos resultados.

4.1.1 Frequência de 50kHz

A Figura 32 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo interno, com frequência de comutação de 50kHz.

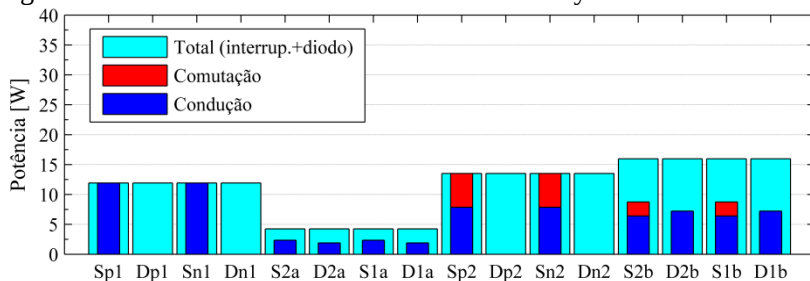
Figura 32 - Perdas no IGBT com diodo interno – 50kHz



Fonte: produção do autor

A Figura 33 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo SiC schottky, com frequência de comutação de 50kHz.

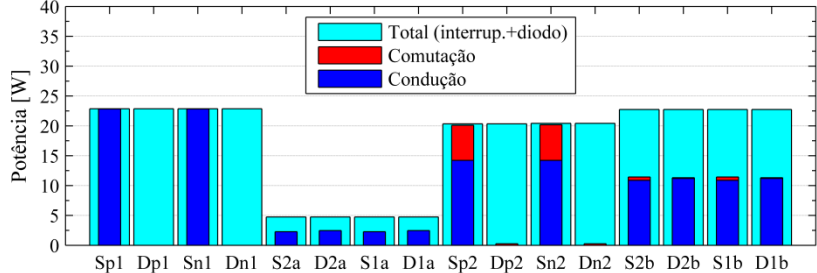
Figura 33 - Perdas no IGBT com diodo SiC schottky – 50kHz



Fonte: produção do autor

A Figura 34 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo de silício, com frequência de comutação de 50kHz.

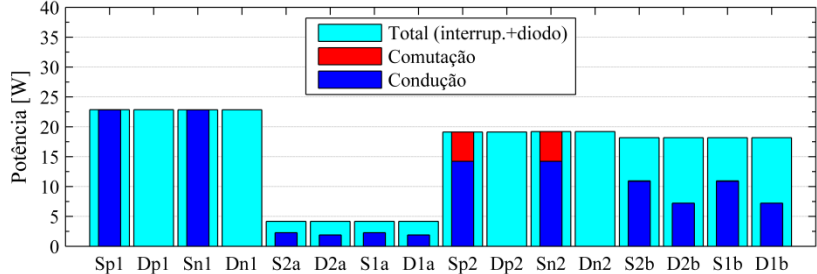
Figura 34 - Perdas no transistor GaN com diodo intrínseco – 50kHz



Fonte: produção do autor

A Figura 35 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo SiC, com frequência de comutação de 50kHz.

Figura 35 - Perdas no transistor GaN com diodo SiC – 50kHz



Fonte: produção do autor

Finalmente, a Tabela 11 apresenta compilados os valores individuais de perdas para um determinado transistor somadas às perdas no seu diodo antiparalelo, para que seja feita a análise.

Já a Tabela 12 apresenta as perdas totais para os semicondutores de forma separada, para os que comutam em baixa e em alta frequência etambém as perdas totais, destacando o conjunto com menores perdas.

Tabela 11 – Valores de perdas em Watts @ 50kHz em cada semicondutor (*por exemplo: p1, indica as perdas para o interruptor Sp1 + diodo Dp1*)

	Semicondutor							
	p1	n1	2a	1a	p2	n2	2b	1b
IGBT+Si	11,93	11,93	3,20	3,20	20,85	20,85	15,29	15,29
IGBT+SiC	11,92	11,92	4,24	4,24	13,51	13,51	15,96	15,96
GaN+Si	22,86	22,86	4,74	4,74	20,34	20,42	22,75	22,75
Gan+SiC	22,86	22,84	4,17	4,17	19,12	19,20	18,17	18,17

Fonte: produção do autor

Tabela 12 – Valores totais de perdas em Watts @ 50kHz (*BF, AF: semicondutores que comutam em baixa e alta frequência, respectiv.*); os valores em negrito representam o conjunto com as menores perdas

	TOT (BF)	TOT (AF)	TOTAL
IGBT+Si	<u>30,25</u>	72,29	102,54
IGBT+SiC	32,33	<u>58,94</u>	<u>91,26</u>
GaN+Si	55,19	86,25	141,43
Gan+SiC	54,05	74,67	128,72

Fonte: produção do autor

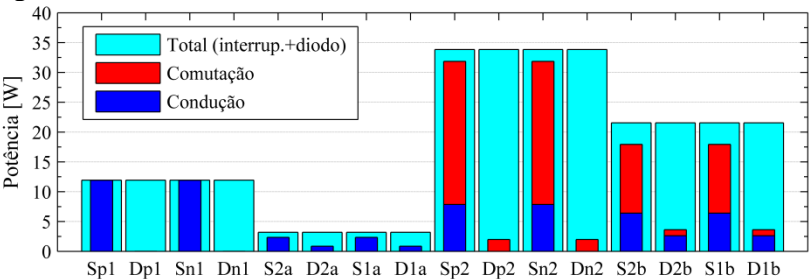
Analisando os resultados para o cálculo de perdas em 50kHz percebe-se que a configuração de IGBT com diodo SiC resultou no menor somatório de perdas para o conversor, apresentando, portanto, maior rendimento.

A seguir são apresentados os valores de perdas em Watts para 100kHz. Posteriormente é feita a análise dos resultados.

4.1.2 Frequência de 100kHz

A Figura 36 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo interno, com frequência de comutação de 100kHz.

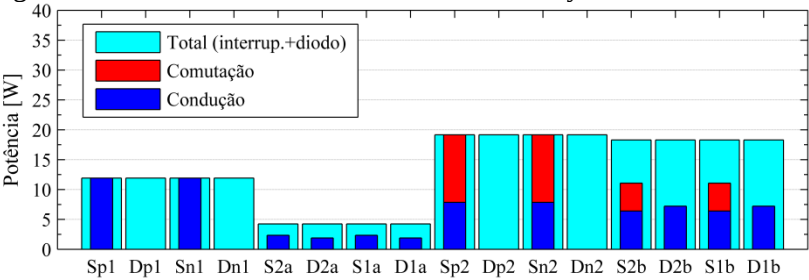
Figura 36 – Perdas no IGBT com diodo interno – 100kHz



Fonte: produção do autor

A Figura 37 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo SiC schottky, com frequência de comutação de 100kHz.

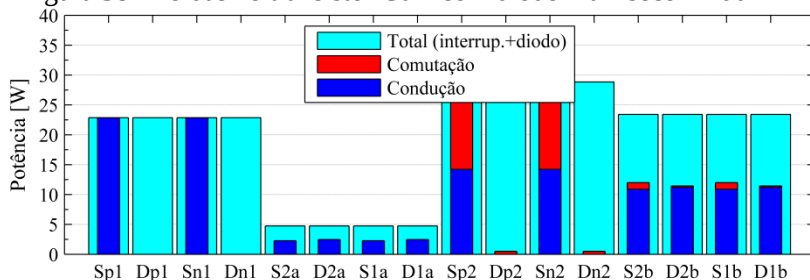
Figura 37 - Perdas no IGBT com diodo SiC schottky – 100kHz



Fonte: produção do autor

A Figura 38 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo de silício, com frequência de comutação de 100kHz.

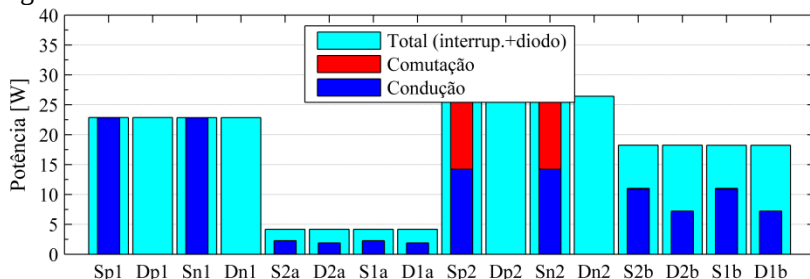
Figura 38 - Perdas no transistor GaN com diodo intrínseco – 100kHz



Fonte: produção do autor

A Figura 39 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo SiC, com frequência de comutação de 100kHz.

Figura 39 - Perdas no transistor GaN com diodo SiC – 100kHz



Fonte: produção do autor

Finalmente, a Tabela 13 apresenta os valores individuais de perdas para um determinado conjunto de semicondutor, interruptor + diodo, para que seja feita a análise dos conjuntos de semicondutores.

A Tabela 14 apresenta as perdas totais para os semicondutores que comutam em baixa e alta frequência e as perdas totais, destacando a solução com menores perdas.

Tabela 13 – Valores de perdas em Watts @ 100kHz em cada semicondutor (por exemplo: p1, indica as perdas para o interruptor Sp1 + diodo Dp1)

	Semicondutor							
	p1	n1	2a	1a	p2	n2	2b	1b
IGBT+Si	11,93	11,93	3,20	3,20	33,84	33,84	21,55	21,55
IGBT+SiC	11,92	11,92	4,24	4,24	19,17	19,17	18,29	18,29
GaN+Si	22,86	22,86	4,74	4,74	27,90	28,85	23,42	23,42
Gan+SiC	22,86	22,84	4,17	4,17	25,47	26,42	18,24	18,24

Fonte: produção do autor

Tabela 14 – Valores totais de perdas em Watts @ 100kHz (*BF, AF: semicondutores que comutam em baixa e alta frequência, respectiv.*); os valores em negrito representam o conjunto com as menores perdas

	TOT (BF)	TOT (AF)	TOTAL
IGBT+Si	<u>30,25</u>	110,78	141,03
IGBT+SiC	32,33	<u>74,92</u>	<u>107,24</u>
GaN+Si	55,19	103,59	158,77
Gan+SiC	54,05	88,36	142,41

Fonte: produção do autor

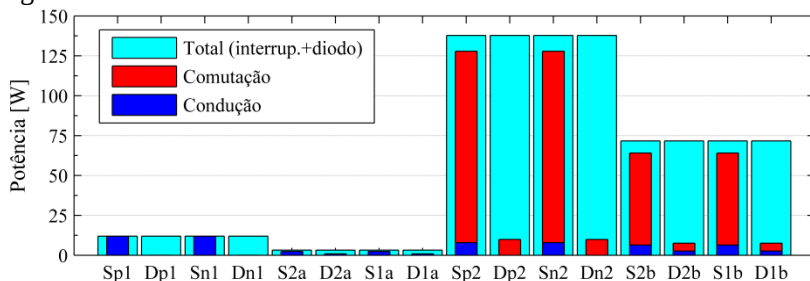
É possível verificar que, para a frequência de comutação de 100kHz, a configuração de IGBT com diodo SiC, novamente, resultou no menor somatório de perdas para o conversor, ou seja apresentando maior rendimento.

A seguir são apresentados os valores de perdas em Watts para 500kHz, posteriormente sendo feita a análise dos resultados.

4.1.3 Frequência de 500kHz

A Figura 40 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo interno, com frequência de comutação de 500kHz.

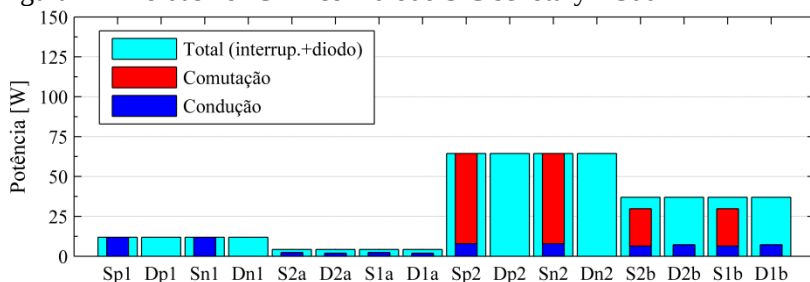
Figura 40 – Perdas no IGBT com diodo interno – 500kHz



Fonte: produção do autor

A Figura 41 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo SiC schottky, com frequência de comutação de 500kHz.

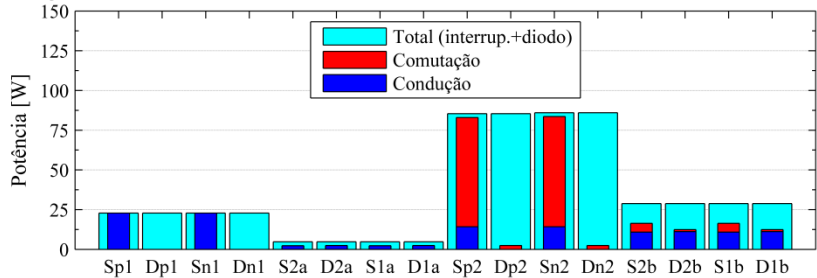
Figura 41 - Perdas no IGBT com diodo SiC schottky – 500kHz



Fonte: produção do autor

A Figura 42 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo de silício, com frequência de comutação de 500kHz.

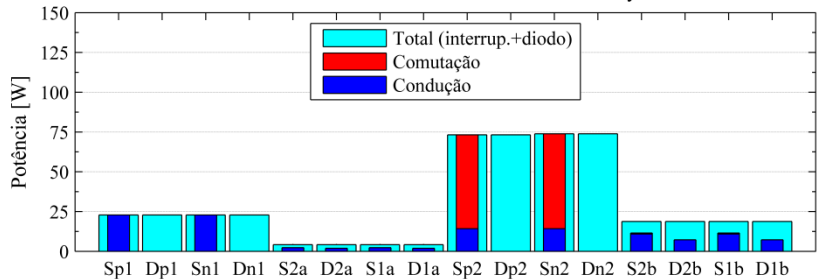
Figura 42 - Perdas no transistor GaN com diodo intrínseco – 500kHz



Fonte: produção do autor

A Figura 43 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo SiC, com frequência de comutação de 500kHz.

Figura 43 - Perdas no transistor GaN com diodo SiC – 500kHz



Fonte: produção do autor

Finalmente, a Tabela 15 apresenta os valores individuais de perdas para um determinado conjunto de semiconductor, interruptor + diodo.

A Tabela 16 apresenta as perdas totais para os semicondutores que comutam em baixa e alta frequência e as perdas totais, destacando a solução com menores perdas.

Elevando a frequência de comutação à 500kHz, percebe-se que a configuração de IGBT com diodo SiC e as configurações com transistor GaN começam a ficar com nível de perdas similar. Contudo, o IGBT com diodo SiC ainda resultou no menor somatório de perdas para o conversor, ou seja apresentando maior rendimento.

Tabela 15 – Valores de perdas em Watts @ 500kHz em cada semicondutor (por exemplo: p1, indica as perdas para o interruptor Sp1 + diodo Dp1)

	Semicondutor							
	p1	n1	2a	1a	p2	n2	2b	1b
IGBT+Si	11,93	11,93	3,20	3,20	137,76	137,76	71,67	71,67
IGBT+SiC	11,92	11,92	4,24	4,24	64,41	64,41	37,00	37,00
GaN+Si	22,86	22,86	4,74	4,74	85,40	86,00	28,80	28,80
Gan+SiC	22,86	22,84	4,17	4,17	73,25	73,85	18,76	18,76

Fonte: produção do autor

Tabela 16 – Valores totais de perdas em Watts @ 500kHz (BF, AF: semicondutores que comutam em baixa e alta frequência, respectiv.); os valores em negrito representam o conjunto com as menores perdas

	TOT (BF)	TOT (AF)	TOTAL
IGBT+Si	<u>30,25</u>	418,87	449,12
IGBT+SiC	32,33	202,81	<u>235,14</u>
GaN+Si	55,19	228,99	284,17
Gan+SiC	54,05	<u>184,60</u>	238,65

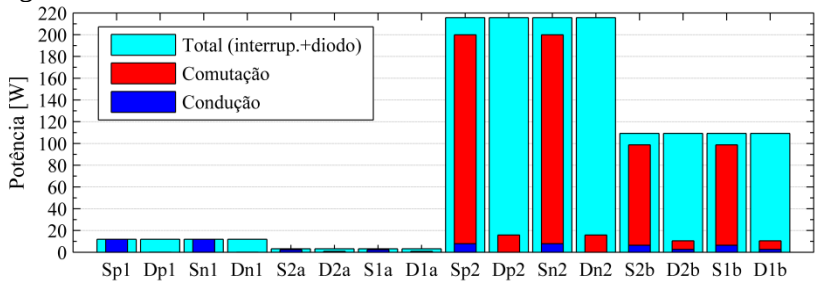
Fonte: produção do autor

A seguir são apresentados os valores de perdas em Watts para 800kHz de frequência de comutação.

4.1.4 Frequência de 800kHz

A Figura 44 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo interno, com frequência de comutação de 800kHz.

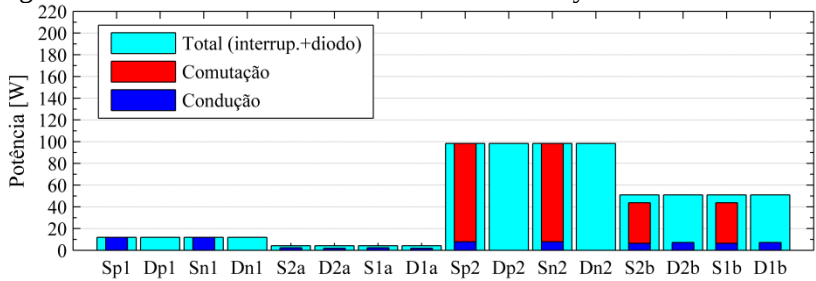
Figura 44 – Perdas no IGBT com diodo interno – 800kHz



Fonte: produção do autor

A Figura 45 apresenta a perda em Watts em cada transistor e diodo para a configuração IGBT com diodo SiC schottky, com frequência de comutação de 800kHz.

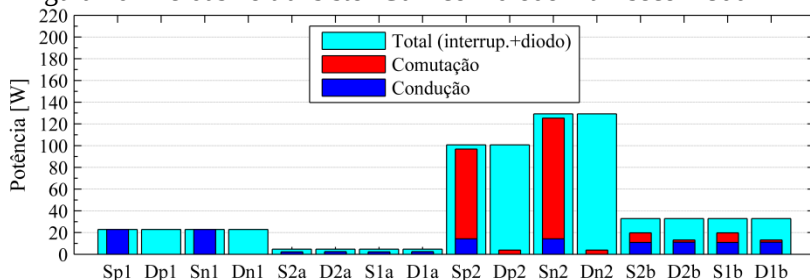
Figura 45 - Perdas no IGBT com diodo SiC schottky – 800kHz



Fonte: produção do autor

A Figura 46 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo de silício, com frequência de comutação de 800kHz.

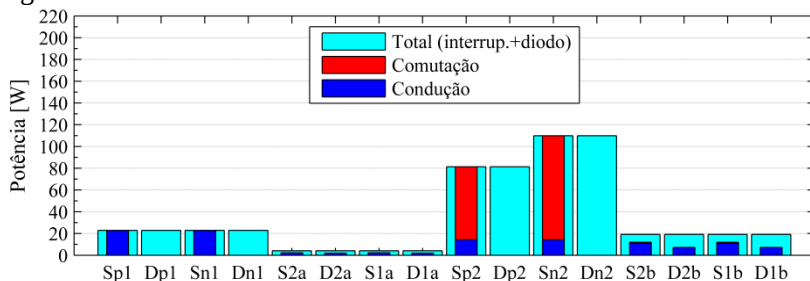
Figura 46 - Perdas no transistor GaN com diodo intrínseco – 800kHz



Fonte: produção do autor

A Figura 47 apresenta a perda em Watts em cada transistor e diodo para a configuração GaN com diodo SiC, com frequência de comutação de 800kHz.

Figura 47 - Perdas no transistor GaN com diodo SiC – 800kHz



Fonte: produção do autor

Finalmente, a Tabela 17 apresenta os valores individuais de perdas para um determinado conjunto de semicondutor, interruptor + diodo.

A Tabela 18 apresenta as perdas totais para os semicondutores que comutam em baixa e alta frequência e as perdas totais, destacando a solução com menores perdas. Elevando ainda mais a frequência de comutação à 800kHz, percebe-se que a configuração de transistor GaN com diodo SiC ficou, pela primeira vez, com menores perdas. À partir desta frequência de comutação, as perdas por comutação se tornam cada vez mais relevantes e somente os semicondutores mais rápidos conseguem manter as perdas reduzidas.

Tabela 17 – Valores de perdas em Watts @ 800kHz em cada semicondutor (*por exemplo: p1, indica as perdas para o interruptor Sp1 + diodo Dp1*)

	Semicondutor							
	p1	n1	2a	1a	p2	n2	2b	1b
IGBT+Si	11,93	11,93	3,20	3,20	215,70	215,70	109,26	109,26
IGBT+SiC	11,92	11,92	4,24	4,24	98,34	98,34	51,02	51,02
GaN+Si	22,86	22,86	4,74	4,74	100,76	129,28	32,83	32,83
Gan+SiC	22,86	22,84	4,17	4,17	81,32	109,84	19,14	19,14

Fonte: produção do autor

Tabela 18 – Valores totais de perdas em Watts @ 800kHz (*BF, AF: semicondutores que comutam em baixa e alta frequência, respectivamente*); os valores em negrito representam o conjunto com as menores perdas

	TOT (BF)	TOT (AF)	TOTAL
IGBT+Si	<u>30,25</u>	649,92	680,17
IGBT+SiC	32,33	298,73	331,06
GaN+Si	55,19	295,71	350,89
Gan+SiC	54,05	<u>229,45</u>	<u>283,50</u>

Fonte: produção do autor

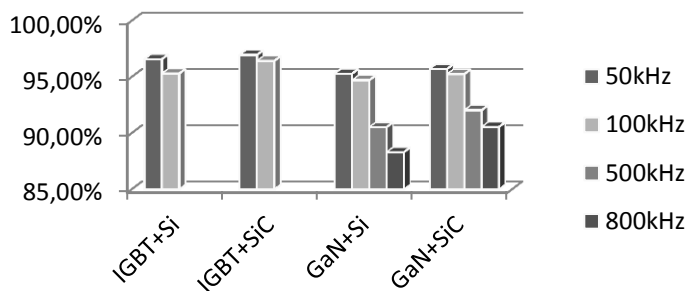
4.1.5 Comparativo entre frequências de comutação

Por fim, a Figura 48 mostra a comparação entre todas as combinações de semicondutores analisadas teoricamente e para todas as frequências calculadas.

Para o IGBT utilizado, pode ser imposta uma restrição de que os tempos de subida e descida da corrente e tensão coletor-emissor (que são de 42ns e 62 ns, respectivamente) devem corresponder à no máximo 2% do período de comutação, é possível atribuir ao IGBT utilizado, IRG4PC50W da International Rectifier, uma frequência máxima de comutação de 200kHz. Deste modo, como os tempos de comutação representam uma parcela maior que 2% do período de comutação para

500kHz e 800kHz, a comparação para o IGBT é restringida à 50kHz e 100kHz.

Figura 48 - Rendimento para as diferentes combinações de semicondutores com diferentes frequências de operação



Fonte: produção do autor

4.2 RENDIMENTO PONDERADO

Esta seção apresenta o cálculo do rendimento ponderado para o caso da aplicação do conversor em um sistema de geração de energia solar fotovoltaica conectado à rede.

O rendimento é calculado para frequência de comutação de 40kHz (40020Hz) e para 80kHz (80020Hz), que são as duas configurações de frequência de comutação para as quais foi realizada a experimentação, apresentada no capítulo 6.

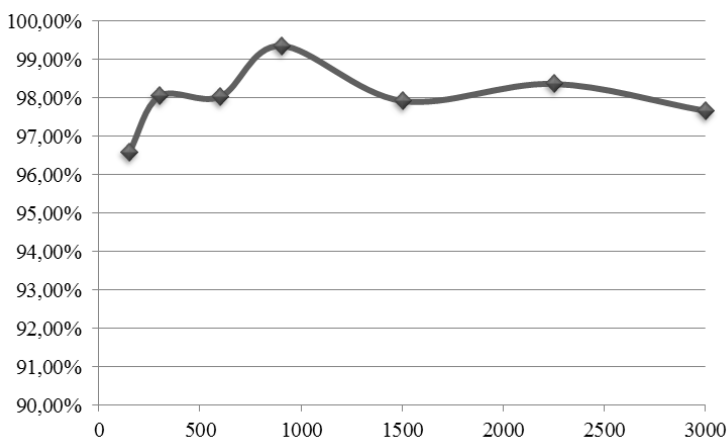
Os semicondutores utilizados nos cálculos são o IGBT modelo IRG4PC50W e o diodo de silício modelo HFA15PB60.

São consideradas também as perdas no indutor e nos capacitores do barramento do conversor experimentado, calculadas de acordo com o Anexo D.

4.2.1 Rendimento em 40kHz

A Figura 50 apresenta o rendimento para o conversor operando em 40kHz.

Figura 49 - Rendimento @ 40kHz; escala do eixo x em Watts



Fonte: produção do autor

Conforme apresentado no capítulo 4, as rendimentos ponderadas são uma boa ferramenta para avaliar o rendimento de um conversor para a aplicação fotovoltaica. As Tabelas 16-18 apresentam o rendimento ponderado calculado à partir das perdas teóricas.

Tabela 19 - Rendimento (Euro) teórico @ 40kHz

P%	Euro - Teórico		
	Rendimento	Peso	Resultado
5	96,59%	3	2,90
10	98,05%	6	5,88
20	98,03%	13	12,74
30	99,36%	10	9,94
50	97,93%	48	47,00
75	98,37%	NP	0,00
100	97,67%	20	19,53

(NP = não ponderado)

Fonte: produção do autor

Tabela 20 - Rendimento (CEC) teórico @ 40kHz

P%	CEC - Teórico		
	Rendimento	Peso	Resultado
5	96,59%	NP	0,00
10	98,05%	4	3,92
20	98,03%	5	4,90
30	99,36%	12	11,92
50	97,93%	21	20,56
75	98,37%	53	52,14
100	97,67%	5	4,88

(NP = não ponderado)

Fonte: produção do autor

Tabela 21 - Rendimento (BR) teórico @ 40kHz

P%	BR - Teórico			
	Rendimento	Peso	Resultado	
5	96,59%	NP	0,00	98,01
10	98,05%	2	1,96	
20	98,03%	2	1,96	
30	99,36%	4	3,97	
50	97,93%	12	11,75	
75	98,37%	32	31,48	
100	97,67%	48	46,88	

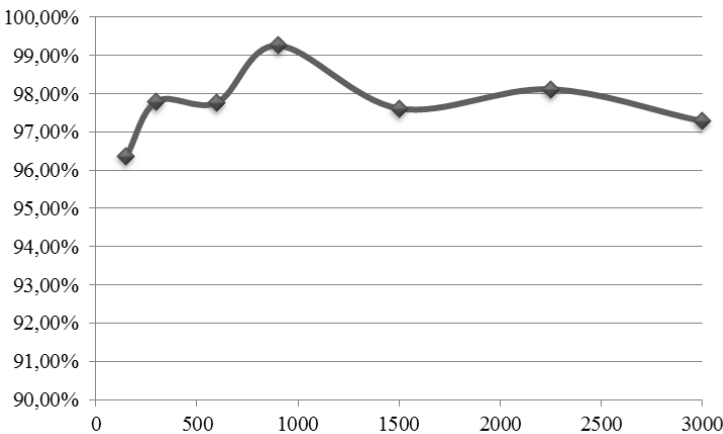
(NP = não ponderado)

Fonte: produção do autor

4.2.2 Rendimento em 80kHz

A Figura 51 apresenta o rendimento para o conversor operando em 80kHz.

Figura 50 - Rendimento @ 80kHz; escala do eixo x em Watts



Fonte: produção do autor

Conforme apresentado no capítulo 4, os rendimentos ponderados são uma boa ferramenta para avaliar o rendimento de um conversor para a aplicação fotovoltaica. As Tabelas 19-21 apresentam o rendimento ponderado calculado à partir das perdas teóricas.

Tabela 22 - Rendimento (BR) teórico @ 80kHz

P%	Euro - Teórico		
	Rendimento	Peso	Resultado
5	96,35%	3	2,89
10	97,80%	6	5,87
20	97,77%	13	12,71
30	99,26%	10	9,93
50	97,62%	48	46,86
75	98,12%	NP	0,00
100	97,28%	20	19,46
			97,71

(NP = não ponderado)

Fonte: produção do autor

Tabela 23 - Rendimento (CEC) teórico @ 80kHz

P%	CEC - Teórico		
	Rendimento	Peso	Resultado
5	96,35%	NP	0,00
10	97,80%	4	3,91
20	97,77%	5	4,89
30	99,26%	12	11,91
50	97,62%	21	20,50
75	98,12%	53	52,00
100	97,28%	5	4,86
			98,08

(NP = não ponderado)

Fonte: produção do autor

Tabela 24 - Rendimento (BR) teórico @ 80kHz

P%	BR - Teórico		
	Rendimento	Peso	Resultado
5	96,35%	NP	0,00
10	97,80%	2	1,96
20	97,77%	2	1,96
30	99,26%	4	3,97
50	97,62%	12	11,71
75	98,12%	32	31,40
100	97,28%	48	46,69

(NP = não ponderado)

Fonte: produção do autor

4.3 CONCLUSÃO

A partir da seção 5.1 é possível concluir que a configuração IGBT + diodo de silício apresenta as maiores perdas, devido à recuperação reversa do diodo e maiores perdas de comutação. A configuração IGBT + diodo SiC apresenta ganhos significativos em perdas de comutação, uma vez que este diodo não sofre com o efeito da recuperação reversa. A configuração GaN + diodo de silício apresenta reduzidas perdas de comutação, no entanto, apresenta maiores perdas de condução. Desta forma, sua vantagem começa a aparecer para elevadas frequências de comutação, acima de 800kHz. A configuração GaN + diodo SiC, de modo similar apresenta reduzidas perdas de comutação, no entanto, apresenta maiores perdas de condução. Desta forma, sua vantagem começa a aparecer para elevadas frequências de comutação, acima de 800kHz.

5 RESULTADOS EXPERIMENTAIS

Os resultados experimentais foram obtidos através da utilização de um protótipo experimental com potência de 3kVA. As demais características relevantes deste conversor são apresentadas na Tabela 25.

A Figura 51 “a”) apresenta o lado superior da placa principal do protótipo experimental. Nela é possível ver o indutor do filtro de saída, na parte central superior, dois dos capacitores do arranjo do barramento, os quatro conjuntos de *drivers* duplos que comanda os interruptores, na parte central da placa, dois à direita e dois à esquerda, além das fontes isoladas para os *drivers*, uma à esquerda e outra à direita, sendo que cada uma delas possui quatro saídas isoladas entre si.

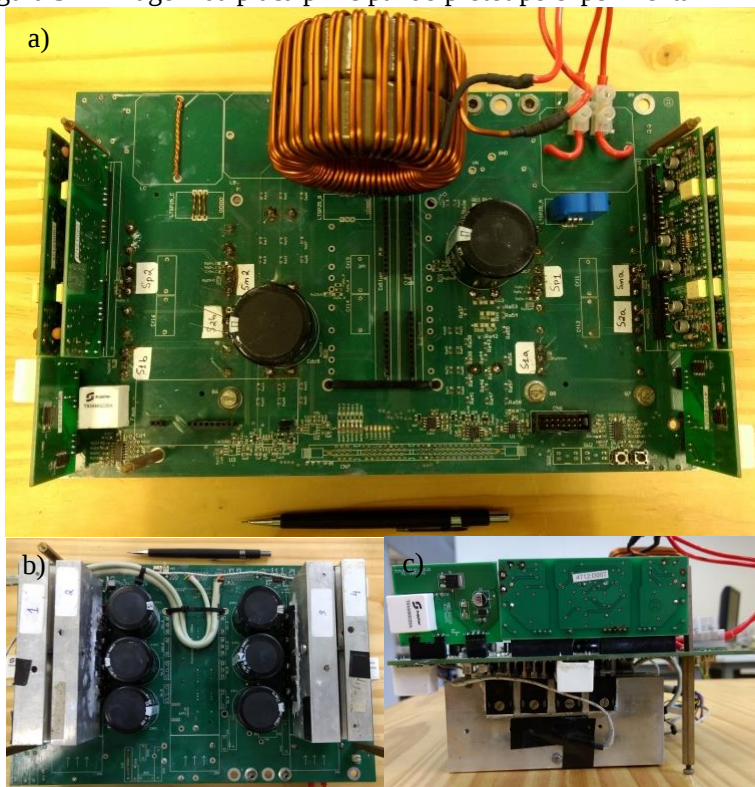
A Figura 51 “b”) mostra o lado inferior da placa principal, com os demais seis capacitores de barramento, que estão associados aos dois capacitores no lado superior. Nela também aparecem os dissipadores de alumínio, nos quais estão conectados os semicondutores de potência. A Figura 51 “c”) mostra a vista lateral do protótipo. É possível ver a conexão dos semicondutores (interruptores e diodos) ao dissipador, na parte inferior, e uma fonte auxiliar e um dos *drivers* na parte superior.

Tabela 25 – Parâmetros do protótipo experimental

Parâmetro	Descrição	Valor	Unidade
P_o	Potência nominal de saída	3,0	kVA
V_o	Tensão nominal de saída (RMS)	220	V
I_o	Corrente nominal de saída (RMS)	13,64	A
C_{in}	Capacitância equivalente do filtro de entrada	750	μF
L_o	Indutância do filtro de saída	900	μH
V_{in}	Tensão total de entrada nominal	360	V
R_{th-d}	Resistência térmica de cada dissipador (quatro no total)	4,18	$^{\circ}C/W$

Fonte: produção do autor

Figura 51 - Imagem da placa principal do protótipo experimental

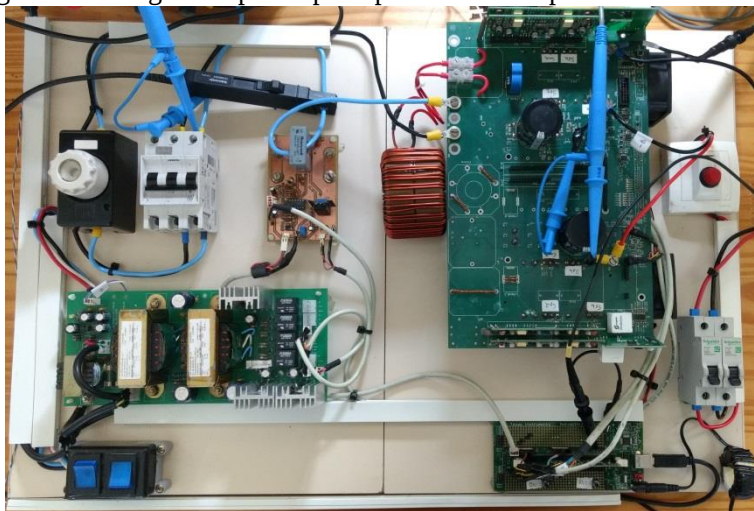


Fonte: produção do autor

A Figura 52 apresenta o protótipo experimental completo, com os disjuntores para seccionamento da entrada CC, da saída CA, a placa de aquisição da leitura de corrente de saída, a placa de fonte auxiliar, os fusíveis de proteção CC e CA e também a placa de comunicação do DSP.

O controle digital foi realizado em um processador digital de sinais (DSP). Conforme visto anteriormente, o controlador projetado no domínio contínuo, no plano w , foi transformado para um controlador no domínio das amostras e, então, isolado como uma equação à diferenças discretas. Foi então proposto um controlador ressonante.

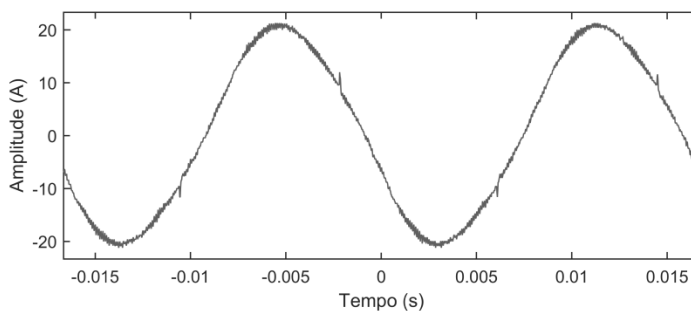
Figura 52 - Imagem do protótipo experimental completo



Fonte: produção do autor

O controle ressonante teve boa resposta no rastreamento da referência senoidal. O controle teve erro aproximadamente nulo de amplitude e fase em regime permanente. A Figura 52 apresenta a forma de onda da corrente de saída, para a potência nominal, com a frequência de comutação de 80kHz.

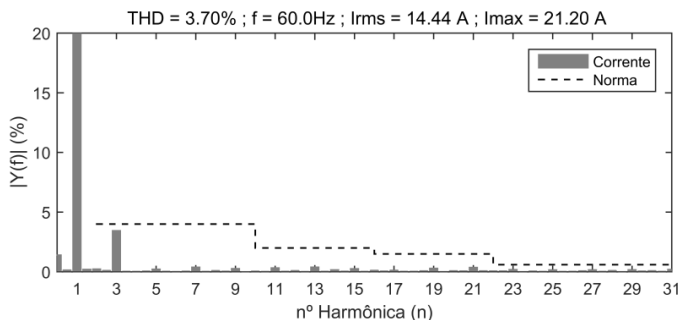
Figura 53 Corrente de saída (potência nominal, tensão nominal)



Fonte: produção do autor

A Figura 51 apresenta a amplitude percentual das componentes harmônicas da corrente de saída comparadas com os limites da norma fotovoltaica NBR16149.

Figura 54 Amplitude percentual das componentes harmônicas da corrente de saída; limites da norma fotovoltaica NBR16149



Fonte: produção do autor

É possível, contudo, notar picos de corrente nas transições de nível do conversor, quando a modulação transita de três níveis para cinco níveis e também quando transita de cinco níveis para três níveis. Ele pode ser derivado de elementos parasitas do circuito ou de um comportamento indesejado da modulação escolhida no momento da troca de níveis.

Já na Figura 54 é possível observar a amplitude absoluta das componentes harmônicas da corrente para potência nominal. A figura também apresenta os limites de amplitude das componentes harmônicas para a norma Brasileira de energia solar fotovoltaica, NBR16149. É possível ver que todas as componentes ficaram dentro da norma, com a terceira harmônica ficando mais próxima do limite. A THD ficou em 3,70%, sendo que a norma estabelece o limite de 5%.

5.1 PERDAS EXPERIMENTAIS

As medições foram realizadas com wattímetro Tektronix com modelo PA4000. O equipamento tem erro de medição de 0,01%. Os resultados foram obtidos para duas frequências diferentes, de modo à avaliar o comportamento dos semicondutores e obter análise com relação aos valores de perdas.

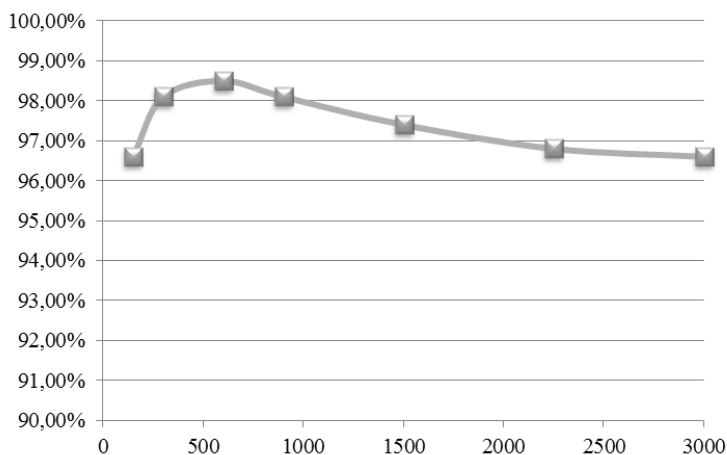
Os semicondutores utilizados na experimentação são o IGBT modelo IRG4PC50W e o diodo de silício modelo HFA15PB60. Assim como nos na seção de resultados teóricos, também são calculados os rendimentos ponderados.

No conversor, o circuito de fontes auxiliares está alimentado através de uma fonte externa, não sendo computadas no cálculo do rendimento. As perdas mencionadas, portanto, se referem às perdas no circuito de potência, mais especificamente nos IGBTs, nos diodos, nos capacitores e no indutor de saída. Neste caso, o rendimento também contabiliza as perdas em cabos e nas trilhas.

5.1.1 Perdas com 40kHz

A Figura 55 apresenta as perdas para o semicondutor com frequência de comutação em 40kHz.

Figura 55 Perdas no conversor @ 40kHz; escala do eixo x em Watts



Fonte: produção do autor

De forma similar aos resultados apresentados no capítulo 5, são apresentadas as Tabelas 22-24, com o cálculo do rendimento ponderado Europeu, Californiano e Brasileiro.

Tabela 26 - Rendimento (Euro) experimental @ 40kHz

P%	Euro - Experimental		
	Rendimento	Peso	Resultado
5	96,60%	3	2,90
10	98,10%	6	5,89
20	98,50%	13	12,81
30	98,10%	10	9,81
50	97,40%	48	46,75
75	96,80%	0	0,00
100	96,60%	20	19,32

(NP = não ponderado)

Fonte: produção do autor

Tabela 27 - Rendimento (CEC) experimental @ 40kHz

P%	CEC - Experimental		
	Rendimento	Peso	Resultado
5	96,60%	0	0,00
10	98,10%	4	3,92
20	98,50%	5	4,93
30	98,10%	12	11,77
50	97,40%	21	20,45
75	96,80%	53	51,30
100	96,60%	5	4,83

(NP = não ponderado)

Fonte: produção do autor

Tabela 28 - Rendimento (BR) experimental @ 40kHz

P%	BR - Experimental		
	Rendimento	Peso	Resultado
5	96,60%	0	0,00
10	98,10%	2	1,96
20	98,50%	2	1,97
30	98,10%	4	3,92
50	97,40%	12	11,69
75	96,80%	32	30,98
100	96,60%	48	46,37

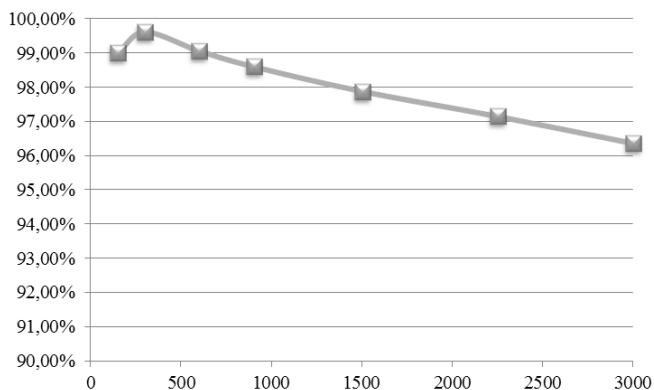
(NP = não ponderado)

Fonte: produção do autor

5.1.2 Perdas com 80kHz

A Figura 56 apresenta as perdas para frequência de comutação em 80kHz.

Figura 56 Perdas no conversor @ 80kHz; escala do eixo x em Watts



Fonte: produção do autor

Mais uma vez, de forma silimar aos resultados apresentados no capítulo 5, são apresentadas as Tabelas 25-27, com o cálculo do rendimento ponderado Europeu, Californiano e Brasileiro.

Tabela 29 - Rendimento (Euro) experimental @ 80kHz

P%	Euro - Experimental			
	Rendimento	Peso	Resultado	
5	99,00%	3	2,97	
10	99,61%	6	5,98	
20	99,06%	13	12,88	
30	98,60%	10	9,86	97,94
50	97,88%	48	46,98	
75	97,15%	0	0,00	
100	96,36%	20	19,27	

(NP = não ponderado)

Fonte: produção do autor

Tabela 30 - Rendimento (CEC) experimental @ 80kHz

P%	CEC - Experimental			
	Rendimento	Peso	Resultado	
5	99,00%	0	0,00	
10	99,61%	4	3,98	
20	99,06%	5	4,95	
30	98,60%	12	11,83	97,63
50	97,88%	21	20,55	
75	97,15%	53	51,49	
100	96,36%	5	4,82	

(NP = não ponderado)

Fonte: produção do autor

Tabela 31 - Rendimento (BR) experimental @ 80kHz

P%	BR - Experimental		
	Rendimento	Peso	Resultado
5	99,00%	0	0,00
10	99,61%	2	1,99
20	99,06%	2	1,98
30	98,60%	4	3,94
50	97,88%	12	11,75
75	97,15%	32	31,09
100	96,36%	48	46,25

(NP = não ponderado)

Fonte: produção do autor

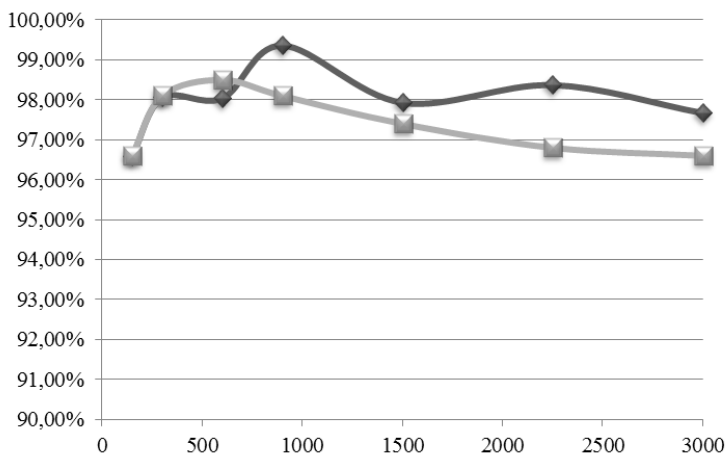
5.2 COMPARATIVO COM PERDAS TEÓRICAS

Nesta seção, as perdas teóricas calculadas e as perdas obtidas na experimentação são comparadas em um mesmo gráfico, apresentadas na forma de rendimento. A configuração de semicondutores utilizada é a de IGBT com diodo Si.

5.2.1 Rendimento com 40kHz

A Figura 59 apresenta o rendimento para 40kHz. Percebe-se que os valores experimentais de rendimento ficaram abaixo dos calculados, para a maior parte dos pontos de potência, e praticamente iguais para 2 pontos.

Figura 57 - Rendimento experimental (quad.) versus teórica (triâng.); escala do eixo x em Watts

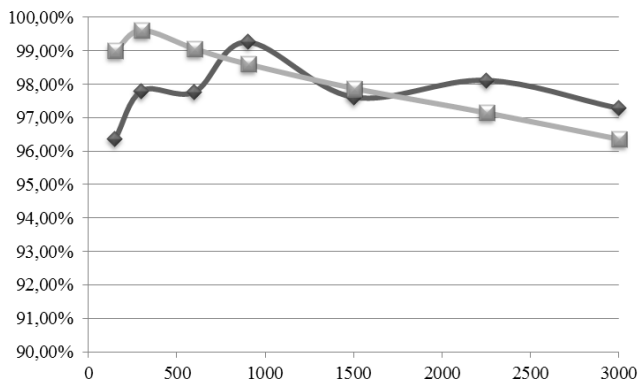


Fonte: produção do autor

5.2.2 Perdas com 80kHz

A Figura 60 apresenta o rendimento para 40kHz. Percebe-se que os valores experimentais de rendimento ficaram abaixo dos calculados, para os pontos de potência mais elevada, e ficaram acima dos valores teóricos para as potências menores, abaixo de 600W.

Figura 58 - Rendimento experimental (quad.) *versus* teórica (triâng.); escala do eixo x em Watts



Fonte: produção do autor

5.3 CONCLUSÃO

Os valores de perdas experimentais e teóricos mantiveram tendência e comportamento similar nas diferentes regiões de potência de operação, com o comportamento de ter um rendimento menor em baixa potência, uma elevação de rendimento até um rendimento máximo, em média potência, finalizando com o rendimento decaindo até a potência nominal.

Pode se avaliar, também, que tais valores divergiram em parte dos valores previstos em teoria. Para a frequência de comutação de 40kHz, a diferença máxima encontrada foi de 1,2%, na medição em 900W. Já em 80kHz, a maior diferença ocorreu para 150W, com uma diferença de 2,7%. A diferença de rendimento para a os demais pontos ficou abaixo de 1%.

6 CONCLUSÃO

Uma malha de controle foi projetada para controlar a corrente de saída do conversor, com objetivo de obter estabilidade e erro de regime permanente nulo, atendendo à necessidade de se conectar o conversor à rede, para posterior cálculo das suas perdas. Destaque-se, também, a contribuição do trabalho ao empregar o controle digital do conversor, implementado em controlador digital de sinais com equações à diferenças discretas, como uma contribuição em relação ao trabalho anterior com o conversor T-Type NPC na UDESC.

Com relação aos cálculos de perdas, analisando as perdas para a configuração GaN + diodo de silício, verifica-se que esta apresenta reduzidas perdas de comutação, no entanto, apresenta maiores perdas de condução, se comparada com as configurações que utilizam IGBT. Desta forma, sua vantagem começa a aparecer para frequências de comutação mais elevadas, sendo neste trabalho acima de 800kHz. A configuração GaN + diodo SiC, de modo similar, apresenta reduzidas perdas de comutação, no entanto, apresenta maiores perdas de condução. Desta forma, sua vantagem começa a aparecer para elevadas frequências de comutação, acima de 800kHz. Deve-se citar, também, que o IGBT utilizado, através da restrição imposta na seção 4.3, tem sua frequência de comutação limitada em 190kHz.

Já o transistor GaN teve seu melhor desempenho em frequências elevadas não se condigura em uma vantagem, uma vez que foram obtidos níveis de rendimento na casa de 90% para o componente TPH3006PS da fabricante Transphorm, o que se configura em um baixo nível de rendimento. Outros trabalhos, como (KIM, LEE, *et al.*, 2016) e (BAIHUA, KEWEI, *et al.*, 2016) obtiveram rendimentos da ordem de 99% empregando o transistores GaN. Deste modo, este transistor GaN aplicado neste trabalho se mostrou não adequado para a topologia deste trabalho.

Com a análise da seção 5.2 é possível concluir que os rendimentos ponderados fornecem uma imagem do rendimento do conversor em um determinado padrão de utilização, com relação à sua potência nominal. De maneira geral, os rendimentos calculados para a frequência de operação em 40kHz ficaram com valores maiores do que com 80kHz. Isso ocorre porque, nesta última, as perdas de comutação são mais expressivas.

Pode ser afirmado que, do ponto de vista metodológico, a medição individualizada das perdas nos semicondutores, que não foi realizada, medindo a tensão e corrente sendo comutadas em um dado

interruptor, possibilitaria uma comparação mais acertiva entre os valores calculados de perdas individuais nos semicondutores e os valores experimentais, sendo complementada, posteriormente, pela medição do rendimento global do conversor. Contudo, não foi realizada a medição individualizada neste trabalho. Esta medição fica como um trabalho futuro.

Além disso, outro trabalho futuro consiste na medição das perdas experimentais para a configuração de semicondutores de IGBT com diodo de Carboneto de Silício, para a qual foi feita a análise teórica, porém, até o momento do fechamento deste trabalho não foi realizada tal medição em bancada experimental.

REFERÊNCIAS

ABINEE. **Propostas para Inserção da Energia Solar Fotovoltaica na Matriz Elétrica Brasileira**. [S.l.]: Associação Brasileira da Indústria Eletroeletrônica, 2012.

ABNT. **NBR IEC 62116 - Procedimento de ensaio de anti-ilhamento para inversores de sistemas fotovoltaicos conectados à rede elétrica**. [S.l.]. 2012.

ABNT. **NBR 16149 - Sistemas fotovoltaicos (FV) – Características da interface de conexão com a rede elétrica de distribuição**. [S.l.]. 2013.

ABNT. **NBR 16150 - Sistemas fotovoltaicos (FV) — Características da interface de conexão com a rede elétrica de distribuição — Procedimento de ensaio de conformidade**. [S.l.]. 2013.

ANEEL. **Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST**. [S.l.]. 2016. (rev. 7 - 01/01/2016).

BAIHUA , Z. et al. Conducted Noise Reduction of Totem-pole Bridgeless PFC Converter Using GaN HEMTs. **Telecommunications Energy Conference (INTELEC), 2015 IEEE International**, 2016.

BASSO, T. IEEE 1547 Series of Standards interconnection issues. **IEEE TRANSACTIONS ON POWER ELECTRONICS**, 2004.

BELLINASSO, L. V. **Metodologia de Projeto de Inversores para Redução do Custo de Sistemas Fotovoltaicos**. Santa Maria: Dissertação de Mestrado, 2014.

BRIERE, M. A. GaN-based power devices offer game-changing potential in power-conversion electronics, 2008.

COCCIA, A. et al. **Five-level inverter**. 09154085.6, 8 September 2010.

CREE. **Selection Guide of SiC Schottky Diode in CCM PFC Applications**. [S.l.]. 2012.

CREE, INC. **C3D10060A rev. C**. [S.l.]. 2013.

DEMONTI, R. **Processamento da Energia Elétrica Proveniente de Módulos Fotovoltaicos**. Florianópolis: Tese de Doutorado, 2003.

DRAGOMIR, T. L. **Comparative Analysis of Identification Methods of the Photovoltaic Panel Characteristics**. [S.l.]: [s.n.]. 2010.

EUROPE, P. E. M. How 600 V GaN Transistors Improve Power Supply Efficiency and Density, n. March, 2015.

FAIRCHILD. **New Generation Super-Junction MOSFETs**. Application Note. [S.l.]. 2013.

GOETZBERGER, A.; HOFFMANN, V. **Photovoltaic Solar Energy Generation**. Freiburg: [s.n.], 2005.

GONZALEZ, S. R. et al. **Single-phase inverter circuit for conditioning and converting dc electrical energy into ac electrical energy**. WO2008015298, 7 February 2008.

GRAOVAC, D.; PÜRSCHEL, M. **IGBT Power Losses Calculation**. [S.l.]. 2009.

GRAOVAC, D.; PÜRSCHEL, M.; KIEP, A. **MOSFET Power Losses Calculation Using the Data-Sheet Parameters**. [S.l.]. 2006.

GUBÃA, E. et al. Ground currents in single-phase transformerless photovoltaic systems. **Progress in Photovoltaics: Research and Applications**, v. 15, n. 7, p. 629-650, 2007. ISSN 1099-159X DOI: 10.1002/pip.761.

HEERDT, J. A. **Carga Eletrônica Ativa Trifásica**. Tese (Doutorado) Universidade Federal de Santa Catarina. Florianópolis. 2013.

HUANG, X. et al. Analytical Loss Model of High Voltage GaN HEMT in Cascode Configuration. **IEEE TRANSACTIONS ON POWER ELECTRONICS**, 2014.

IEC. **IEC 60364 - Part 7-712 Requirements for special installations or locations - solar photovoltaic (PV) supply systems**. International Electrotechnical Commission (IEC). [S.l.]. 2002.

IEC. 61727 - Photovoltaic (PV) systems – Characteristics of the utility interface. International Electrotechnical Commission. [S.l.]. 2004.

IEC. 62109 Safety of power converters for use in photovoltaic power systems – Part 1: General requirements. International Electrotechnical Commission. [S.l.]. 2010.

IEC. IEC62116 - Utility-interconnected photovoltaic inverters – Test procedure of islanding prevention measures. International Electrotechnical Commission. [S.l.]. 2014.

KEREKES, T. et al. A New High-Efficiency Single-Phase Transformerless PV Inverter Topology. **Industrial Electronics, IEEE Transactions on**, v. 58, n. 1, p. 184-191, jan 2011. ISSN 0278-0046 DOI: 10.1109/TIE.2009.2024092.

KIM, J.-S. et al. High Efficient Bridgeless Three-Level Power Factor Correction Rectifier. **IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS**, 2016.

LAY-EKUAKILLE, A. **EXPERIMENTAL SETUP FOR MULTIPARAMETRIC CHARACTERIZATION OF PHOTOVOLTAIC PANELS.** AFRICON. [S.l.]: [s.n.]. 2009.

MILLER, S. K. T. Retificador Trifásico Isolado com Fator de Potência Unitário Baseado no Transformador Scott. Florianópolis: [s.n.], 2004.

NOGUEIRA, C. E. C. **DIMENSIONAMENTO DE SISTEMAS INTEGRADOS DE ENERGIA EM AMBIENTES RURAIS.** Florianópolis: Tese de Doutorado, 2004.

NXP SEMI. Understanding power MOSFET data sheet parameters. **Application Note AN11158**, 4 fev. 2014.

PINTO NETO, A. **QUALIFICAÇÃO E ETIQUETAGEM DE INVERSORES PARA SISTEMAS FOTOVOLTAICOS CONECTADOS À REDE.** São Paulo: Universidade de São Paulo, 2012.

PINTO NETO, A.; ALMEIDA, M.; ZILLES, R. **EFICIÊNCIA BRASILEIRA DE INVERSORES PARA SISTEMAS**

FOTOVOLTAICOS CONECTADOS À REDE. **Avances en Energías Renovables y Medio Ambiente**, 2011.

RECHT, F.; HUANG, Z.; WU, Y. **Characteristics of Transphorm GaN Power Switches**. Transphorm Inc.

REN, Y. et al. Analytical Loss Model of Power MOSFET. **IEEE TRANSACTIONS ON POWER ELECTRONICS**, March 2006.

SCHMIDT, H.; SIEDLE, C.; KETTERER, J. **DC/AC converter to convert direct electric voltage into alternating voltage or into alternating current**. US Patent 7,046,534, 16 maio 2006.

SEDRA, A.; SMITH, K. **Microeletrônica**. [S.l.]: Pearson, 2007.

SEGUEL, J. I. L. **Projeto de um Sistema Fotovoltaico Autonomo de suprimento de energia usando técnica MPPT e controle digital**. Belo Horizonte: Universidade Federal de Minas Gerais, 2009.

SHAN XU, Q. et al. **Hybrid behaviors analysis of photovoltaic array performance**. Machine Learning and Cybernetics, 2009 International Conference on. [S.l.]: [s.n.]. July 2009. p. 3448-3456.

SILVA, T. L. **ESTUDO DO INVERSOR MONOFÁSICO NPC T-TYPE DE CINCO NÍVEIS PARA PROCESSAMENTO DE ENERGIA SOLAR FOTOVOLTAICA**. [S.l.]: Universidade do Estado de Santa Catarina, 2014.

SPAGNUOLO, G. et al. Renewable Energy Operation and Conversion Schemes: A Summary of Discussions During the Seminar on Renewable Energy Systems. **Industrial Electronics Magazine, IEEE**, v. 4, n. 1, p. 38-51, march 2010. ISSN 1932-4529 DOI: 10.1109/MIE.2010.935863.

TEODORESCU, R.; LISERRE, M.; RODRÍGUEZ, P. **Grid Converters for Photovoltaic and Wind Power Systems**. [S.l.]: John Wiley and Sons, 2011.

TRANSPHORM. **Designing Hard-switched Bridges with GaN**, 2014.

UWE, D.; KOLAR, J. W. **A General Scheme for Calculating Switching- and Conduction Losses of Power Semiconductors in Numerical Circuits Simulations of Power Electronics Systems**, 2005.

VERA, L. H. **Programa Computacional Para Dimensionamento e Simulacao de Sistemas Fotovoltaicos Autonomos**. Porto Alegre: Dissertação de Mestrado, 2004.

VICTOR, M. et al. **Method of converting a direct current voltage from a source of direct current voltage, more specifically from a photovoltaic couse of direct current voltage, into a alternating current voltage**, 29 dec 2005. US Patent App. 11/154,094.

WANG, W. et al. Losses Comparison of Gallium Nitride and Silicon Transistors in a High Frequency Boost Converter. **CIPS**, n. ISBN 978-3-8007-3578-5, p. Germany, 2014.

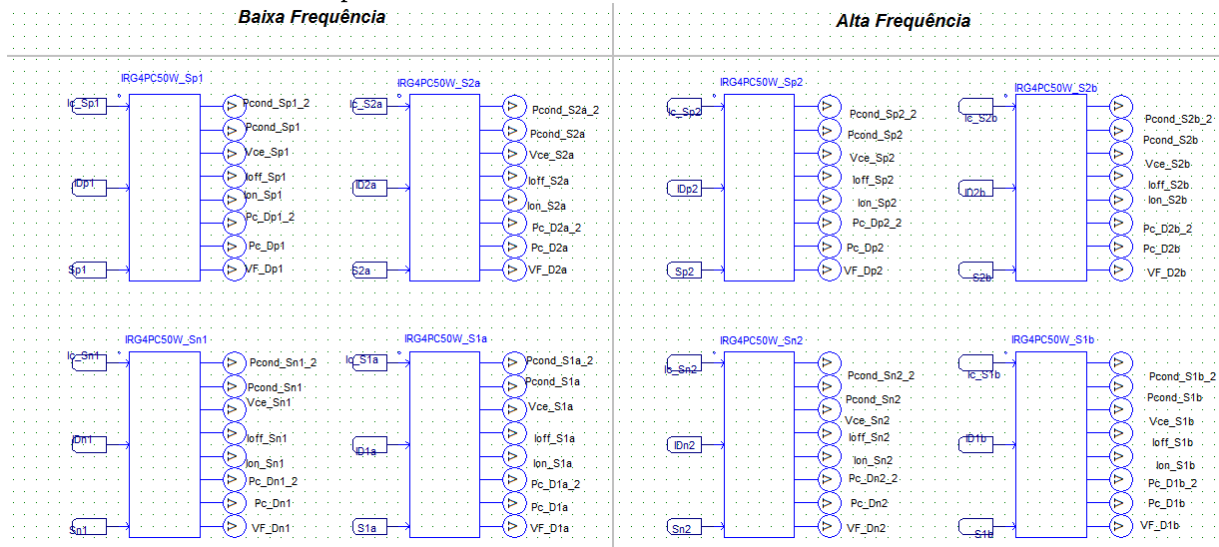
WANG, W. et al. Losses Comparison of Gallium Nitride and Silicon Transistors in a High Frequency Boost Converter. **CIPS 2014**, Berlin.

ZIMANN, J. **SISTEMA DE CONTROLE DE POTÊNCIA ATIVA E REATIVA PARA A REGULAÇÃO DE TENSÃO EM REDES DE DISTRIBUIÇÃO DE BAIXA TENSÃO**. Joinville: Universidade do Estado de Santa Catarina, 2015.

7 APÊNDICE A

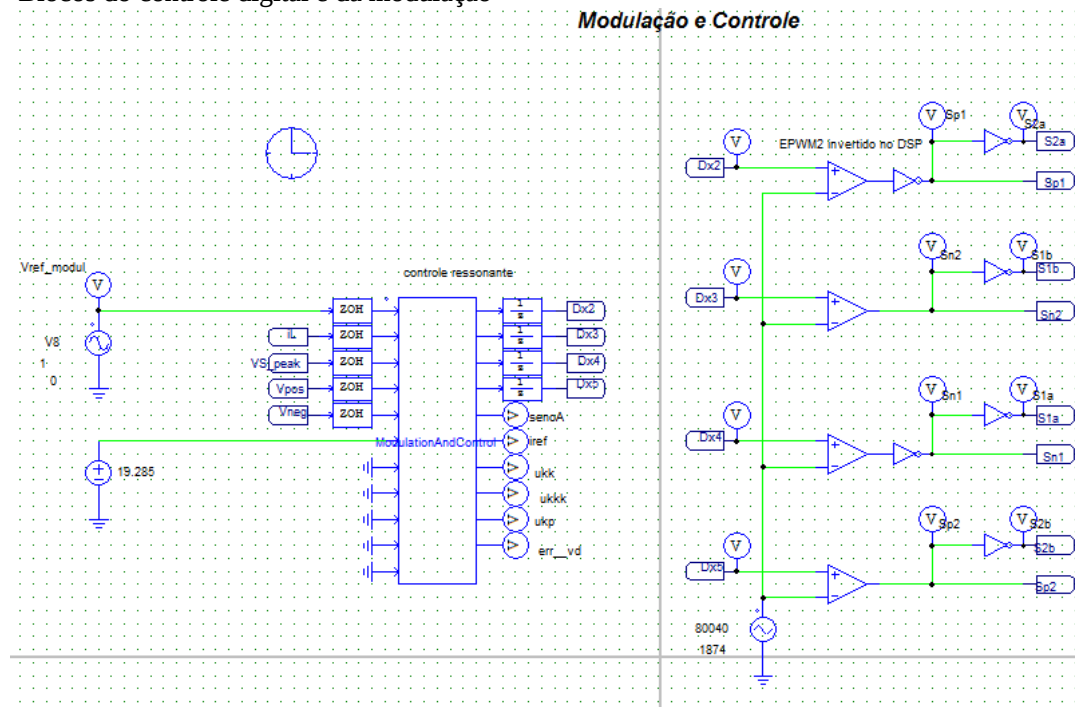
Este apêndice apresenta os blocos funcionais e o circuito empregado na simulação do conversor T-Type NPC 5N no software de simulação de circuitos PSIM.

Figura 59 - Blocos de cálculo das perdas



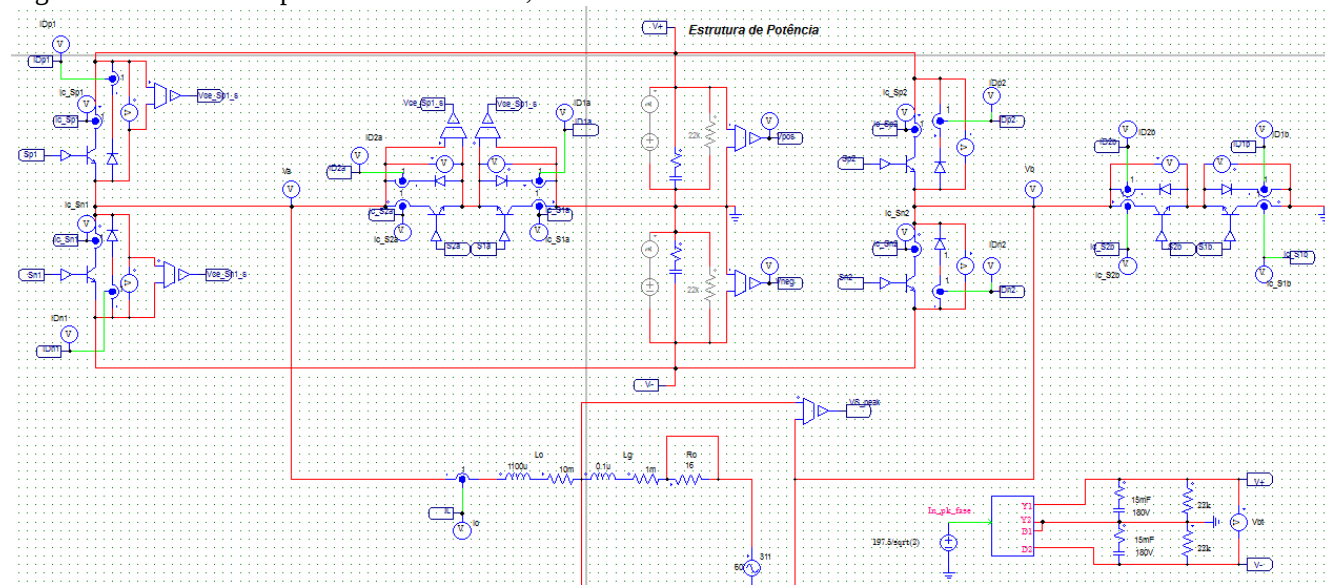
Fonte: produção do autor

Figura 60 - Blocos do controle digital e da modulação



Fonte: produção do autor

Figura 61 – Circuito de potência co conversor, barramento cc de entrada e conexão à rede



Fonte: produção do autor

8 APÊNDICE B

Neste apêndice é apresentada a planilha de cálculo das perdas no indutor e nos capacitores do barramento cc.

Definição de parâmetros e constantes

Potência:		$P_{in} := 3000W$
Corrente:	$I_{in} := \frac{P_{in}}{220V}$	$I_{in} = 13.636 A$
Corrente de pico:	$I_{pk} := I_{in} \cdot \sqrt{2}$	$I_{pk} = 19.285 A$
Ripple de corrente:		$\Delta I\% := 5\%$
Ripple de corrente:	$\Delta I := \Delta I\% \cdot I_{pk}$	$\Delta I = 0.964 A$
Núcleo - modelo:		MMT360T7725
Núcleo - material:		Pó de Ferro
Diâmetro Interno:		$\phi_e := 77.2mm$
Diâmetro Externo:		$\phi_i := 49mm$
Altura do Núcleo:		$H_n := 25.4mm$
Número de espiras:		$N_e := 56$
Comprimento das espiras:	$L_e := N_e \cdot (2 \cdot H_n + \phi_e - \phi_i)$	$L_e = 4.424 m$
Diâmetro do fio de cobre do indutor:		$\phi_{Ho} := 2.3mm$
Bitola do fio de cobre:		AWG 11
Área das sessão do fio:		$S_{avg11} := 4.17mm^2$

Resistividade do cobre
@100°C:

$$\rho_{100} := 2.246 \cdot 10^{-6} \text{ cm} \cdot \Omega$$

Comprimento do caminho
magnético:

$$L_m := (\phi_e - \phi_l) \cdot \pi$$

$$L_m = 0.089 \text{ m}$$

Permeabilidade magnética do
ar:

$$\mu_o := 4 \cdot \pi \cdot 10^{-7} \frac{\text{N}}{\text{A}^2}$$

Permeabilidade relativa do
material:

$$\mu_r := 60$$

Varição da densidade de
fluxo magnético:

$$\Delta B := \frac{N_e \cdot \mu_o \cdot \mu_r \cdot \Delta I}{L_m}$$

$$\Delta B = 0.046 \text{ T}$$

Varição da densidade de
fluxo magnético em Gauss:

$$\Delta B_G := \Delta B$$

$$\Delta B_G = 459.551 \text{ G}$$

Pico do fluxo CA em Gauss:

$$B_G := \frac{\Delta B_G}{2}$$

$$B_G = 229.776 \text{ G}$$

Volume do núcleo:

$$V_n := 67 \text{ cm}^3$$

Quantidade de núcleos:

$$Q_n := 2$$

Perdas no Núcleo

*Perdas volumétricas no
núcleo @50kHz:

$$P_V := Q_n \cdot \left[0.0007 \cdot \left(\frac{B_G}{\text{G}} \right)^2 + 0.0566 \cdot \frac{B_G}{\text{G}} \right] \cdot V_n \cdot \frac{\text{mW}}{\text{cm}^3} \quad P_V = 6.695 \text{ W}$$

*obtidas do datasheet do núcleo de pó de ferro

Perdas no Cobre

Resistência cc equivalente do
condutor:

$$R_{cc} := \frac{\rho_{100} \cdot L_e}{S_{avg11}} = 23.828 \cdot 10^{-3} \cdot \Omega$$

Perdas no cobre:

$$P_{cu} := R_{cc} \cdot I_{in}^2 = 4.431 \text{ W}$$

Perdas nos Capacitores

Resistência série equivalente
do capacitor @100Hz:

$$RSE_{100Hz} := 75 \times 10^{-3} \cdot \Omega$$

Resistência série equivalente
do capacitor corrigida
@50kHz/40°C:

$$RSE_{50kHz} := 0.7 RSE_{100Hz}$$

$$RSE_{50kHz} = 0.053 \Omega$$

Capacitores em paralelo:

$$C_{par} := 2$$

Resistência série equivalente
do capacitor corrigida para 2
capacitores:

$$RSE_2 := \frac{RSE_{50kHz}}{2}$$

$$RSE_2 = 0.026 \Omega$$

Corrente RMS no capacitor:

$$I_{c3000W} := 1.3 \text{ A}$$

Perdas no capacitor*:

$$P_{cap} := I_{c3000W}^2 \cdot RSE_2$$

$$P_{cap} = 0.044 \text{ W}$$

*são 2 conjuntos de capacitores, portanto as perdas totais são o dobro deste valor

9 APÊNDICE C

Este apêndice apresenta o trabalho de modelagem e controle do conversor NPC 5N-T-Type, publicado no 13º Congresso Brasileiro de Eletrônica de Potência – COBEP 2015, realizado em Fortaleza. O trabalho é intitulado “Study Of The 5L-T-Type NPC Converter For Photovoltaic Application”.

STUDY OF THE 5L-T-TYPE NPC CONVERTER FOR PHOTOVOLTAIC APPLICATION

Tiago L. da Silva, Felipe G. Stein, Joselito A. Heerdt, Yales R. de Novaes
Santa Catarina State University (UDESC), Joinville, Santa Catarina, Brazil
tiagolemes@weg.net, f.g.stein@ieee.org, joselito.heerdt@udesc.br, yales.novaes@udesc.br

Abstract—This work presents the modeling of the control loop for the Five Level (5L) T-Type Neutral-Point Clamped (NPC) converter, for grid-tie photovoltaic application. The control sytem includes the converter output current control loop and the differential voltage control loop of the input voltage. The results are evaluated by means of a 3kW prototype.

Keywords—5-Level Converter, 5-Level Single Phase Converter, Converter Modeling, Photovoltaic Application

I. INTRODUCTION

The last decades were very important concerning the studies for increasing the efficiency of photovoltaic solar energy generation. A variety of power converters topologies has been studied and, particularly, the non-isolated inverters are capable of having efficiency up to 2% higher when compared against the isolated topologies [1]. However, the non-isolated topologies may cause the circulation of a leakage current [2], [3], due to parasitic capacitance existent between the solar module and its frame, which is grounded together with the metal structure.

Topologies known as the acronyms H5 [4], HERIC [5], FB-DCBP [6] and FB-ZVR [7] are used aiming to reduce or cancel the aforementioned leakage current. With the same objective, the 5L-T-Type NPC with appropriate modulation presents a low leakage current. Furthermore, the application of this topology in full-bridge configuration reduces the input voltage needed to operate at a given grid voltage, which avoids the connection of lots of solar panels in series. Another advantage of the output five levels is the reduction of the output filter requirements or even the increase of the structure power capacity.

Because of the stated reasons, the 5L-T-Type-NPC is an excellent choice for PV application, although there are few publications concerning of its control modeling when applied to grid-tie PV applications. This work presents the modeling of the 5LT-Type-NPC for grid-tie operation.

First of all it is presented the modulation technique used, the operating stages and regions. Then the control loops obtained through the modeling of the converter are validated. Finally the controllers calculation is presented and the results obtained.

II. THE TOPOLOGY AND MODULATION

The 5L T-Type NPC topology, shown in the Fig. 1, was first introduced by [8]. The full-bridge configuration of the 5L T-Type NPC allows to apply the total input voltage both in negative and positive output voltage. Such feature is welcome on PV applications, once it reduces the amount of PV modules panels required to be connected in series, reducing the impact of the shadowing problem [9], when compared to half bridge type topologies.

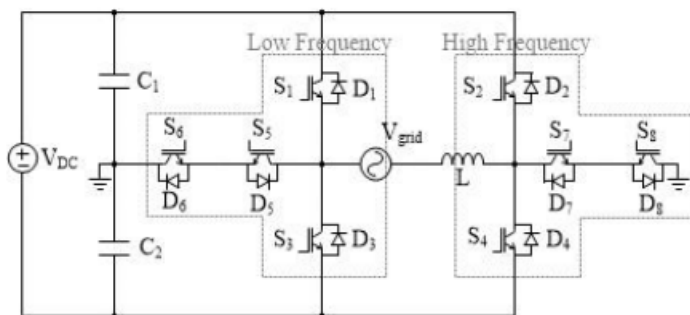


Fig. 1. 5L T-Type NPC topology.

The modulation scheme is hybrid, where one leg of the converter switches at high frequency and the other leg at low frequency, as shown in Fig. 1. The number of commutations is reduced in one leg, which allows the usage of slower switches. For the high frequency leg, one can use faster new generation switches aiming to reduce switching losses and improving the total efficiency of the converter. The modulation scheme uses four carriers in phase, displaced in levels, as shown in Fig. 2. The comparison between the carriers and the modulating function originates the drive signals.

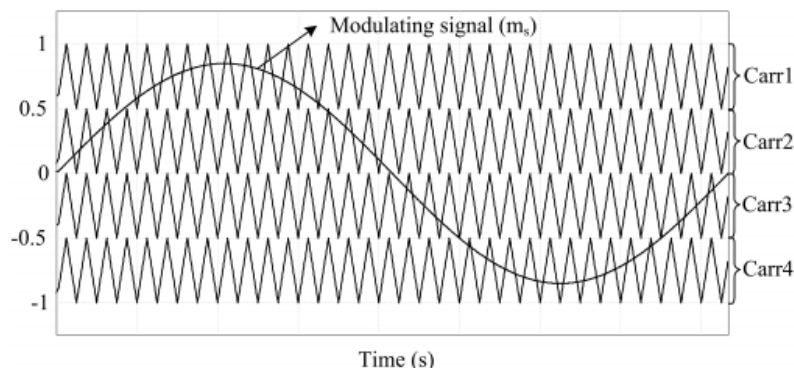


Fig. 2. Carriers distribution and the modulating signal.

The switches S1, S3, S5 and S6 are commutated at low frequency, while S2, S7, S4 and S8 are commutated at high frequency, as shown in Fig. 3. This modulation is based on [8], which addresses the low frequency commutation of the switches aiming to improve the efficiency, while [10] presents free-wheeling paths for the circulation of the current during the dead time intervals, avoiding unwanted stages.

Four operating regions are defined to allow the understanding of the converter operating stages. This operating regions are bounded through the comparison between the modulating signal and the carriers aforementioned. The first operating

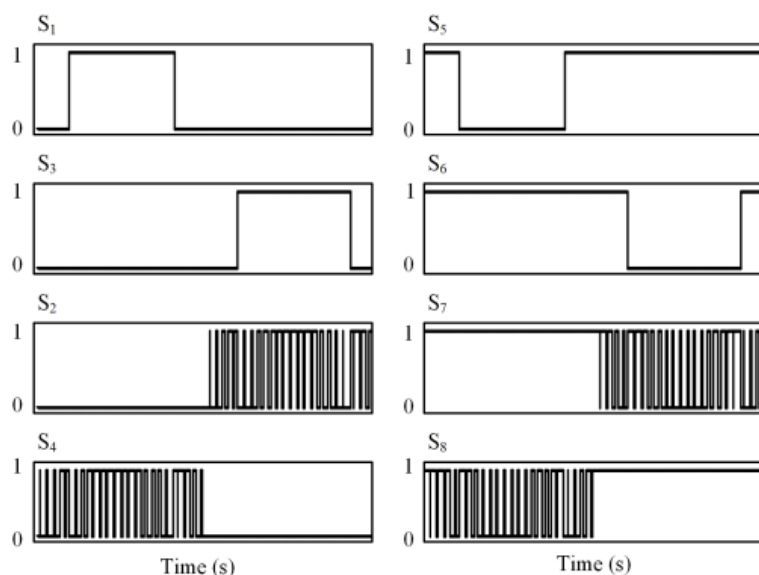


Fig. 3. Gating signals for each switch.

region comprises the comparison of the modulating signal with the second carrier, as shown on Fig. 4. Here the switches S_5 , S_6 , and S_7 are always gated on. Switches S_4 and S_8 are applying half of the input voltage to the output at the carrier frequency.

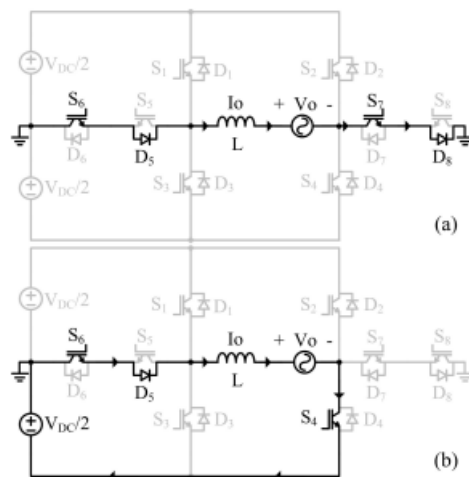


Fig. 4. Operating stages for first region. (a) first stage, (b) second stage.

The second operating region, as shown in Fig. 5, begins when S1 is gated on. It is bounded by the comparison of the carrier number one with the modulating signal. The switches S4 e S8 continue to be commutated at the carrier frequency, operating complementarily. The gated on of switch S1 results in half of the input voltage applied to the output.

The three and four operating regions are deducted similarly.

III. MODELING OF THE CONVERTER

The implemented control structure is presented in Fig. 6. On the diagram there are two control loops that must be modeled: the internal loop, responsible for the control of the output current of the converter, and the external loop, responsible for the control of the differential balancing of the input voltages. Moreover, a PLL algorithm was implemented [11]. The total input voltage depends on the input stage,

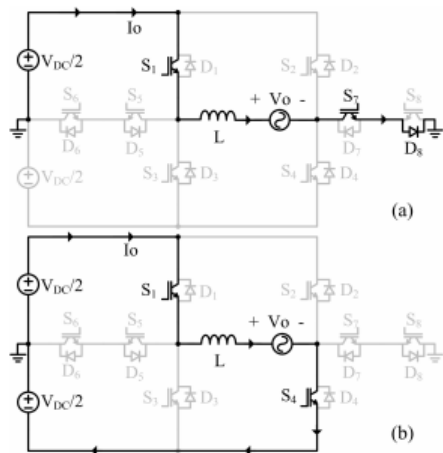


Fig. 5. Operating stages for second region. (a) first stage, (b) second stage.

as it can be composed by a intermediate converter in order to perform the maximum power point tracking operation (MPPT), so this controller is not addressed.

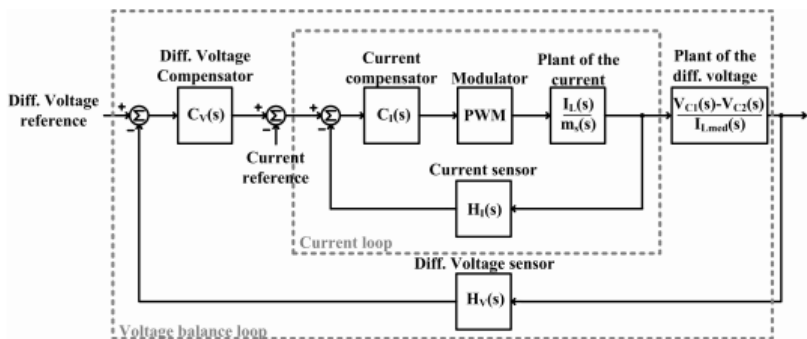


Fig. 6. Block diagram of the implemented control system.

A. Current loop modeling

In order to become possible to inject active power in the distribution grid it is necessary to control the output current, once the output voltage is set by the grid. Taking into account that the pure inductive filter is suitable to achieve the desired output current ripple, an equivalent circuit is obtained to facilitate the analysis and modeling. The circuit is shown in Fig. 7. The inverter is represented as a controlled voltage source, connected to the output filter, represented as an inductor plus resistor. The grid impedance is inductive and resistive as well.

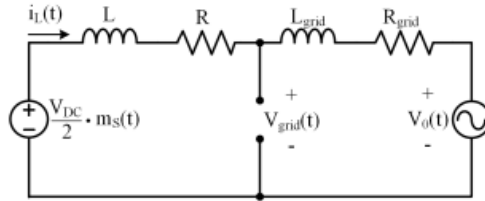


Fig. 7. Equivalent circuit for the modeling of the current plant.

Using the small signals approach, the output current loop is modeled. Applying the Kirchhoff Voltage Law to the circuit of Fig. 7 one obtains (1).

$$L \frac{di_L(t)}{dt} + Ri_L(t) + L_{grid} \frac{di_L(t)}{dt} + R_{grid} i_L(t) = \quad (1)$$

$$V_{dc} m_s(t) - V_o(t)$$

Applying a perturbation $\Delta m_s(t)$ to modulation signal, the output current responds with a perturbation $\Delta I_L(t)$. As showed in (2).

$$\frac{di_L(t)}{dt} + \frac{d\Delta i_L(t)}{dt} (L_f + L_{grid}) + [i_L(t) + \Delta i_L(t)](R + R_{grid}) = \quad (2)$$

$$V_{dc}(m_s(t) + \Delta m_s(t)) - V_0$$

The small signal variation on the input voltage $V_o(t)$ is not considered once the voltage is considered being stable. Applying the Laplace transformation on (2), (3) is obtained. The gain of the current plant is proportional to the input voltage V_{dc} , whereas the frequency of the resulting pole depends on the sum of the converter and the grid impedances.

$$\frac{\Delta I_L(s)}{\Delta m_S(s)} = \frac{V_{dc}}{s(L + L_{grid}) + R + R_{grid}} \quad (3)$$

The Bode diagram is presented in Fig. 8 comparing the simulation (red) and the mathematical model (blue).

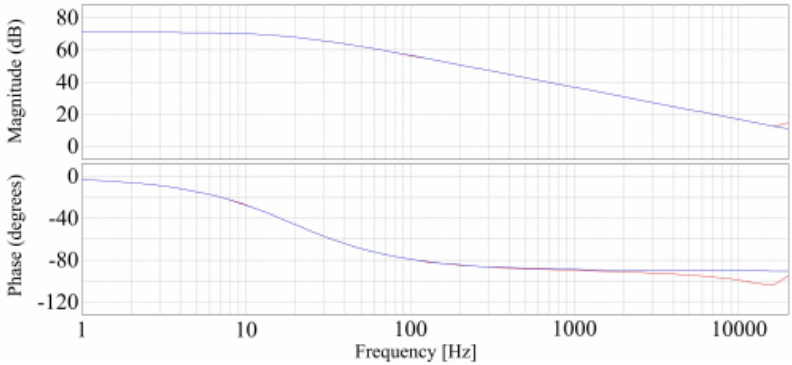


Fig. 8. Model validation for the output current plant.

B. Voltage Balancing loop modeling

For the modeling of the differential voltage balancing loop it is considered the equivalent circuit of the Fig. 9 with a dependent current source for each one of the capacitors.

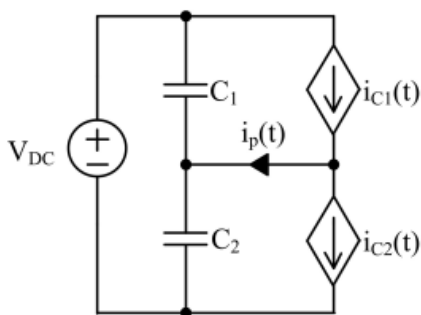


Fig. 9. Equivalent circuit for the modeling of the differential voltage plant.

Equations (4) and (5) represents the behaviour of the neutral point current across time, whereas (6) represents the frequency response using Laplace transformation.

$$i_{C1}(t) - i_{C2}(t) = i_P(t) \quad (4)$$

$$C_1 \frac{dv_{C1}}{dt} - C_2 \frac{dv_{C2}}{dt} = i_P(t) \quad (5)$$

$$V_{C1}(s) - V_{C2}(s) = \frac{I_P(s)}{sC_1} \quad (6)$$

Where $V_{C1}(s)$ e $V_{C2}(s)$ are the voltages of the capacitors $C1$ and $C2$ respectively and $I_P(s)$ represents the current at the neutral point of the capacitors. The neutral point current $i_p(t)$ is related to the output current and this relationship is constant and is obtained as the constant K_{dif} in (7).

$$I_P(s) = K_{dif} I_L(s) \quad (7)$$

First the medium value of I_p within one grid cycle is obtained in (8).

$$I_P = \frac{2}{2\pi} \left[\int_{\theta_0}^{\theta_1} i_P^{R1} d\theta + \int_{\theta_1}^{\theta_2} i_P^{R2} d\theta + \int_{\theta_2}^{\theta_3} i_P^{R1} d\theta \right] \quad (8)$$

Where $\langle i_P \rangle^{R1}$ and $\langle i_P \rangle^{R2}$ are the instantaneous medium values of the currents in the first and second region, respectively. Also θ_0 and θ_1 represents the limits of the first region, θ_1 and θ_2 the second region and θ_2 and θ_3 the third region.

Evaluating the operating stages of the converter it is possible to obtain the medium value of the neutral current, being the contribution of the first region of operation given by (9):

$$i_P^{R1} = \frac{1}{T_S} \int_{t_0}^{t_0 + d_4^{R1} T_s} I_L(\theta) dt = I_L(\theta) d_4^{R1}(\theta) \quad (9)$$

The contribution of the second region of operation is given by (10):

$$i_P^{R2} = \frac{1}{T_S} \int_{t_0 + d_4^{R1} T_s}^{t_0 + T_s} -I_L(\theta) dt = I_L(\theta) (d_4^{R1}(\theta) - 1) \quad (10)$$

Where T_s is the switching period, $d_4^{R1}(\theta)$ and $d_4^{R2}(\theta)$ the duty cycle of $S4$ on the operating regions one and two, respectively, shown in (11), (12) and (13).

$$d_4^{R1}(\theta) = 2m_s(\theta) \quad (11)$$

$$d_4^{R2}(\theta) = 2m_s(\theta) - 1 \quad (12)$$

$$m_S(\theta) = m_a \sin(\theta) \quad (13)$$

Where m_a is the amplitude modulation index. Finally it is possible to obtain the value of K_{dif} , shown in (14).

$$K_{dif} = \frac{2[2m_a - \pi + 2a \sin(\frac{1}{2m_a})]}{\pi} \quad (14)$$

Once the relation between $I_L(s)$ and $I_P(s)$ is known it is necessary to obtain the relationship between the difference of the capacitors voltages and $I_L(s)$. This is showed in the (15).

$$\frac{V_{C1}(s) - V_{C2}(s)}{I_L(s)} = \frac{2[2m_a - \pi + 2a \sin(\frac{1}{2m_a})]}{(sC_1\pi)} \quad (15)$$

In order to obtain a validation of the model, the step response is evaluated. Fig. 10 shows the converter response (red) and the mathematical model (blue).

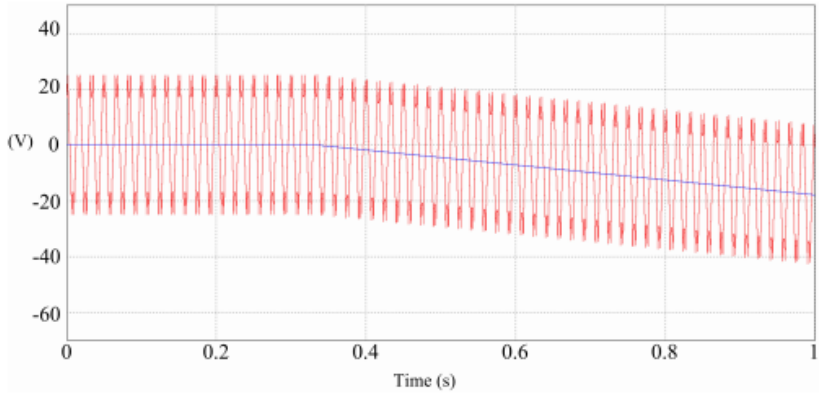


Fig. 10. Model validation for the capacitor differential voltage.

IV. CONTROLLERS DESIGN

A prototype of 3 kW was built considering a grid voltage of 220V and an input voltage of $360V_{dc}$. Using a commutation frequency of 40 kHz, a 10% ripple of the output current with a pure inductive filter of 900 μ H is obtained. The value of the individual input capacitors is 820 μ F. Equations (16) and (17) show the open loop transfer functions for the current loop and the differential voltage loop in the w-plane, respectively. With the Tustin approximation it was obtained a digital representation of the control plants. Finally the models were designed using the complex w-plane. The control platform utilized a DSP.

$$\frac{\Delta I_L(w)}{\Delta m_s(w)} = \frac{-0.11417(w + 129.710^3)(w - 80.0410^3)}{(w + 79.0210^3)(w + 111.1)} \quad (16)$$

$$\frac{V_{C1}(w) - V_{C2}(w)}{I_L(w)} = \frac{-0.008(w - 1.210^3)}{w} \quad (17)$$

The output current controller is a resonant controller [12], featured by having two resonant poles in 60Hz with damping of 0.1×10^{-6} and two complex zeros located in a frequency slightly higher than 60Hz, with damping of 0.7, located with the objective of correcting the phase margin of the system, as can be seen in Fig. 11. The equation (18) shows the transfer function of the resonant controller used, on the z-plane.

$$C_i(Z) = \frac{1.041z^3 - 0.9949z^2 - 1.04z + 0.9959}{z^3 - 1.778z^2 + 0.5564z + 0.2218} \quad (18)$$

The choice of the controller for the differential balancing is based upon the need to improve the phase margin of the system. The controller is a leading phase, thereby, the frequencies of the pole and the zero are chosen to obtain phase margin bigger than 50 degrees. The Fig. 12 shows the Bode diagram of the open loop transfer function without the controller $C_{ma.nc}(w)$, with the controller $C_{ma}.C(w)$ and only the controller $C(w)$ all in the w-plane. The equation (19) shows the transfer function of the controller used, in the z-plane.

$$C_V(Z) = \frac{1.910^{-3}z^2 + 2.710^{-6}z + 1.910^{-3}}{z^2 + 1.985z + 0.9853} \quad (19)$$

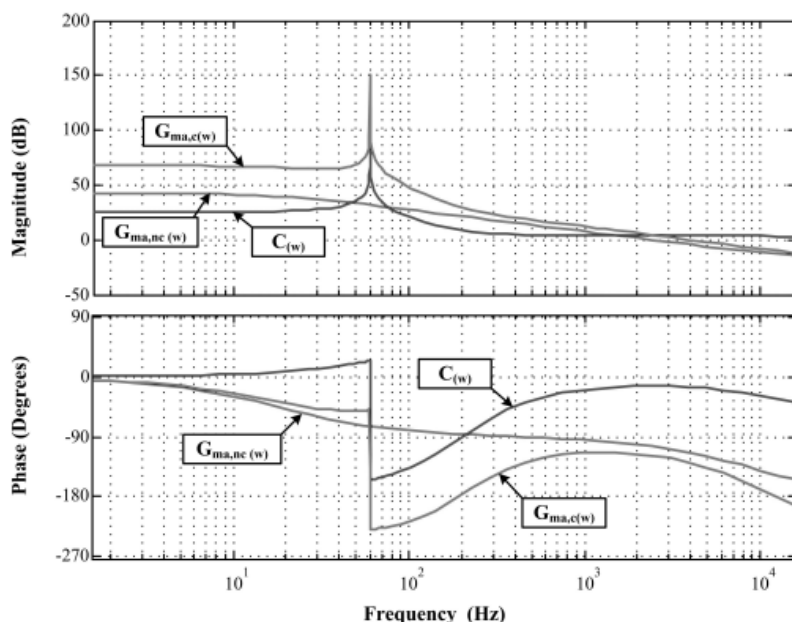


Fig. 11. Open loop Bode diagram of the overall system $G_{ma.nc}(w)$, for the used controller $C(w)$ and for the controlled system $G_{ma,c}(w)$ for the current control.

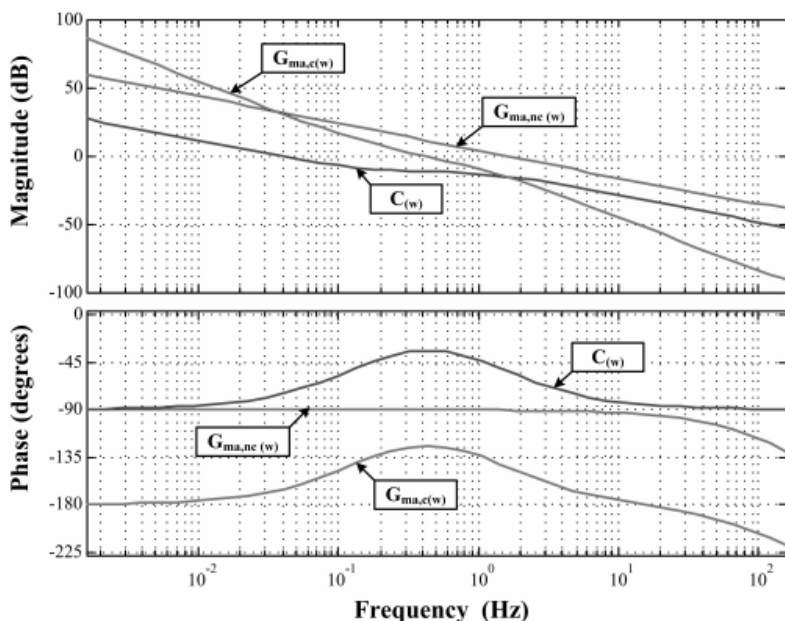


Fig. 12. Open loop Bode diagram of the overall system $G_{ma,nc}(w)$, for the used controller $C(w)$ and for the controlled system $G_{ma,c}(w)$ for the differential voltage balancing.

V. EXPERIMENTAL RESULTS

The main objective of the results here presented is the validation of the control loops. Fig. 13 presents the grid voltage and the output current. It is possible to validate the non-perturbed behavior of the control at nominal power, once the RMS value of the output current is 13.1A. Considering the grid voltage of 220V, the power injected to the grid is 2882W. The mean value of the output current is also very important, because it might does not pass 0.5% of the nominal current, according to distribution transformer standards. The obtained result is 77mA which represents 0.4% of the nominal current.

Moreover with Fig. 13 was possible to calculate the THD of current, what resulted in 6% of harmonic distortion. The dynamic of the current controller is validated with load step at the amplitude of the current reference and the result showed in Fig. 14, where the current changes from 10A peak to 12A peak in a few cycles of the grid frequency.

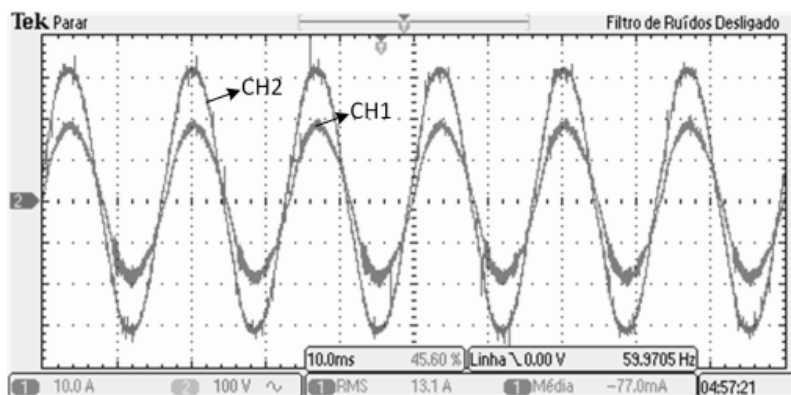


Fig. 13. Output current (CH1, 10A/div), grid voltage (CH2, 100V/div).

The third result obtained is intended to validate the behavior of the differential voltage balancing loop. With the system operating in steady state it was applied a step with a mean value directly on the reference of the current loop (blue), being possible to observe a ripple in the difference of the voltage on each capacitor (in green at C1 and in violet at C2) and approximately 2.2 seconds after the controller completely restored the balance.

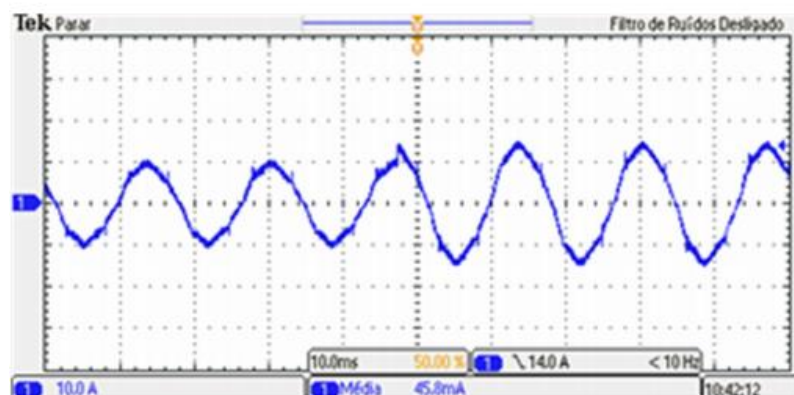


Fig. 14. Output current (CH1, 10A/div).

VI. CONCLUSION

Through the results obtained it is possible to evaluate the converter at nominal power with static operation and with

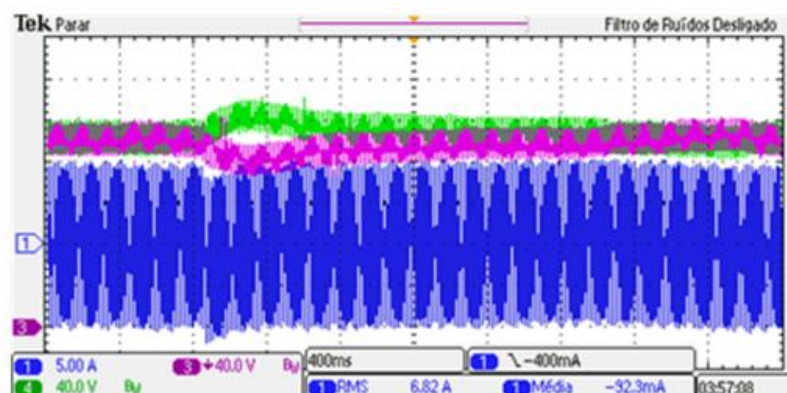


Fig. 15. Dynamic Evaluation for the differential voltage control.
(CH1, 10A/div), (CH3, 40V/div), (CH4, 40V/div)

a step response at the current. It is validated the modeling of the current loop and its resonant controller design. The dynamic of the input capacitors differential voltage loop is evaluated, applying a step at the mean value on the reference of the output current controller, specially showing the validity of the differential voltage loop model and the design of its controller. As a future work, the study of the impact that the variation of the modulation index causes on the differential voltage control loop, once that for photovoltaic applications the modulation index varies along the operation during the day. Furthermore, the improvement on the resonant controller with resonant peaks on the frequencies of 3, 5 and 7 times the nominal grid frequency would reduce the THD of the output current.

ACKNOWLEDGEMENT

The authors would like to thank support of FITEJ Foundation and FAPESC foundations during the work.

REFERENCES

- [1] R. Teodorescu, M. Liserre, and P. Rodrguez. *Converters for Photovoltaic and Wind Power Systems*. John Wiley and Sons, 2011.
- [2] Eugenio Guba, Pablo Sanchis, Alfredo Ursa, Jess Lpez, and Luis Marroyo. Ground currents in single-phase transformerless photovoltaic systems. *PROGRESS IN PHOTOVOLTAICS: RESEARCH AND APPLICATIONS*, 15:629650, 2007.
- [3] G. Spagnuolo, G. Petrone, S.V. Araujo, C. Cecati, E. Friis-Madsen, E. Gubia, D. Hissel, M. Jasinski, W. Knapp, M. Liserre, P. Rodriguez, R. Teodorescu, and P. Zacharias. Renewable energy operation and conversion schemes: A summary of discussions during the seminar on renewable energy systems. *Industrial Electronics Magazine, IEEE*, 4(1):38–51, March 2010.

- [4] Matthais Victor, Frank Greizer, Sven Bremicker, and Uwe Hbler. Method of converting a direct current voltage from a source of direct current voltage, more specifically from a photovoltaic source of direct current voltage, into a alternating current voltage, 2008.
- [5] Heribert Schmidt, Christoph Siedle, and Jrgen Ketterer. Dc/ac converter to convert direct electric voltage into alternating voltage or into alternating current, 2006.
- [6] Calahorra Javier Coloma, Senosiain Roberto Gonzalez, Taberna Jesus Lopez, Palomo Luis Marroyo, and Gurpide Pablo Sanchis. Single-phase inverter circuit for conditioning and converting dc electrical energy into ac electrical energy, 2009.
- [7] T. Kerekes, R. Teodorescu, P. Rodriguez, G. Vazquez, and E. Aldabas. A new high-efficiency single-phase transformerless pv inverter topology. *Industrial Electronics, IEEE Transactions on*, 58(1):184–191, Jan 2011.
- [8] Antonio Coccia, Francisco Canales, Leonardo-Augusto Serpa, and Mikko Paakkinen. Five-level inverter, 2010.
- [9] Qing shan Xu, Loi Lei Lai, Norman Tse, and K. Ichiyonagi. Hybrid behaviors analysis of photovoltaic array performance. In *Machine Learning and Cybernetics, 2009 International Conference on*, volume 6, pages 3448–3456, July 2009.
- [10] J.A. Heerdt, S.A. Mussa, and M.L. Heldwein. Semiconductors current efforts and losses evaluation for single-phase three-level regenerative pwm rectifiers. In *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, pages 1046–1051, July 2010.

- [11] Fernando P. Marafo, Sigmar M. Deckmann, Jos A. Pomilio, and Ricardo Q. Machado. Metodologia de projeto e análise de algoritmos de sincronismo. *SOBRAEP*, 2005.
- [12] J.R. Gazoli, M.E. de Oliveira F, M.F. Espindola, T.G. de Siqueira, M.G. Villalva, and E. Ruppert. Resonant (p+res) controller applied to voltage source inverter with minimum dc link capacitor. In *Power Electronics Conference (COBEP), 2011 Brazilian*, 2011.

10 APÊNDICE D

Este apêndice apresenta o trabalho de contribuição à análise de um snubber não dissipativo aplicado ao conversor NPC 5N-T-Type, publicado no 24º International Symposium on Industrial Electronics, ISIE 2015, realizado em Búzios. O trabalho é intitulado “Analysis of a Snubber for the T-Type NPC Converter”.

O Snubber permite comutação suave em todos os interruptores e também contempla possibilidade de regeneração de energia ao barramento de entrada, através da utilização de um conversor cc-cc auxiliar.

No contexto dessa dissertação, a aplicação do snubber ao conversor NPC-5N T-Type foi substituída pela análise de semicondutores com melhores características de comutação, principalmente aqueles de larga banda de energia WBG (*wide band-gap*), como o GaN e SiC. Ressalta-se, contudo, que tanto o snubber quanto o emprego de melhores semicondutores WBG podem ser correlacionados à um mesmo objetivo, que é o aumento no rendimento de uma determinada topologia, quando projetados adequadamente. Isso abre a possibilidade de um trabalho de comparação entre as duas soluções visando aumento de rendimento de uma determinada topologia.

Analysis of a Snubber for the T-Type NPC Converter

Felipe G. Stein and Yales R. de Novaes

nPEE - Electrical Power Processing Group

UDESC - Santa Catarina State University

89.219-710 - Joinville - SC - Brazil

www.npee.joinville.udesc.br - f.g.stein@ieee.org

Abstract—The study of a totally passive snubber applied to the T-type NPC converter is presented in this paper. The snubber circuit aids all commutations in all the switches. The voltage across the switches is clamped in a value close to half of the total input voltage. The description of the operation is presented in this paper.

Keywords—*Undeland Snubber, NPC T-type, soft commutation, soft switching*

I. INTRODUCTION

During the commutations of the converter, the presence of both voltage and current simultaneously may cause the called commutation losses. Being the commutations hard, the losses in a switch become directly proportional to the commutation frequency, thus limiting, for instance, the frequency increase and the possibility of reduction of the output filter volume. The hard switching also can impair the efficiency of a certain structure, as well as increase the necessary heatsink volume of the semiconductors. This work will present a passive snubber circuit without direct regeneration of energy, applicable to the T-type Three-Level Neutral-Point Clamped Inverter also known by the acronym T-type NPC [1], [2], [3], [4]. The presented snubber is derived from the Undeland Snubber [5], usually employed in half-bridge inverters, full bridge and conventional NPC inverters, including the contribution published by Peres [6], de Novaes [7] and Lima [8].

II. DESCRIPTION OF THE OPERATION PRINCIPLES

The T-type NPC converter is a three-level topology featured by having a bidirectional switch clamping the load to the middle point of the input voltage link, as covered in [9] and [10]. It is shown in the Fig. 1.

At the conventional NPC converter the active switches are subject to half of the DC link voltage when bloquing [11]. Different from the conventional NPC, in the T-type NPC the half-bridge switches bloquing voltage is the entire DC link voltage, while the bloquing voltage of the neutral-point switches is half of the DC link voltage. Unlike the conventional NPC, the T-type NPC is usually employed for low voltage applications [12], [13], [14] although it is not limited to it. The topology presents high efficiency for applications with switching frequency under 20kHz, due to the low conduction losses. Therefore, the T-type deliver the result of having low conduction losses as the conventional two-level (2N) converter with the advantage of the low switching losses as an NPC converter [15], [16].

In applications such as photovoltaic energy processing the efficiency is an important issue. Medium switching frequencies (something between 10 and 20 kHz) are used to obtain smaller and cheaper passive components. Furthermore, the switching frequency might be elevated to a magnitude above 20kHz in residential applications in order to avoid audible noise. The increase of the frequency implies the reduction of the efficiency, which is bad in applications such as photovoltaic, where energy generation is expensive. The T-type topology already have a better efficiency in medium switching frequencies than the conventional NPC, therefore, the application of the snubber circuit here present can remove energy from the commutation, and this energy can be regenerate to the DC link by an auxiliary circuit which can lead the total efficiency to a higher level depending on the parameters of the project.

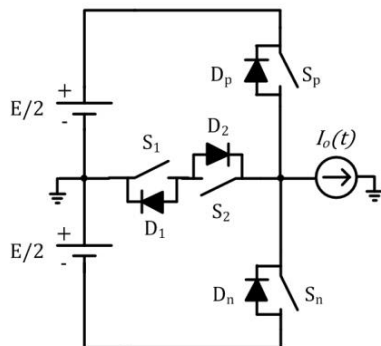


Fig. 1. T-type NPC converter topology

This paper presents the work of analysis for the application of a snubber circuit to the t-type NPC converter topology.

A. Single Snubber Operation

This section presents the converter operation for positive load voltage and positive load current, denominated as the first region of operation. The commutation sequency is shown on the Table I. For the analysis, the load is represented as an ideal current source.

TABLE I. COMMUTATION SEQUENCE

Device Switching Status				Output Voltage
S_p	S_2	S_n	S_1	
on	off	on	off	$E/2$
off	on	off	on	0
off	on	on	off	$-E/2$

The Fig. 3 shows the operating regions defined according to the polarity of voltage and current in the load.

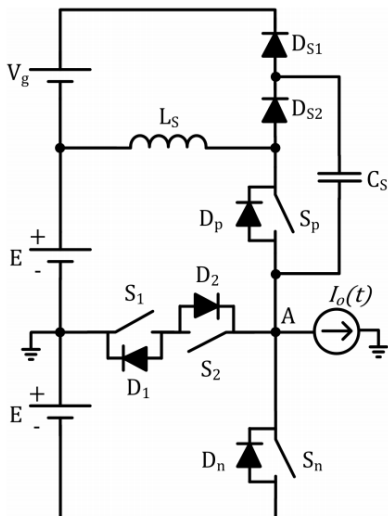


Fig. 2. Undeland snubber applied to the T-type NPC converter-I

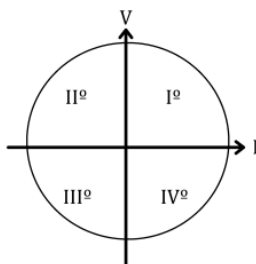


Fig. 3. Operating regions

The Fig. 4 presents the operating stages for the operation in the first region.

Stage 1(t_0, t_1)

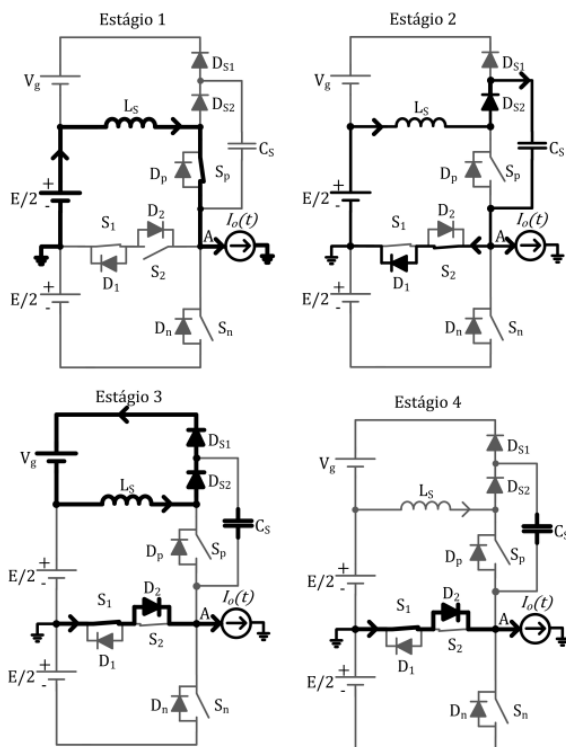
In the first stage the S_p switch conducts the load current. All the remain switches conduct no currents. The S_1 switch is commanded to close, while the S_2 and S_n switches are opened. The voltage across the C_s capacitor is zero. The voltage in the "A" node is equal to $E/2$. Energy is transferred to the load by the input source.

Stage 2(t_1, t_2)

The second stage starts when S_p is gated-off and S_2 is gated-on. The "A" node is connected to the middle point of the input voltage link, since S_1 and S_2 are gated-on. This propiciates the beginning of a resonant stage between L_s and C_s . The current through C_s starts to increase, being formed by two components, the load current I_o and one component due to the resonance with L_s . The resonant current circulates through S_2 and D_1 . The voltage across the capacitor increases with limited slope which leads to the controlled rise of the voltage across the S_p switch, thus configuring a soft commutation. This stage ends when V_{C_s} reaches $E/2 + V_g$.

Stage 3(t_2, t_3)

When the voltage across the capacitor reaches $E/2 + V_g$, the D_{S1} diode starts to conduct. current of the inductor L_s



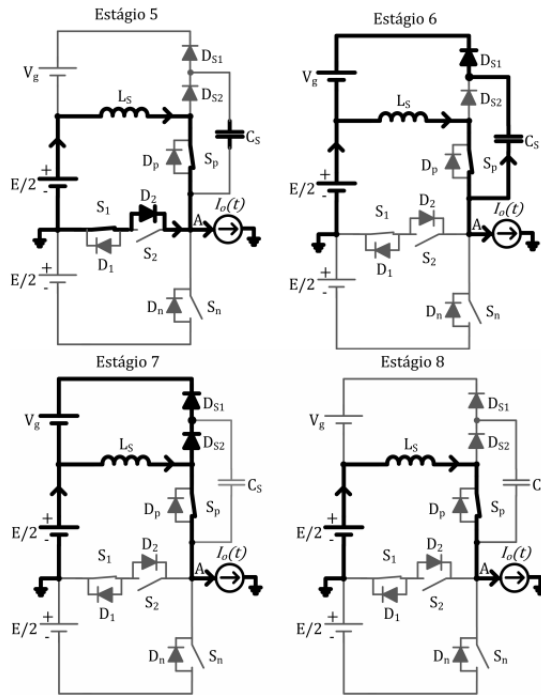


Fig. 4. Operating Stages- 1 to 8. The snubber capacitor when represented in bold means it is charged

starts to behave with a controlled slope, equal to $-V_g/L_s$, delivering energy to V_g . The capacitor remain charged, with voltage equal to $E/2 + V_g$. The load current now flows by S_1 and D_2 at the central branch. The voltage across the S_p switch is $E/2 + V_g$, and the stage ends when the inductor current reaches zero and the voltage across S_p passes to be $E/2$.

Stage 4 (t_3, t_4)

The fourth stage begins when the inductor current reaches zero. The voltage at the "A" node is zero. This stage lasts until the time in which the S_p switch is gated-on once more.

Stage 5 (t_4, t_5)

The fifth stage is started when the S_p switch is gated-on and S_2 is gated-off. Thus the voltage across L_s becomes $E/2$

and the current circulating on it has the slope equal to $\frac{E/2}{L_S}$. The load current I_o starts to reduce its magnitude at D_2 with the same slope. The current that starts to circulate through S_p is the same of the inductor so the commutation is soft. The stage finish when the load current I_o circulates totally through S_p .

Stage 6 (t_5, t_6)

Begins when the current through D_2 goes to zero and the negative pole of the capacitor is connected to the "A" node and disconnected of the middle point. The voltage at the point "A" starts to increase until it reaches $E/2 + V_g$ and, since there is voltage at the capacitor, the D_{S1} diode conducts. It begins a resonant stage between L_S and C_S thus C_S returns energy to the input source. This stage ends when the voltage across C_S becomes zero.

Stage 7 (t_6, t_7)

The stage 7 starts when the capacitor voltage reaches zero. The D_{S2} diode starts to conduct and the energy present in the inductor due to the last stage is returned to the V_g source.

Stage 8 (t_7, t_0)

The stage 8 starts when the current through the inductor is only the load current I_o . The voltage in the "A" node becomes $E/2$. This stage lasts until the beginning of the stage 1 in a new commutation cycle.

The Fig. 5 presents the waveform for both current and voltage in the main semiconductors.

B. Commutation Analysis

This section analyses the commutation in all the switches for the operation in the positive output voltage and current as shown in the Fig. 5.

1) S_p : At the instant t_1 occurs the blocking of the S_p switch. The voltage across the capacitor C_S increases with controlled slope, as well as the voltage across S_p , thus performing a soft commutation.

At the instant t_4 the switch is gated-on, the current starts to circulate in S_p and is the same that goes through the inductor L_S meaning its rise is controlled, performing a zero voltage swithing.

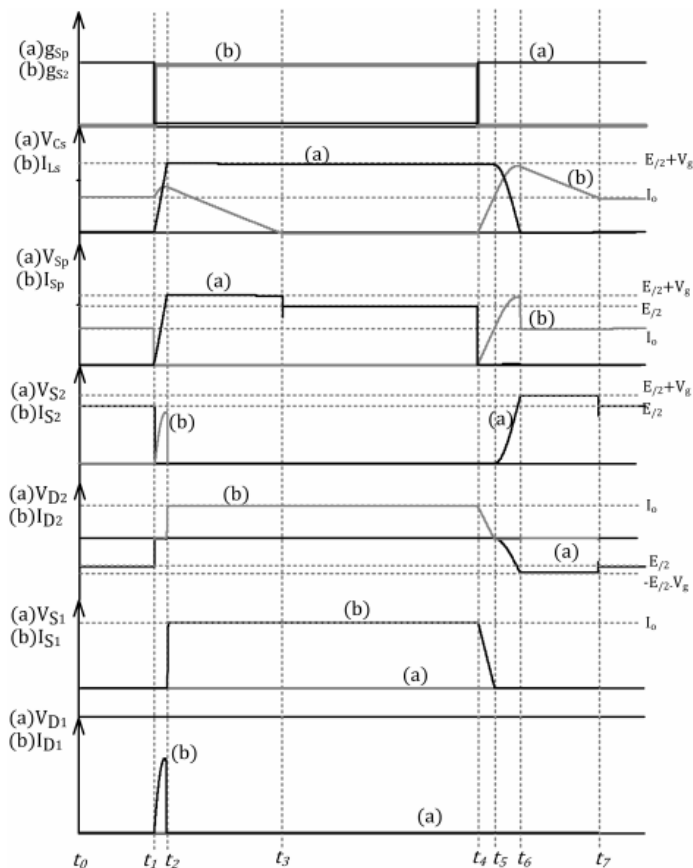


Fig. 5. Main waveforms-positive voltage and current at the load

2) S_2 : At the instant t_1 the S_2 switch is gated-on and it starts to conduct a resonant current coming from the resonance between L_S and C_S . This current has a slope controlled, which leads to a zero voltage commutation.

At t_2 occurs the bloquing of S_2 and at this moment the voltage across the switch is already zero, performing a zero current switching.

3) D_2 : At the instant t_2 the diode D_2 starts conducting I_o with zero voltage across it, since S_2 is already gated-on, leading to a zero voltage switching.

At the instant t_4 it begins the bloquing of the diode D_2 with the current decreasing until zero at the instant t_5 when the voltage across D_2 starts to rise controlled by the capacitor C_S , performing a zero current commutation.

4) S_1 : At the insatnt t_2 the S_1 switch starts to conduct the load current I_o but the voltage across the switch is zero, since it remains gated-on all the first region of operation featuring a zero voltage commutation.

At the instant t_4 it begins the bloquing of S_1 which occurs with zero current since S_1 is gated-on.

5) D_1 : At the insatnt t_1 the D_1 diode starts to conduct a sinusoidal current as well as S_2 , and its voltage is zero, leading to a commutation with zero voltage.

The same occurs at t_2 , when the current reaches zero in D_1 with zero voltage across the diode performing a zero current commutation.

C. Other Regions of Operation - Problems with commutation

In the second region of operation all the commutations are soft, as well as in the first region. Within the third region of operation, although, two problems occur: at the S_n switch the gate-on commutation is not soft. Furthermore, in the fourth region of operation both the gate-on and gate-off commutations of the S_1 switch are not soft. Once there are problems with the commutations with the operation of one snubber applied to the T-type converter, the work was lead to the analisys of two snubber circuits, one applied at the upper switch and a second one in the lower switch. The analisys is presented in the following section.

D. Double Snubber Operation

The Fig. 6 shows the circuit of T-type converter with two snubber circuits, one intended to aid the commutations of the upper switch and the second to aid the lower switch. Both aids the commutation of the central switches.

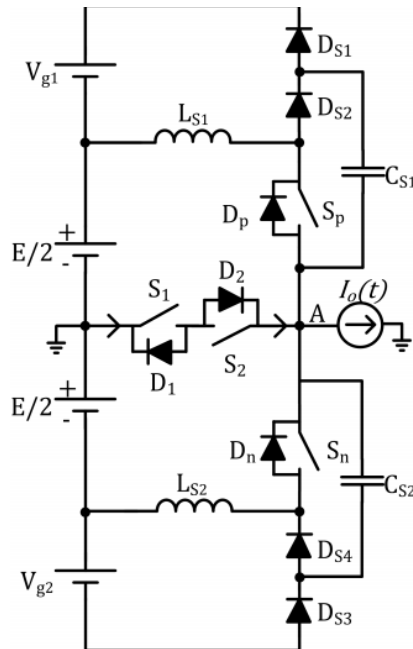


Fig. 6. The Undeland snubber applied to the T-type NPC converter - 2

The stages of operation are similar to the single snubber, in which the upper snubber aids the commutations in the first region of operation while the lower snubber aids the commutations in the fourth region, eliminating the problem existing in the operations of single snubber in the fourth region.

Nevertheless, this two snubber topology does not eliminates all the problems existent.

As shown in the Fig. 7 there is still a current peak on S_1 provenient from the undesirable discharge of the upper snubber capacitor. This peak is just limited by the impedance of the neutral-point switches, once is the path of the discharge. The similar occurs on the first region, at the S_2 switch. Both of these problems occurs because, in a given region, the capacitor of the snubber in opposition with the one which is operating ends up charging itself and the snubber circuit being passive cannot control this situation.

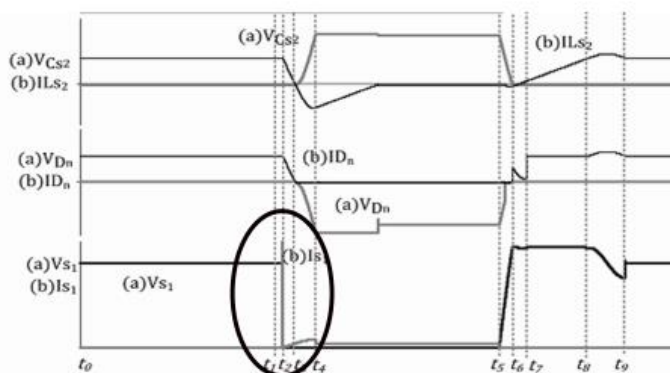


Fig. 7. Fourth region of operation - 2 snubbers

III. SNUBBER WITH AUXILIARY SWITCH

In order to try to avoid the problem of the capacitors discharge, achieve soft commutation in all the switches and do not add extra operationg stages, a new snubber topology is proposed. The Fig. 8 shows the snubber with auxiliary switch, one for each the upper and the lower snubber circuit. At the first and second regions of operation the upper auxiliary switch remain gated-on allowing the normal operations of the upper snubber while the lower auxiliary is gated-off to avoid the interference of the lower snubber that is not required. The operation is opposite for the third and fourth regions.

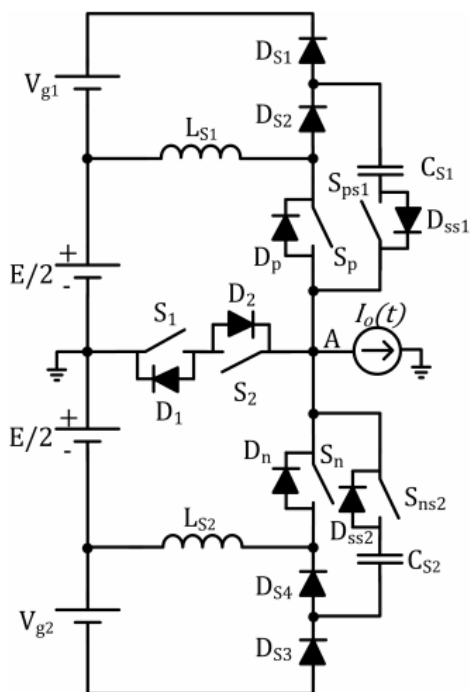


Fig. 8. Undeland snubber applied to the T-type NPC converter with auxiliary switch

The Fig. 9 shows the main waveforms to the operation of the snubber with the two auxiliary switches at the third region of operation.

The figure demonstrates that all the commutation are soft. The same occurs at all the regions of operation, since only the upper snubber works for the first and second regions, being disconnected on the third and fourth stages. Then the lower snubber operates on the third and fourth regions, being disconnected on the first and second regions of operation.

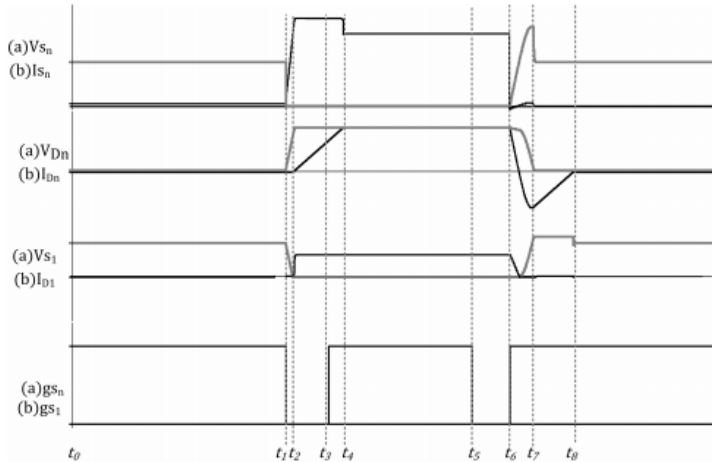


Fig. 9. Main waveforms of the T-type NPC converter with 2 auxiliary switches at third region

A. Simplified Parameter Design

The calculation of the snubber inductor L_s is obtained using the Stage 5 described in Section I. The fifth stage is started when the S_p switch is gated-on and S_2 is gated-off. Thus the voltage across L_s becomes $E/2$ and the current circulating on it has the slope equal to $\frac{E/2}{L_s}$. The load current will increase until it becomes I_o . The stage ends when the load current I_o circulates totally through S_p . The fundamental equation of the voltage across the inductor is described as:

$$V_{Ls} = Ls \frac{diL}{dt} \quad (1)$$

The current diL within the interval dt is equal to I_o . The time interval dt must be chosen according to the fall time (t_{fv}) of the voltage across the semiconductor being commutated. The procedure is to let the current reach the final value of I_o an amount of time after t_{fv} has been passed, so the voltage is already close to zero. This way the commutation losses will be close to zero. For example, for $t_{fv} = 150s$ the time dt was used 10 times greater then t_{fv} . This way one can obtain the equation that describes the value of Ls , where is used $k = 10$:

$$Ls = kV_{Ls} \frac{t_{fv}}{I_o} \quad (2)$$

For the simulated circuit the parameters are $I_o = 20A$, $t_{fv} = 150ns$ and $V_{Ls} = \frac{E}{2} = 200V$, so the inductor Ls obtained is:

$$Ls = kV_{Ls} \frac{t_{fv}}{I_o} = 15\mu H \quad (3)$$

The calculation of the snubber capacitor C_s is obtained using the Stage 2 of the operations description in Section I. The second stage starts when S_p is gated-off and S_o is gated-on. The "A" node is connected to the middle point of the input voltage link, since S_1 and S_2 are gated-on. This propiciate the beginning of a ressonant stage between L_s and C_s . The current through C_s starts to increase, being formed by two components, the load current I_o and one component due to the ressonance with L_s . The ressonant current circulate through S_2 and D_1 . The voltage across the capacitor increases with limited

slope which leads to the controlled rise of the voltage across the S_p switch, thus configuring a soft commutation. This stage ends when V_{Cs} reaches $E/2 + V_g$. The fundamental equation of the current across the capacitor is described as:

$$I_{Cs} = Cs \frac{dV_{Cs}}{dt} \quad (4)$$

The voltage dV_{Cs} at the end of the interval dt is equal to $E/2 + V_g$. The time interval dt must be chosen according to the fall time (t_f) of the current across the semiconductor being commutated, aiming to let the voltage reach the final value of $E/2 + V_g$ a certain amount of time after t_f has been passed, so the current is already close to zero, so will be the commutation losses close to zero. For example, for $t_f = 150s$ the time dt was used 3 times greater than t_f . If the resonant current is not considered, using only the I_o component one can easily obtain the equation which describe the value of C_s , where $k = 3$ was used, and the value of the capacitor obtained was:

$$Cs = kI_{Cs} \frac{t_f}{E/2 + V_g} = 40nF \quad (5)$$

The voltage source V_g used must be a value that do not causes overvoltage to the switch S_p , just the necessary to clamp the voltage across it, being between 5% and 10% of the half of the link voltage. For the simulations the value used was $V_g = 35V$.

This values presented in this section were used in all the simulation work which generated the waveforms presented in the work.

IV. CONCLUSION

The topology with two auxiliary switches avoids the undesirable discharge of the snubber capacitor in the region where it is not required. The current which circulates through the auxiliary switches comes from the resonance between L_s and C_s , equal to the one which circulates in the other snubber components. The disadvantage of this snubber is that it adds two switches without regenerating the energy of the commutations, even though the energy can be regenerated to the input DC link with a simple DC-DC converter. The snubber circuit is suitable for medium power converters using the T-type converter in which the amount of energy removed from the commutations with medium switching frequency is more significant. Future works include the evaluation of experimental results, the detailed analysis of the behaviour of the auxiliary switch in combination with the snubber capacitor and the quantitative analysis, where all the equations that describe the circuit are obtained. The snubber can be applied also for the full-bridge configuration of the T-Type NPC converter, as well for the 3-phase configuration.

ACKNOWLEDGMENT

The authors would like to thank support of FITEJ Foundation and FAPESC foundation with T.O. 10.042/2012 during the realization of this work.

REFERENCES

- [1] A. Falk, K. De Brabandere, F. Greizer, M. Victor, T. Westpahl, H. Wolf, and T. Buelo, "Three-phase inverter," Oct. 1 2009. US Patent App. 12/322,897.
- [2] S. S. Shekhawat, P. J. Dhyanchand, and P. Thollot, "Bi-directional switch for neutral point clamped pwm inverter," 1987. US Patent App. 4670828.
- [3] M.-M. Bakran, M. Neeser, and G. Zaiser, "N-point-converter circuit," 2005. US Patent App. 6930899.
- [4] M. TABATA and K. FUJITA, "Power conversion equipment," 2011. US Patent App. 2011/0116293.
- [5] T. M. Undeland, "Switching stress reduction in power transistors converters," in *Industry Application Society Annual Meeting* (IEE, ed.), pp. 383–391, 1976.
- [6] A. Peres, *Uma nova familia de inversores com comutacao suave empregando a tecnica de grampeamento ativo*. PhD thesis, UNIVERSIDADE FEDERAL DE SANTA CATARINA (UFSC), 2000.
- [7] Y. R. de Novaes, "Analysis, design and experimentation of a snubber for the three-level neutral clamped inverter," in *COBEP 2001* (SOBRAEP, ed.), SOBRAEP, 2001.
- [8] L. R. Lima, "Inversor monofasico npc com snubber regenerativo," Master's thesis, UNIVERSIDADE DO ESTADO DE SANTA CATARINA (UDESC), 2011.
- [9] J. A. Heerdt, "Carga eletronica ativa trifasica," phd thesis, UNIVERSIDADE FEDERAL DE SANTA CATARINA (UFSC), 2013.
- [10] T. L. da Silva, "Estudo da topologia npc-m para a geracao de energia eletrica atraves do processamento de energia fotovoltaica," dissertacao de mestrado, UNIVERSIDADE DO ESTADO DE SANTA CATARINA (UDESC), 2014.
- [11] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped pwm inverter," *Industry Applications, IEEE Transactions on*, vol. IA-17, pp. 518–523, Sept 1981.
- [12] T. Takeshita and N. Matsui, "Pwm control and input characteristics of three-phase multi-level ac/dc converter," in *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, pp. 175–180 vol.1, Jun 1992.

- [13] M. Schweizer and J. Kolar, "Design and implementation of a highly efficient three-level t-type converter for low-voltage applications," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 899–907, Feb 2013.
- [14] M. Schweizer, I. Lizama, T. Friedli, and J. Kolar, "Comparison of the chip area usage of 2-level and 3-level voltage source converter topologies," in *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, pp. 391–396, Nov 2010.
- [15] T. Soeiro and J. Kolar, "The new high-efficiency hybrid neutral-point-clamped converter," *Industrial Electronics, IEEE Transactions on*, vol. 60, pp. 1919–1935, May 2013.
- [16] T. Soeiro and J. Kolar, "Analysis of high-efficiency three-phase two- and three-level unidirectional hybrid rectifiers," *Industrial Electronics, IEEE Transactions on*, vol. 60, pp. 3589–3601, Sept 2013.

