

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
BACHARELADO EM ENGENHARIA ELÉTRICA**

FABIANA SEIDEL

**ESTUDO DO ESTÁGIO REGULADOR DE UMA FONTE AUXILIAR ISOLADA COM
MÚLTIPLAS SAÍDAS**

JOINVILLE

2017

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
BACHARELADO EM ENGENHARIA ELÉTRICA**

FABIANA SEIDEL

**ESTUDO DO ESTÁGIO REGULADOR DE UMA FONTE AUXILIAR ISOLADA COM
MÚLTIPLAS SAÍDAS**

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

Orientador: Prof. Dr. Yales Rômulo de Novaes

JOINVILLE

2017

FABIANA SEIDEL

**ESTUDO DO ESTÁGIO REGULADOR DE UMA FONTE AUXILIAR ISOLADA COM
MÚLTIPLAS SAÍDAS**

Trabalho de Conclusão de Curso apresentado ao curso de Engenharia Elétrica como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

Banca Examinadora

Orientador:

Prof. Dr. Yales Rômulo de Novaes
UDESC

Membros:

Prof. Dr. Celso Araújo Farias
UDESC

Prof. Dr. Sérgio Vidal Garcia
UDESC

Joinville, 6 de Dezembro 2017.

Dedico este trabalho aos meus pais, Gilberto Seidel e Ledi Zucco Seidel, agricultores, como reconhecimento ao trabalho árduo que exercem e que foi necessário para dar a mim a oportunidade de ter o estudo que não tiveram. Minhas vitórias não são só minhas, serão sempre nossas.

AGRADECIMENTOS

Agradeço primeiramente a Deus por ser fonte inesgotável de esperança e conforto,

Agradeço a meus pais, por não medirem esforços para me ajudar em toda essa jornada, sei que não foi fácil mas sem vocês eu não teria chegado até aqui,

Agradeço ao Patrick, por toda a compreensão, apoio, carinho e por sempre acreditar em mim,

Agradeço ao meu orientador pela orientação, disponibilidade sempre que surgiram dúvidas e problemas e pela preocupação em fazer deste um bom trabalho com o máximo de aprendizado possível,

Agradeço ao Doutorando Gustavo Lambert, pela proposição do tema e pelo auxílio na compreensão dos assuntos abordados no trabalho,

Agradeço a todos os membros do NPEE, principalmente ao Rubens Tadeu Hock e ao Felipe Zimman por toda a ajuda tanto em bancada como sugestões para melhora do trabalho,

Agradeço também a todos os meus amigos, principalmente ao Ruan Pessôa e a Thayna Oening pelo compartilhamento de todas as alegrias e tristezas durante o desenvolvimento do trabalho.

O sucesso nasce do querer, da determinação e persistência em se chegar a um objetivo. Mesmo não atingindo o alvo, quem busca e vence obstáculos, no mínimo, fará coisas admiráveis. (José de Alencar)

RESUMO

Este trabalho apresenta o estudo do estágio regulador de uma fonte auxiliar isolada com múltiplas saídas, destinada a alimentação de conversores modulares multiníveis ou em cascata em aplicações de laboratório. A estrutura possui duas etapas, a primeira etapa é baseada em um inversor meia ponte controlando a corrente de saída, que opera como uma fonte de corrente controlada para o segundo estágio da fonte. A segunda etapa é composta por um transformador de isolamento e por um estágio regulador. O estágio regulador, que é o foco deste trabalho, tem entrada em corrente e é composto por um retificador ponte completa a diodos, por um interruptor, um diodo e um capacitor de saída. Sua estrutura se assemelha ao conversor *Boost*. A estratégia de controle utilizada é o controle por histerese, através do monitoramento da tensão de saída. A histerese é gerada com a utilização de um comparador *schmitt trigger*. É realizada a análise qualitativa e quantitativa do regulador. Na análise qualitativa são identificadas as etapas de operação do circuito e mostradas as formas de onda teóricas nos principais componentes, também é feita uma análise do controle empregado à topologia. Na análise quantitativa são feitos os equacionamentos necessários para compreender o funcionamento deste estágio, além do equacionamento dos esforços nos semicondutores. É criada uma metodologia de projeto para o estágio de potência e para o controlador. Tem se o intuito de que seja fácil reproduzir este estágio regulador através desta metodologia. Para validação das análises é feito um projeto, considerando parâmetros de uma aplicação de laboratório de um conversor modular multinível. Os parâmetros utilizados são tensão de saída de 15 V, variação da tensão de saída de 200 mV e capacitância de saída de 10 μ F. Para validação das análises são obtidos resultados de simulação e experimentais do circuito. A simulação é feita considerando os componentes reais utilizados na implementação e os componentes parasitas dos semicondutores.

Palavras-chave: Fonte auxiliar, conversores modulares multiníveis, conversores em cascata

ABSTRACT

This work presents the study of the regulator stage of an isolated auxiliary source with multiple outputs, destined to feed modular multilevel or cascade converters in laboratory applications. It's a two-stages structure, the first stage is based on a half-bridge inverter controlling the output current, that operate as a controlled current source to the second stage. The second stage is composed by an isolation transformer and a regulating stage. The regulator stage, that is the focus of this work, has current input and consists of a full-bridge diode rectifier, a switch, a diode and an output capacitor. Its structure is similar to the Boost converter. The control strategy used is the hysteresis control, through the monitoring of the output voltage. The hysteresis is generated using a *schmitt trigger* comparator. Qualitative and quantitative analysis of the regulator are performed. In the qualitative analysis are identified the steps of operation of the circuit and the theoretical waveforms in the main components, it is also done an analysis of the control used in the topology. In the quantitative analysis are shown the equations for understanding of the operation of this stage, besides the equations of the efforts in the semiconductors. A design methodology is created for the power stage and for the controller. It is intended to be easy to reproduce this regulator stage through this methodology. For validation of the analyzes is designed an regulator, considering a real laboratory application of a modular multilevel converter. The parameters used in the project are 15V output voltage, output voltage ripple of 200mV and output capacitance of 10 μ F. For the validation of the analyzes, simulation and experimental results of the circuit are obtained. The simulation of the circuit is done considering the real components used in the implementation and the parasitic components of semiconductors. The experimentation is done through a printed circuit board with components with commercial values close to those designed.

Keywords: Auxiliary power source, modular multilevel converter, cascaded converters

LISTA DE FIGURAS

2.1	Transformador de baixa frequência alimentado antes do primeiro estágio do conversor	20
2.2	Fonte auxiliar alimentada no barramento C.C.	21
2.3	Estrutura da fonte auxiliar proposta em (PEFTITSIS; ANTIVACHIS; BIELA, 2015)	23
2.4	Representação da fonte auxiliar conectada a um braço de um conversor modular multinível	25
2.5	Fonte de corrente da fonte auxiliar	26
2.6	Forma de onda de simulação da corrente de saída da fonte de corrente	26
2.7	Forma de onda experimental da corrente da fonte de corrente	27
2.8	Ondulação de baixa frequência na fonte de corrente experimental	27
2.9	Transformador de isolamento e estágio regulador da fonte auxiliar	28
3.1	Primeira etapa de funcionamento do estágio regulador	30
3.2	Segunda etapa de funcionamento do estágio regulador	31
3.3	Formas de onda da tensão de saída V_o comutação do interruptor S_1 e corrente de entrada i_{in}	32
3.4	Formas de onda da tensão e da corrente nos semicondutores	32
3.5	Diagrama de blocos de controle por histerese	33
3.6	Representação simplificada do circuito de controle do estágio regulador	34
3.7	Variação da razão cíclica de trabalho (D) com ωt	37
4.1	Ábacos de f_s com ωt e ΔV_o variando K	45
4.2	Ábacos de f_s com ωt e ΔV_o variando a capacitância	46
4.3	Circuito de comparação do controle da fonte	53
4.4	Circuito de proteção de sub-tensão	56
4.5	Circuito de acionamento do MOSFET	57
5.1	Circuito de simulação do estágio de potência	58
5.2	Circuito de simulação do controle	59
5.3	Formas de onda de simulação da tensão de saída(V_o), corrente da fonte de entrada (i_{source}) e comutação (S)	60
5.4	Formas de onda de simulação da tensão e corrente no diodo D_5 (V_{D5}) e (i_{D5})	60
5.5	Formas de onda de simulação da tensão e corrente no interruptor S_1 (V_{S1}) e (i_{S1})	61
5.6	Forma de onda dos sinais de entrada e saída do comparador	61
5.7	Forma de onda da tensão no secundário do transformador	62
5.8	Layout PCB da placa	64

5.9	Visão inferior da placa - trilhas e componentes SMD	64
5.10	Visão superior da placa - componentes PTH	65
5.11	Placa de circuito impresso da fonte auxiliar	65
5.12	Forma de onda experimental da tensão de saída, comutação e corrente de entrada .	66
5.13	Forma de onda experimental da tensão no diodo D_5	67
5.14	Forma de onda experimental da tensão no interruptor S_1	67
5.15	Forma de onda experimental da tensão no secundário do transformador	68
5.16	Forma de onda experimental da tensão na saída, sinal de comando e corrente de entrada para carga 20% da nominal	68
5.17	Forma de onda experimental da tensão de saída, comutação e corrente de entrada .	69

LISTA DE TABELAS

4.1	Parâmetros de Projeto- Fonte Auxiliar	43
4.2	Valores de K para variações de carga	44
5.1	Comparação entre valores calculados e simulados	63

LISTA DE ABREVIATURAS E SIGLAS

DEE	Departamento de Engenharia Elétrica
TCC	Trabalho de Conclusão de Curso
SMPS	Switching Mode Power Supply
ISOP	Input Series Output Parallel
C.C.	Corrente Contínua
C.A.	Corrente Alternada
MMC	Modular Multilevel Converter
LED	Light Emitter Diode
SMD	Surface Mount Device
PTH	Pin Throught Hole

LISTA DE SÍMBOLOS

I_{SOURCE}	Corrente de saída da fonte de corrente do primeiro estágio
I_{in}	Corrente de entrada do estágio regulador
I_o	Corrente de saída do estágio regulador
V_{oMAX}	Tensão de saída máxima
V_{oMIN}	Tensão de saída mínima
V_o	Tensão de saída
ΔV_o	Variação da tensão de saída
f_s	Frequência de comutação
R_g	Resistor de <i>gate</i>
I_{inPEAK}	Corrente de pico da entrada do estágio regulador
C_o	Capacitor de saída
R_o	Resistor de carga
K	Relação entre a corrente de entrada e de saída do regulador
$D(\omega t)$	Razão cíclica de trabalho variável em ωt
D_{AVG}	Razão cíclica média do conversor
$I_{SOURCEPEAK}$	Corrente de pico da fonte de corrente no primeiro estágio
N_s	Número de espiras no secundário
N_p	Número de espiras no primário
I_{inAVG}	Corrente média na entrada do regulador
I_{inRMS}	Corrente eficaz na entrada do regulador
$I_{rectAVG}$	Corrente média nos diodos retificadores na entrada do regulador
$I_{rectRMS}$	Corrente eficaz nos diodos retificadores na entrada do regulador
$V_{rectMAX}$	Tensão máxima no retificador

$I_{s_{AVG}}$	Corrente média no interruptor
$I_{s_{RMS}}$	Corrente eficaz no interruptor
$I_{d_{AVG}}$	Corrente média no diodo
$I_{d_{RMS}}$	Corrente eficaz no diodo
$I_{c_{PEAK}}$	Corrente de pico no capacitor de saída
$I_{c_{RMS}}$	Corrente eficaz no capacitor de saída
$I_{c_{RIPPLE}}$	Corrente de <i>ripple</i> no capacitor
$I_{d_{RMS}}$	Corrente eficaz no diodo
ESR	Resistência RSE do capacitor
$V_{sec_{MED}}$	Tensão média no secundário do transformador
P_o	Potência de saída da fonte auxiliar
$f_{s_{MAX}}$	Frequência de comutação máxima
$P_{rect_{cond}}$	Perdas de condução de um diodo retificador de entrada
$P_{rect_{tot}}$	Perdas totais de condução do retificador de entrada
ΔT_{rect}	Elevação de temperatura dos diodos do retificador
R_{JA}	Resistência junção-ambiente de um diodo
$T_{j_{rect}}$	Temperatura final dos diodos do retificador
$P_{MOS_{cond}}$	Perdas de condução do MOSFET
$R_{ds_{on}}$	Resistência de condução do MOSFET
t_r	Tempo de subida durante a comutação do MOSFET
t_f	Tempo de descida durante a comutação do MOSFET
$E_{MOS_{on}}$	Energia gasta pelo MOSFET ao entrar em condução
$E_{MOS_{off}}$	Energia gasta pelo MOSFET no bloqueio
$P_{MOS_{sw}}$	Perdas por comutação do MOSFET
$P_{MOS_{tot}}$	Perdas totais do MOSFET

ΔT_{MOS}	Elevação de temperatura no MOSFET
$P_{d_{cond}}$	Perdas no diodo D_5 por condução
$V_{d_{fwd}}$	Queda de tensão do diodo em condução
ΔT_d	Elevação de temperatura no no diodo D_5
T_{j_d}	Temperatura final no diodo D_5
$P_{c_{cond}}$	Perdas no capacitor por condução
P_{total}	Perdas totais do estágio regulador
V_{ref}	Tensão de referência da entrada negativa do comparador
I_F	Corrente na realimentação positiva do comparador
V_{out}	Tensão de saída do comparador
V_{sat}	Tensão de alimentação do comparador
V_{THR}	Tensão máxima da tensão na entrada do <i>schmitt trigger</i> , igual a V_{oMAX}
V_{THF}	Tensão mínima da tensão na entrada do <i>schmitt trigger</i> , igual a V_{oMIN}
H	Histerese do <i>schmitt trigger</i>
I_{b1}	Corrente de base do transistor Q_1
I_{e1}	Corrente no emissor do transistor Q_1
I_{c1}	Corrente no coletor do transistor Q_1
$V_{be_{on}}$	Tensão entre base e emissor de um transistor em condução
I_{b2}	Corrente de base do transistor Q_2
I_{e2}	Corrente no emissor do transistor Q_2
I_{c2}	Corrente no coletor do transistor Q_2
I_{b3}	Corrente de base do transistor Q_3
I_{e3}	Corrente no emissor do transistor Q_3
I_{c3}	Corrente no coletor do transistor Q_3
h_{fe}	Ganho de estático de um transistor

SUMÁRIO

1	INTRODUÇÃO	18
1.1	Objetivo geral	18
1.2	Objetivos específicos	18
2	FUNDAMENTAÇÃO TEÓRICA	20
2.1	Fonte alimentada com energia externa ao conversor	22
2.2	PROPOSTA DE FONTE AUXILIAR	22
2.2.1	Primeiro estágio: fonte de corrente	24
2.2.2	Segundo estágio: transformador e estágio regulador	28
3	ANÁLISE DO ESTÁGIO REGULADOR	30
3.1	Análise Qualitativa	30
3.1.1	Etapas de operação	30
3.1.1.1	Etapa 1 - Interruptor S_1 bloqueado	30
3.1.1.2	Etapa 2 - Interruptor S_1 em condução	31
3.1.1.3	Formas de onda	31
3.1.2	Controle do Estágio Regulador	33
3.2	Análise Quantitativa	35
3.2.1	Análise da frequência de comutação f_s	35
3.2.2	Razão cíclica de trabalho	36
3.2.3	Esforços nos semicondutores	37
3.2.3.1	Corrente de entrada	38
3.2.3.2	Retificador a diodos	38
3.2.3.3	Interruptor S_1	39
3.2.3.4	Diodo D_5	39
3.2.3.5	Cálculo da capacitância de saída	40
3.2.4	Ganho de transresistência $\frac{V_o}{I_{in}}$	41
3.2.5	Análise da tensão no transformador	42
4	METODOLOGIA E EXEMPLO DE PROJETO	43
4.1	Análise da variação de f_s com ΔV_o	43
4.2	Projeto do estágio de potência	46
4.2.1	Cálculos referentes ao transformador de isolamento	47

4.2.2	Cálculo dos esforços nos semicondutores de potência	47
4.2.2.1	Retificador a diodos	47
4.2.2.2	Interruptor S_1	48
4.2.2.3	Diodo D_5	48
4.2.2.4	Capacitor C_o	49
4.2.3	Cálculo de perdas e elevação de temperatura nos semicondutores	49
4.2.3.1	Retificador de entrada	49
4.2.3.2	Interruptor S_1	50
4.2.3.3	Diodo D_5	51
4.2.3.4	Capacitor C_o	52
4.2.3.5	Perda Total	52
4.2.4	Projeto dos elementos de controle	52
4.2.4.1	Projeto do comparador	52
4.2.4.2	Proteção de subtensão	55
4.2.4.3	Circuito de acionamento	56
5	RESULTADOS	58
5.1	Resultados de simulação	58
5.2	Resultados Experimentais	62
6	CONSIDERAÇÕES FINAIS	70
6.1	Trabalhos futuros	70
	REFERÊNCIAS BIBLIOGRÁFICAS	72

1 INTRODUÇÃO

Entre os conversores utilizados para processar elevados níveis de energia, estão os conversores modulares. Estes são uma associação de submódulos, dividindo os níveis de tensão ou corrente com relação ao número de submódulos. Os circuitos responsáveis pela operação dos conversores são os circuitos auxiliares, como circuitos de *drivers* e proteções. Como estes circuitos são de extrema importância para o funcionamento do conversor, deve se ter uma preocupação em relação ao fornecimento de energia suficiente para sua operação.

Como fonte de energia para os circuitos auxiliares, são utilizadas as fontes auxiliares. A topologia utilizada como fonte auxiliar varia dependendo da aplicação. No caso de conversores modulares multiníveis por exemplo, há a necessidade da fonte possuir várias saídas para alimentar os N submódulos do conversor. Em aplicações onde o tamanho da estrutura é compacta, há a grande preocupação com o volume e peso da fonte auxiliar, focando os esforços em se ter uma fonte auxiliar ainda mais compacta. Já aplicações onde o conversor possui maior volume e custo, é mais importante garantir a confiabilidade da fonte em todas as situações não importando tanto o tamanho final da fonte.

Este trabalho apresenta a estrutura de uma fonte auxiliar para conversores modulares multiníveis ou em cascata. Esta fonte é isolada e possui múltiplas saídas que alimentam os submódulos dos conversores. O foco é o estudo do estágio regulador da fonte auxiliar, responsável por garantir a tensão adequada na alimentação dos circuitos auxiliares.

1.1 OBJETIVO GERAL

O objetivo geral é o estudo dos circuitos de potência e controle do estágio regulador de uma estrutura de fonte auxiliar isolada com múltiplas saídas que é aplicada a conversores modulares multiníveis ou em cascata.

1.2 OBJETIVOS ESPECÍFICOS

- Revisão bibliográfica das estruturas de fontes auxiliares existentes na literatura;
- Apresentação da topologia de fonte auxiliar estudada;
- Análise das etapas de operação e do controle por histerese, como é feita a regulação da tensão de saída;

- Equacionamentos dos esforços dos componentes e da variação da frequência de comutação e da razão cíclica;
- Elaboração de uma metodologia para projeto do estágio regulador que possa ser facilmente aplicável;
- Projeto de um estágio regulador para validação das análises teóricas.

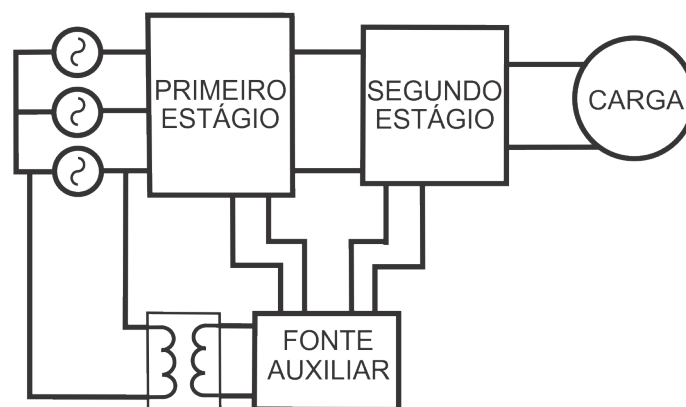
2 FUNDAMENTAÇÃO TEÓRICA

Em sistemas de conversão de energia existem diversos circuitos auxiliares como circuitos de *drivers*, de controle analógico ou digital, de proteção e estes circuitos necessitam de alimentação para garantir o funcionamento correto do conversor. Para alimentação destes circuitos são utilizadas fontes auxiliares. "São geralmente utilizadas como fontes auxiliares duas alternativas: através de um transformador de baixa frequência em cascata com uma ponte retificadora a diodos para converter uma alta tensão C.A. em uma baixa tensão C.C., ou então através fontes chaveadas, ou SMPS (*Switching Mode Power Supply*) baseadas em conversores dc-dc isolados"(TORRESAN; HOLMES; SHRAGA, 2004).

A Figura 2.1 é uma representação do primeiro caso, onde é usado um transformador de baixa frequência, principalmente quando são necessárias múltiplas saídas. Este transformador é volumoso, pesado e difícil de montar na placa de controle.

"Já as SMPS (*Switching Mode Power Supply*) podem utilizar diretamente a energia do barramento C.C. e trabalhar em alta frequência, então tem a vantagem da fonte auxiliar ser menor, mais leve e mais eficiente"(LIU et al., 2012).

Figura 2.1 – Transformador de baixa frequência alimentado antes do primeiro estágio do conversor



Fonte: (COELHO, 2004)

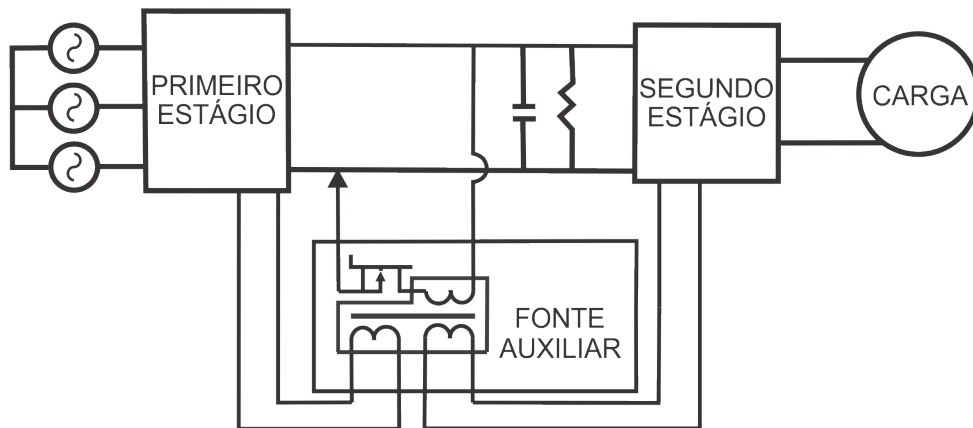
Um exemplo de aplicação para estas fontes auxiliares são os conversores modulares multiníveis (MMC). Estes conversores são utilizados para operar elevados níveis de corrente ou tensão, pois são uma associação em série ou paralelo de submódulos operando cada um com menores valores de tensão ou corrente. A estrutura de um conversor multinível é composta por um número N de submódulos e cada submódulo possui um barramento local C.C., onde existe a possibilidade de utilizar a energia para alimentar os circuitos auxiliares. Também pode-se

utilizar como fonte de energia para a fonte auxiliar o barramento total do conversor. Nos conversores em cascata ou o barramento total é de elevada tensão ou não há um barramento total disponível, somente barramentos locais em cada submódulo do conversor para alimentar a fonte auxiliar.

Quando a fonte utiliza energia do barramento total a tensão de entrada da fonte é muito elevada, isso torna o projeto da fonte mais desafiador sendo necessários semicondutores que suportem tal tensão. Além disso, quando se trata de tensões elevadas tem-se o aumento de perdas, pois perdas como as de comutação se tornam significantes, podendo tornar inviável o projeto destas fontes auxiliares.

A Figura 2.2 é uma representação de fonte auxiliar conectada ao barramento de tensão C.C. de um conversor.

Figura 2.2 – Fonte auxiliar alimentada no barramento C.C.



Fonte: (COELHO, 2004)

Como apresentado em (GRBOVIC, 2009), para tensões altas na entrada existem diferentes topologias que podem ser utilizadas, mas podem ser separadas em dois principais grupos: as fontes utilizando a topologia *single ended flyback* ou fontes com a conexão em série de vários conversores ou chaves ativas. Neste segundo grupo, são empregadas estruturas como o ISOP (*Input Series Output Parallel*), que se trata de um número N de conversores C.C.-C.C com a entrada conectada em série e as saídas em paralelo, tendo as saídas o mesmo nível de tensão. Uma das principais vantagens desta estrutura é o fato de se ter conversores em série na entrada, que devem suportar tensões menores, o que implica na redução do tamanho e custo dos componentes da fonte.

Quando conectadas ao barramento local dos submódulos a tensão de entrada da fonte é de menor valor quando comparada ao barramento total, porém continua sendo um nível alto de tensão. Esta opção é bastante utilizada e são encontradas diversas topologias de fontes na literatura, como as apresentadas em (LIU et al., 2012), (MODEER; NORRGA; NEE, 2012) e em (GRBOVIC, 2009).

O grande problema de se ter a fonte alimentada pelos barramentos, além da alta tensão de entrada, é quando o barramento não está processando energia, quando o capacitor de barramento está se carregando ou em ocorrência de faltas ou falhas. Nestas condições é necessário o fornecimento de tensão adequada para as fontes auxiliares, pois os circuitos de pré-carga e as proteção devem ser perfeitamente coordenadas.

2.1 FONTE ALIMENTADA COM ENERGIA EXTERNA AO CONVERSOR

Pode ser utilizada energia de uma fonte de energia externa ao conversor como alimentação para a fonte auxiliar. Isso garante o seu funcionamento adequado em todas as situações, seja de carga, distúrbios de entrada ou outras situações críticas de operação, aumentando sua confiabilidade. Além disso, a fonte irá operar com menores esforços de tensão nos semicondutores, dependendo da topologia a ser utilizada.

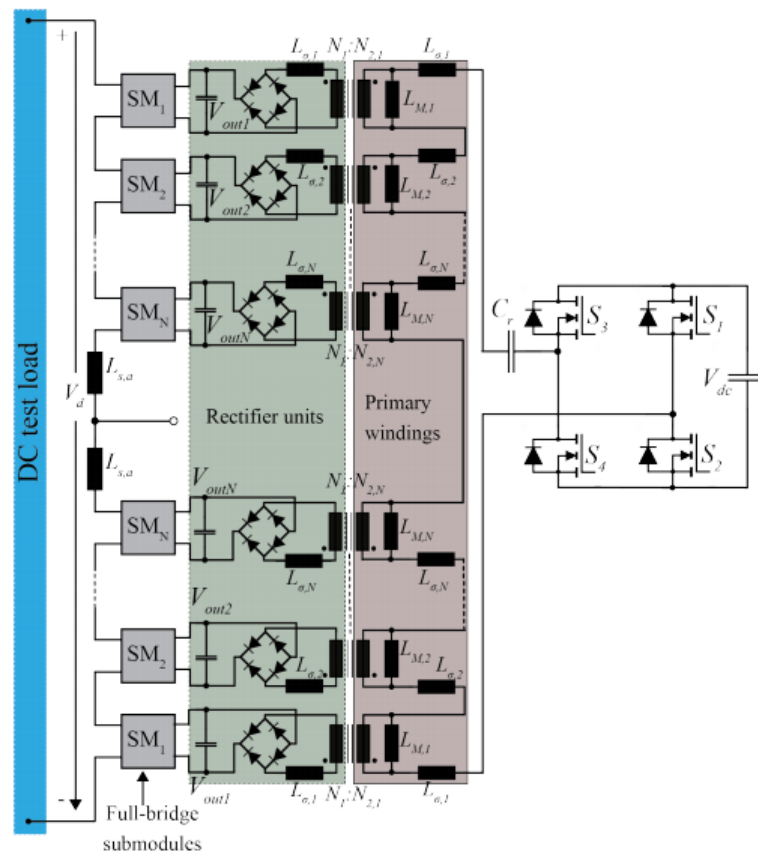
Em (WUNSCH; ZHELEV; OEDEGARD, 2016) é apresentada uma fonte para sistemas de até 36kV. Esta é composta por dois estágios, o primeiro estágio, que é o foco principal do trabalho, é um conversor C.C.-C.C. isolado com uma entrada e uma saída, sendo ele composto por um inversor, um transformador e um retificador. O segundo estágio é um conversor C.C.-C.C. de múltiplas saídas, sendo que cada saída alimenta um submódulo de um conversor modular multinível.

A fonte proposta em (PEFTITSIS; ANTIVACHIS; BIELA, 2015) é uma fonte com um conversor LLC ressonante, composto por um conversor ponte completa e um circuito ressonante, conectado ao primário de um transformador de alta frequência. A estrutura desta fonte conectada ao conversor modular é apresentada na Figura 2.3. A isolação galvânica da entrada para a saída da fonte é realizada pelo transformador, que tem o primário composto por dois fios enrolados em um tubo de alumínio aterrado e o secundário enrolado em dois núcleos de alta permissividade empilhados. O campo elétrico é passado pelo ar do primário ao secundário e as indutâncias de dispersão e de magnetização do transformador são utilizadas como partes do circuito ressonante. A construção do transformador é o principal desafio dessa fonte.

2.2 PROPOSTA DE FONTE AUXILIAR

Como uma proposta de solução aos problemas enfrentados com fontes auxiliares para alimentar conversores modulares, é apresentada uma estrutura de fonte auxiliar com alimentação externa ao conversor, isolada e com múltiplas saídas, que visa atender os requisitos de alimentação de protótipos de conversores modulares multiníveis desenvolvidos em laboratório. A fonte é composta por dois estágios. O primeiro estágio é uma fonte de corrente e o segundo estágio

Figura 2.3 – Estrutura da fonte auxiliar proposta em (PEFTITSIS; ANTIVACHIS; BIELA, 2015)



Fonte: (PEFTITSIS; ANTIVACHIS; BIELA, 2015)

é composto por N transformadores de isolamento e N estágios reguladores, sendo N o número de submódulos do conversor a ser alimentado.

Na Figura 2.4 observa-se um conversor modular multinível de três braços sendo alimentado pela fonte proposta. Podem ser vistos os capacitores de barramento de cada submódulo, com tensão V_{DC} , e os capacitores do barramento total do conversor, com tensão $\frac{V_{TOT}}{2}$.

Pode-se observar que o primário dos transformadores são conectados em série e em série com a fonte de corrente, possuindo apenas uma fonte de corrente. Em um conversor com mais braços seriam adicionados mais reguladores, mantendo a mesma fonte de corrente para todos os braços.

2.2.1 Primeiro estágio: fonte de corrente

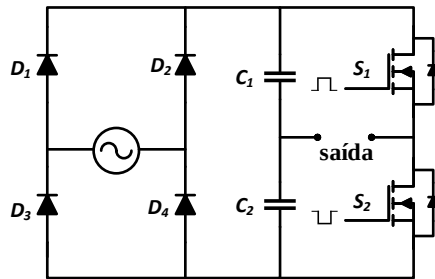
Na Figura 2.4 o primeiro estágio foi representado como uma fonte de corrente ideal, pois seu projeto e análise não fazem parte do escopo deste trabalho. Porém ela é na verdade composta por um inversor meia ponte controlado pelo nível médio instantâneo de corrente, operando então como uma fonte de corrente controlada.

O inversor meia ponte é uma topologia que transforma um sinal C.C. em C.A. É composto por apenas um braço inversor, contendo um par de interruptores que operam de forma complementar. Em paralelo com os interruptores possui dois capacitores que dividem a tensão do barramento C.C. de entrada. A carga do inversor é o segundo estágio da fonte auxiliar, que é de baixa potência, justificando assim a escolha da topologia meia ponte.

Na Figura 2.5 é mostrado o circuito da fonte de corrente. A entrada é conectada a uma rede C.A. disponível e seguida de um retificador ponte completa a diodos, com o intuito de se obter um barramento C.C na entrada do inversor. Uma corrente com baixa frequência na entrada tornaria o transformador muito volumoso, então para diminuir o tamanho do transformador responsável pela isolamento da fonte é feita a modulação do inversor para fornecer uma corrente em média frequência na saída. Por média frequência neste trabalho define-se de 200Hz a 10kHz.

Pode se observar que não há a presença de nenhuma indutância na saída do inversor. Isto porque os transformadores de isolamento são conectados em série, somando as indutâncias de dispersão de cada um. Se o projeto do transformador for feito para uma indutância de dispersão muito baixa, deve ser adicionado um indutor na saída. Isso se faz necessário devido à diferença de potencial entre os dois estágios.

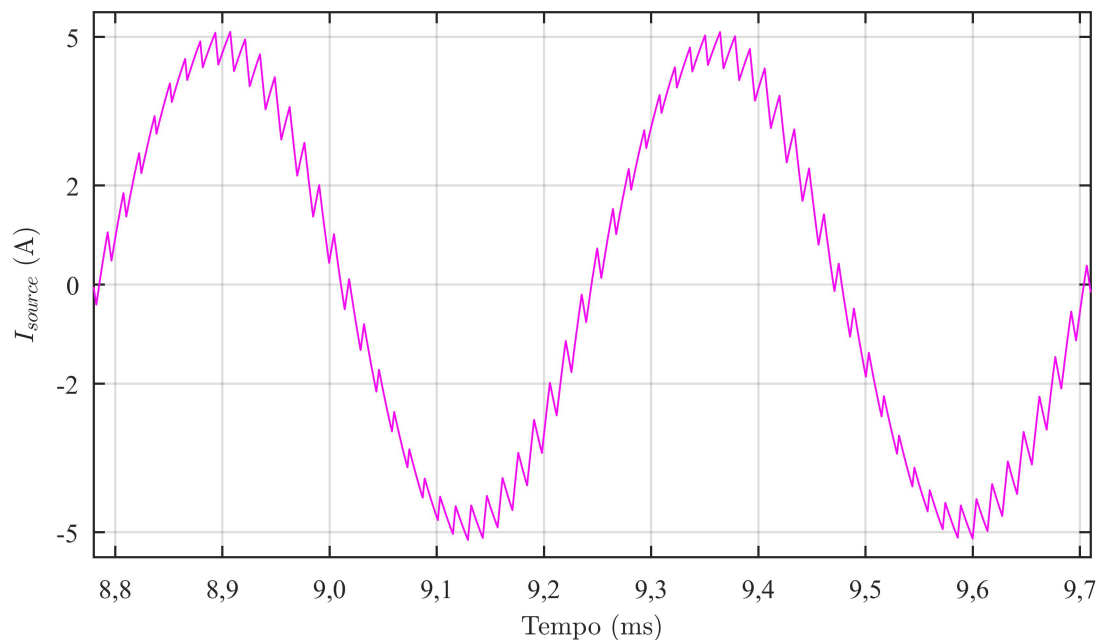
Figura 2.5 – Fonte de corrente da fonte auxiliar



Fonte: Próprio Autor

Foi obtida através da simulação a corrente de saída do primeiro estágio, mostrada na Figura 2.6. Como pode ser visto há uma ondulação em alta frequência na corrente, devido a frequência de comutação do inversor meia ponte. Isso pode ser minimizado através do aumento do indutor na saída deste estágio.

Figura 2.6 – Forma de onda de simulação da corrente de saída da fonte de corrente

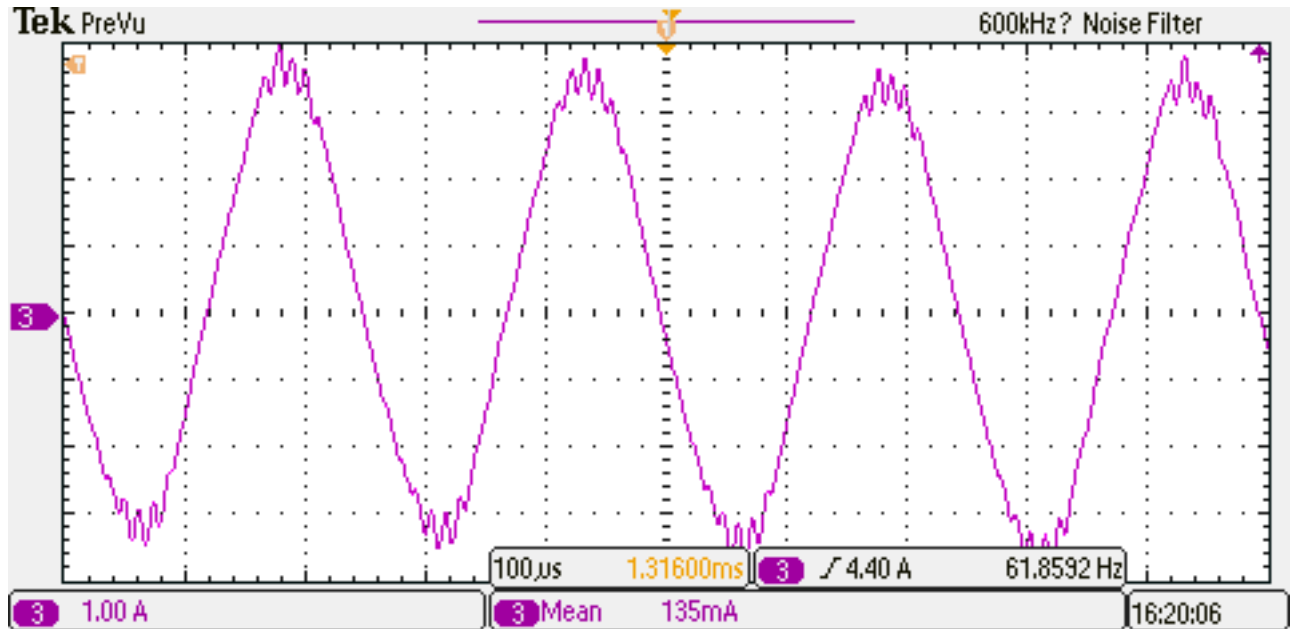


Fonte: Próprio Autor

A forma de onda obtida experimentalmente é a mostrada na Figura 2.7. É utilizado um filtro LCL na saída da fonte para filtrar a ondulação de alta frequência, porém ainda assim é observada a mesma ondulação obtida na simulação. Além disso, experimentalmente foi observada uma ondulação em baixa frequência presente na forma de onda da corrente. Na Figura 2.8 pode ser melhor observada essa ondulação com o dobro da frequência da rede, causada pelo re-

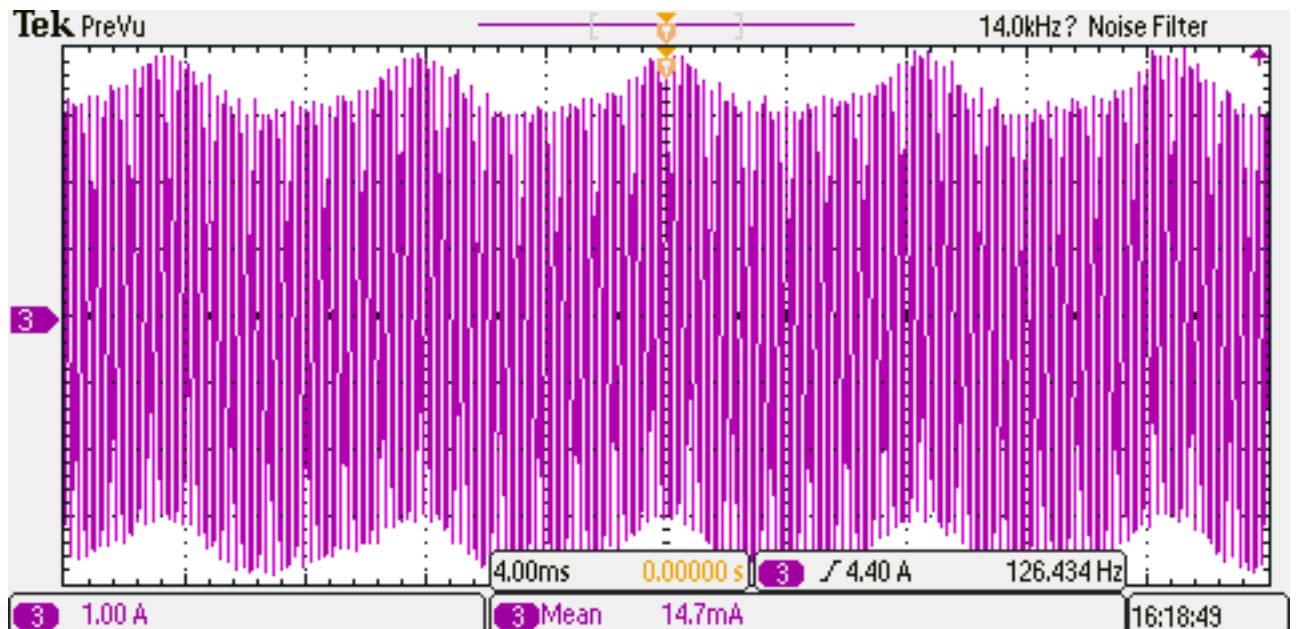
tificador monofásico com filtro capacitivo. Devido a isso, ao analisar poucos ciclos da corrente, é causada a falsa impressão de que há nível médio na corrente de entrada.

Figura 2.7 – Forma de onda experimental da corrente da fonte de corrente



Fonte: Próprio Autor

Figura 2.8 – Ondulação de baixa frequência na fonte de corrente experimental



Fonte: Próprio Autor

2.2.2 Segundo estágio: transformador e estágio regulador

O segundo estágio está presente em todos os submódulos do conversor que está sendo alimentado. Ele é composto por um transformador de isolamento e um estágio regulador, seu circuito é representado na Figura 2.9.

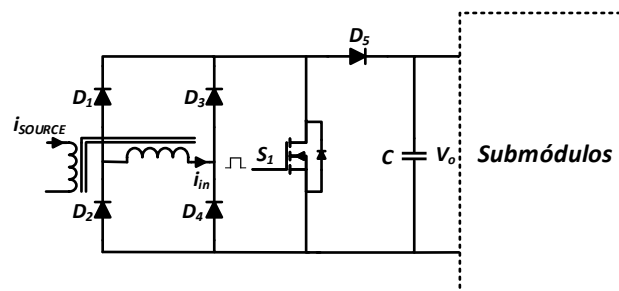
A isolamento entre primeiro e segundo estágio é feita por um transformador de corrente em média frequência. O secundário do transformador é seguido por um retificador ponte completa a diodos, que juntos operam como uma fonte de corrente retificada para o restante do circuito.

A topologia do estágio regulador é semelhante a um conversor *Boost* porém com a ausência do indutor na entrada. É composto por um interruptor (S_1), um diodo (D_5) e um capacitor de saída em paralelo com a carga (C_o).

A carga alimentada pela fonte são os circuitos auxiliares dos submódulos de conversores modulares multiníveis ou em cascata. A potência necessária para alimentar o submódulo em questão deve ser estimada através do cálculo da energia que será consumida por seus semicondutores de potência e todos os seus circuitos auxiliares.

O valor médio da corrente retificada na entrada deve ser maior que a corrente na carga. No momento em que se tem a corrente retificada menor que a corrente da carga o controle não consegue operar, fazendo com que a tensão de saída tenha afundamentos. Esses afundamentos são minimizados com o aumento da relação das correntes de entrada e saída, I_{in}/I_o .

Figura 2.9 – Transformador de isolamento e estágio regulador da fonte auxiliar



Fonte: Próprio Autor

Uma vantagem desta estrutura de fonte auxiliar é a independência dos reguladores de cada submódulo em regular a tensão de saída da fonte. Os reguladores são conectados apenas no primário do transformador, sendo que a corrente no secundário, assim como o estágio de potência e o controle não tem relação entre os submódulos. Assim, caso algum estágio regulador não consiga operar devido à falhas, os outros ainda continuam operando. Outras vantagens

que podem ser citadas são a simplicidade do transformador e da implementação do estágio regulador, o baixo custo e a facilidade de controle.

3 ANÁLISE DO ESTÁGIO REGULADOR

Nesta seção é feita a análise qualitativa e quantitativa do circuito apresentado na Figura 2.9. São explicados o funcionamento deste estágio, as formas de onda teóricas e apresentadas as equações principais para projeto do estágio regulador da fonte auxiliar.

3.1 ANÁLISE QUALITATIVA

Na seção de análise qualitativa é tratado sobre as etapas de operação, formas de onda e também explicado o funcionamento do controle do estágio regulador. A análise é feita considerando todos os componentes ideais.

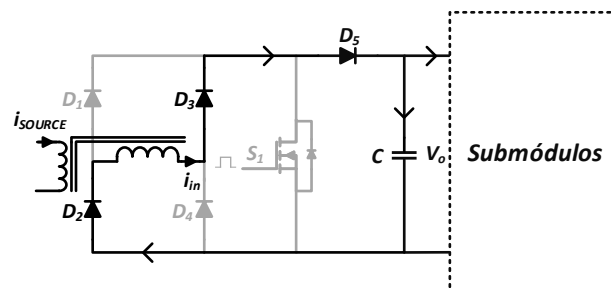
3.1.1 Etapas de operação

O circuito deve ser analisado em dois momentos: interruptor S_1 em condução ou bloqueado. Como o circuito possui um retificador ponte completa a diodos na entrada, no semi-ciclo positivo conduzem os diodos D_2 e D_3 e no semi-ciclo negativo os diodos D_1 e D_4 .

3.1.1.1 Etapa 1 - Interruptor S_1 bloqueado

Durante a primeira etapa de operação o interruptor está bloqueado e o diodo D_5 em condução. A energia da entrada é transferida ao capacitor e à carga. O capacitor se carrega, elevando a tensão na saída até atingir o seu valor máximo, de $V_o + \frac{\Delta V_o}{2}$. O circuito de controle detecta o valor máximo de tensão e faz o interruptor comutar. Esta etapa é apresentada na Figura 3.1

Figura 3.1 – Primeira etapa de funcionamento do estágio regulador



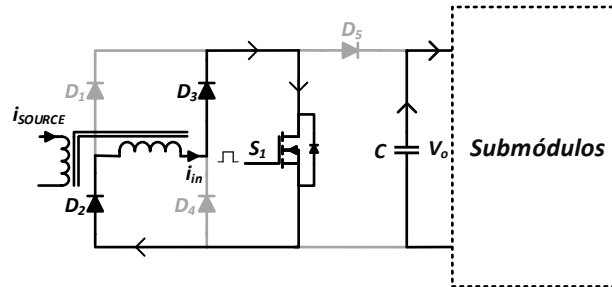
Fonte: Próprio Autor

3.1.1.2 Etapa 2 - Interruptor S_1 em condução

Na segunda etapa de operação o interruptor está conduzindo, ou seja, $S_1=1$. Com o interruptor fechado a corrente de entrada fica em roda livre através do interruptor. Nesta etapa nenhuma energia é transferida da entrada para a saída. A Figura 3.2 mostra esta etapa de operação.

O capacitor C_o , que foi previamente carregado, fornece energia para a carga. Neste momento tem-se a derivada negativa da tensão de saída da fonte, que cai até atingir o nível de tensão $V_o - \frac{\Delta V_o}{2}$. O circuito detecta este valor de tensão e bloqueia o interruptor, retornando à primeira etapa de operação.

Figura 3.2 – Segunda etapa de funcionamento do estágio regulador

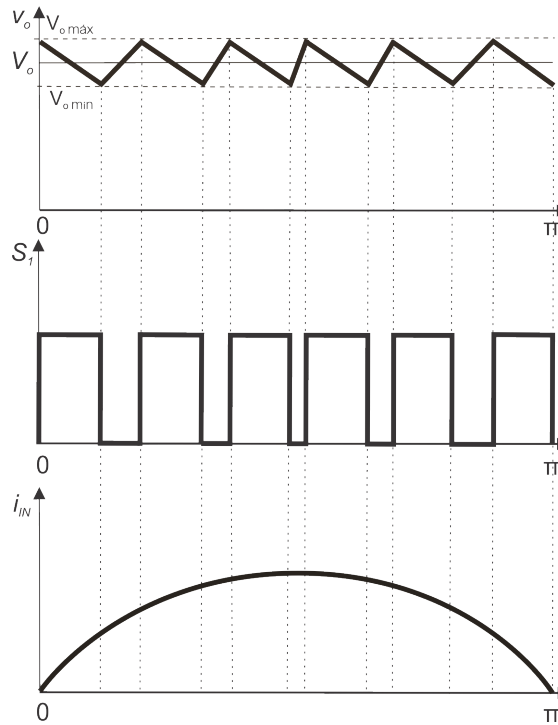


Fonte: Próprio Autor

3.1.1.3 Formas de onda

Nesta seção são apresentadas as principais formas de ondas do circuito em regime permanente. A Figura 3.3 contém as formas de onda da tensão de saída V_o , sinal de *gate* S_1 e da corrente de entrada i_{in} . Pode-se observar a banda de histerese na forma de onda da tensão de saída, que varia entre V_{oMAX} e V_{oMIN} . A frequência de comutação varia conforme a corrente de entrada, quando esta está em seu valor máximo, em $\frac{\pi}{2}$, tem-se o menor tempo de interruptor aberto.

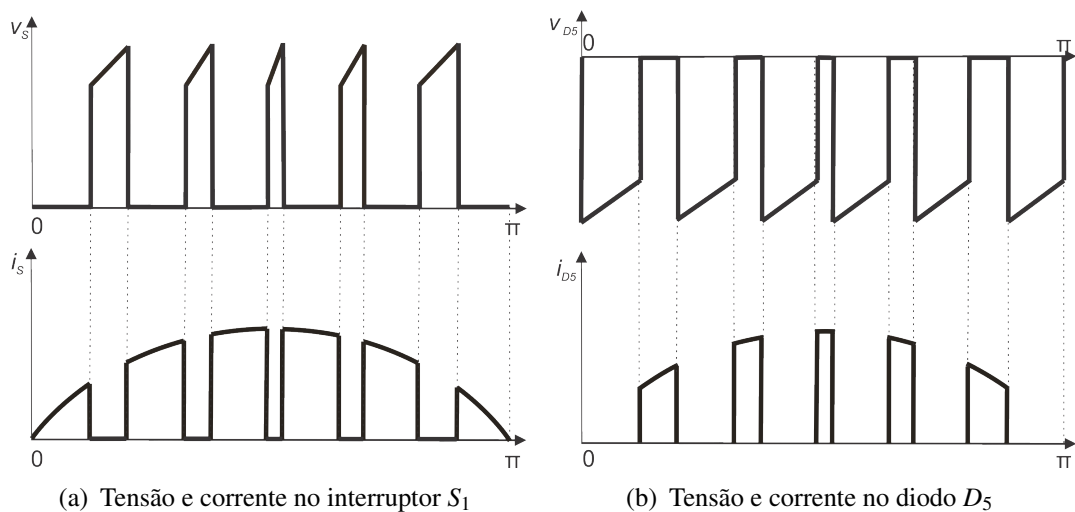
Figura 3.3 – Formas de onda da tensão de saída V_o comutação do interruptor S_1 e corrente de entrada i_{in}



Fonte: Próprio Autor

Nas Figuras 3.4(a) e 3.4(b) são mostradas as formas de onda de tensão e corrente no interruptor S_1 e no diodo D_5 , respectivamente. Quando D_5 está diretamente polarizado, o interruptor tem a tensão V_o aplicada entre dreno e *source* e D_5 conduz a corrente i_{in} . Se o interruptor está conduzindo, o diodo D_5 fica submetido ao potencial $-V_o$ e o interruptor conduz a corrente de entrada, i_{in} .

Figura 3.4 – Formas de onda da tensão e da corrente nos semicondutores

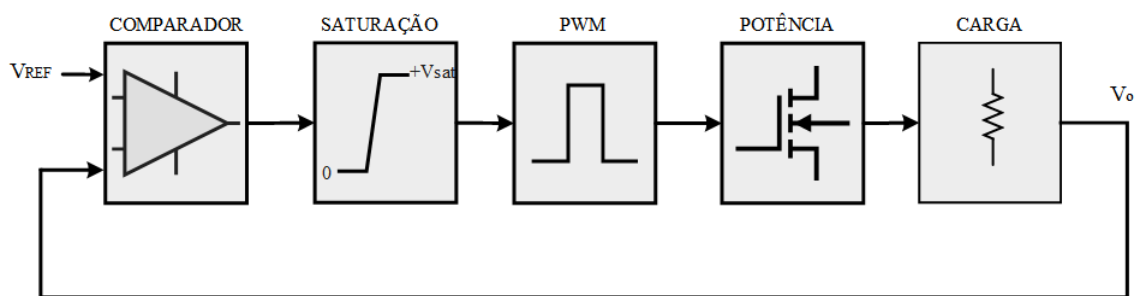


Fonte: Próprio Autor

3.1.2 Controle do Estágio Regulador

A Figura 3.5 mostra o diagrama de blocos de controle por histerese do estágio regulador da fonte auxiliar. A técnica de controle aplicada a este conversor é o controle de tensão por histerese. No controle por histerese tanto a frequência como a razão cíclica são variáveis, dependendo dos limites impostos e dos parâmetros do circuito.

Figura 3.5 – Diagrama de blocos de controle por histerese

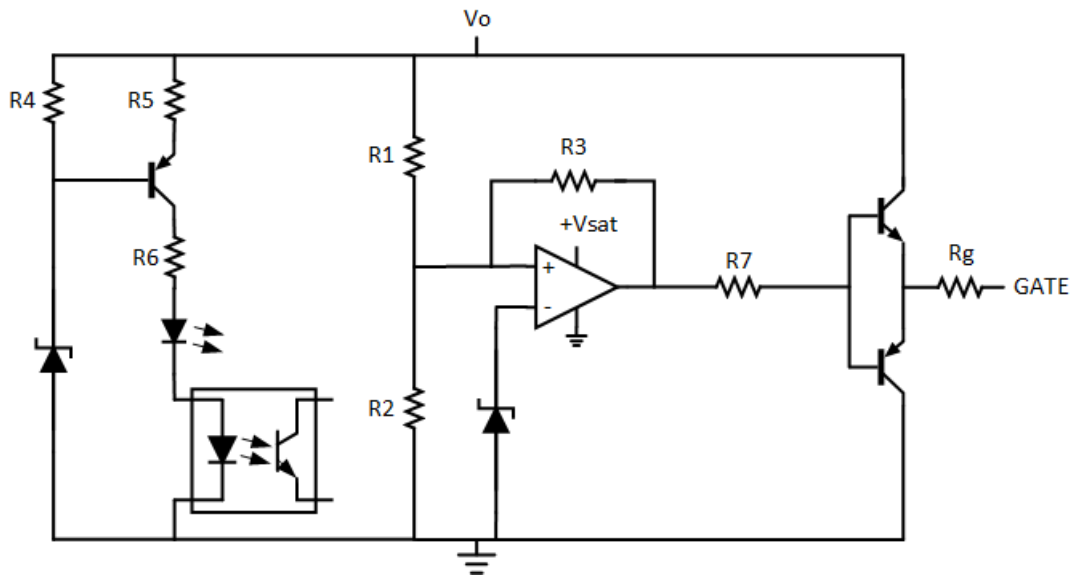


Fonte: Próprio Autor

O controle é feito pela condução e bloqueio do interruptor S_1 , através do monitoramento da tensão sobre o capacitor de saída. A tensão sobre o capacitor possui o valor médio de V_o e uma variação ΔV_o , que é a banda de histerese. Quanto maior a banda menor a frequência de comutação, pois a comutação só ocorre quando a tensão de saída atinge um valor pré-determinado. Deve ser definido pelo projetista a relação entre frequência e ΔV_o esperado para cada aplicação, considerando que a frequência de comutação deve ser maior que a da fonte de entrada.

Na Figura 3.6 é apresentado o circuito simplificado de controle do estágio regulador. O controle é implementado analogicamente através de um comparador *schmitt trigger*, que possui realimentação positiva. A banda de histerese é definida pelos resistores de realimentação (R_3) e do divisor resistivo na entrada positiva do comparador (R_1 e R_2).

Figura 3.6 – Representação simplificada do circuito de controle do estágio regulador



Fonte: Próprio Autor

Na Figura 3.6 é apresentado o circuito simplificado de controle do estágio regulador. O controle é implementado analogicamente através de um comparador *schmitt trigger*, que possui realimentação positiva. A banda de histerese é definida pelos resistores de realimentação (R_3) e do divisor resistivo na entrada positiva do comparador (R_1 e R_2).

A tensão de saída V_o é aplicada através de um divisor resistivo na entrada positiva do comparador e na entrada negativa é aplicado um sinal de referência. Enquanto o sinal na entrada positiva for menor que o da entrada negativa a saída do comparador se mantém em 0, mantendo o interruptor aberto. O interruptor aberto faz com que a tensão na saída aumente, até chegar à tensão $V_o + \frac{\Delta V_o}{2}$. Quando o sinal na entrada positiva for superior ao da entrada negativa, a saída do comparador comuta para o valor de $+V_{sat}$. Isso faz com que o interruptor entre em condução, fazendo a tensão na saída cair devido à descarga do capacitor de saída. A tensão cai até $V_o - \frac{\Delta V_o}{2}$, então o comparador comuta novamente e a tensão volta a subir. Um comparador com alimentação assimétrica facilita a implementação do controle.

Na saída do comparador há o circuito que gera o pulso para acionar o interruptor. O pulso é gerado através de um circuito *totem pole*, que possui ganho em corrente, o qual deve ser suficiente para o acionamento de S_1 . O circuito *totem pole* é composto por dois transistores bipolares em série, sendo o superior um NPN (Q_1) e o inferior um PNP (Q_2). A lógica de acionamento é que quando a tensão de saída do comparador está em nível alto o transistor Q_1 será polarizado impondo tensão no *gate* de S_1 suficiente para acionar o interruptor. Quando a saída do comparador comuta para o nível baixo, o transistor Q_2 é polarizado e o *gate* tem tensão nula, bloqueando o interruptor. Entre o circuito de controle e o *gate* há um resistor (R_g) responsável por limitar a corrente de acionamento do interruptor.

Como a alimentação dos circuitos auxiliares dos submódulos é muito importante para o funcionamento do conversor a ser alimentado, devem ser previstos circuitos de proteção para evitar danos ao submódulo no caso má operação da fonte auxiliar. A proteção prevista é de sub-tensão, que faz com que a fonte pare de alimentar o circuito no caso da tensão de saída estar muito abaixo de V_o . Um opto-acoplador é responsável por enviar informações de erros ao submódulo.

A tensão de saída V_o é aplicada ao emissor de um transistor PNP (Q_3), na base tem-se um diodo *zener* e no coletor um LED (*Light Emitting Diode*) e um opto-acoplador. Enquanto a tensão V_o for maior que a tensão do *zener* o transistor será polarizado e o LED no coletor deve acender. Quando o LED estiver apagado significa que a tensão na saída está muito baixa e possivelmente há alguma falha no circuito e é importante para monitoramento durante testes em bancada.

3.2 ANÁLISE QUANTITATIVA

Na análise quantitativa são apresentadas as equações relativas ao funcionamento do conversor. São mostrados os cálculos dos esforços nos semicondutores, o cálculo da razão cíclica e deduzido o ganho do conversor.

3.2.1 Análise da frequência de comutação f_s

Como a frequência de comutação da fonte é variável devido ao controle por histerese e a variação da corrente na entrada, é necessário obter a equação que representa o comportamento da frequência e sua relação com a variação da tensão de saída (ΔV_o) e com a corrente de entrada. Primeiramente foram obtidas as equações de tempo em que a tensão de saída está com derivada positiva, T_1 e negativa, T_2 .

O equacionamento de T_1 , Equação 3.2, e T_2 , Equação 3.3, é obtido através da corrente no capacitor de saída, $i_c = C \frac{\Delta V}{\Delta t}$ isolando a variação do tempo, como mostra a equação 3.1.

$$\Delta t = \frac{C \Delta V}{i_c} \quad (3.1)$$

Para T_1 , quando o interruptor está bloqueado, a corrente no capacitor é a corrente de entrada subtraída da corrente na carga. Desta forma, $i_c = I_{in} \sin(\omega t) - I_o$, sendo que ωt varia de 0 a π . A variação ΔV é igual a ΔV_o , pois a variação de tensão no capacitor é a mesma da carga.

A Equação 3.3 representa o intervalo em que o interruptor está conduzindo. Neste caso a corrente que circula no capacitor é a mesma da carga, porém com sentido contrário, $i_c = -I_o$. O

tempo T_2 é sempre constante para uma mesma carga, pois varia somente com parâmetros fixos de projeto da fonte.

$$T_1(\omega t) = \frac{C\Delta V_o}{I_{inPEAK} \sin(\omega t) - I_o} \quad (3.2)$$

$$T_2 = \frac{C\Delta V_o}{I_o} \quad (3.3)$$

A frequência de comutação é dada pelo inverso do período total, que é a soma de T_1 e T_2 . Manipulando as equações chega-se a Equação 3.4 que mostra a frequência de chaveamento em função da corrente de entrada do regulador, corrente de saída, capacitância de saída e variação da tensão de saída.

$$f_s(\omega t) = \frac{1}{T_1 + T_2} = \frac{I_{in}(\omega t)I_o - I_o^2}{I_{in}(\omega t)C\Delta V_o} \quad (3.4)$$

A equação da frequência de comutação foi parametrizada considerando um parâmetro $K = \frac{I_o}{I_{inPEAK}}$. A função parametrizada é mostrada na Equação 3.5 e pode ser utilizada para gerar ábacos avaliando a variação de f_s com K . Este parâmetro influencia na frequência de comutação do circuito, quanto mais próxima de 1 a relação entre as correntes menor a frequência de comutação atingida para um mesmo valor de capacitância.

$$f_s(\omega t) = \frac{V_o}{R_o C \Delta V_o} \left(1 - \frac{K}{\sin(\omega t)} \right) \quad (3.5)$$

Analisando a Equação 3.4 é possível notar que para $I_{in}(\omega t)$ igual a I_o tem-se a frequência igual a zero e para $I_{in}(\omega t)$ menor que I_o resulta em uma frequência de comutação negativa, o que é incoerente. Nestes momentos não há comutação no interruptor, ou seja, ele se mantém aberto. Fazendo a Equação 3.5 igual a zero, são obtidos os valores de ωt onde f_s cruza em zero, mostrados na Equação 3.6. No intervalo entre esses dois valores a frequência possui valores positivos.

$$\omega t = \sin^{-1}(K), \pi - \sin^{-1}(K) \quad (3.6)$$

3.2.2 Razão cíclica de trabalho

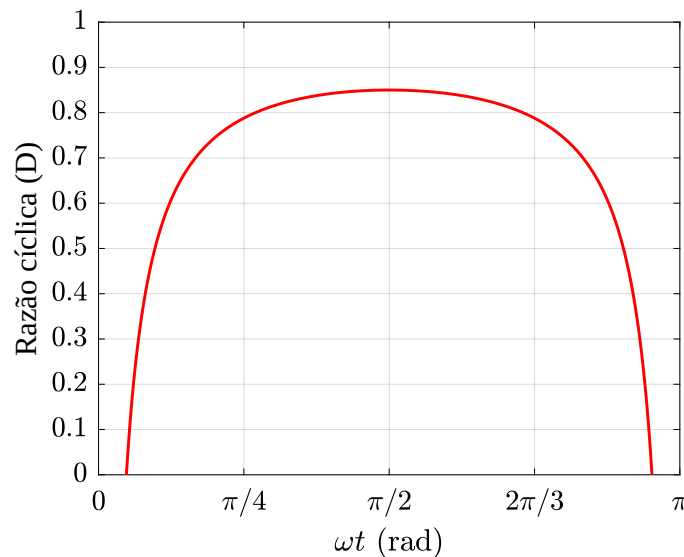
A razão cíclica de um conversor é calculada pelo tempo em que o interruptor está conduzindo com relação a um período de comutação. Como já apresentado, o tempo em que o interruptor está conduzindo foi chamado de T_2 e o período de comutação de T_s , então tem-se

$D = \frac{T_2}{T_s}$. Substituindo T_2 pela expressão apresentada em 3.3, tem-se a Equação 3.7 que representa a variação da razão cíclica de trabalho do conversor.

$$D(\omega t) = \frac{C \cdot \Delta V_o \cdot f_s}{I_o} = \frac{C \cdot \Delta V_o}{I_o} \cdot \left(\frac{I_{inPEAK} \cdot \sin(\omega t) \cdot I_o - I_o^2}{I_{inPEAK} \cdot \sin(\omega t) \cdot C \cdot \Delta V_o} \right) = \frac{I_{inPEAK} \cdot \sin(\omega t) - I_o}{I_{inPEAK} \cdot \sin(\omega t)} \quad (3.7)$$

Como pode ser observado na Equação 3.7 a razão cíclica varia com ωt . A Figura 3.7 mostra este comportamento considerando o caso de $K=0,15$. Quando a frequência assume valores negativos a razão cíclica também se torna negativa, estes valores foram desconsiderados ao plotar a curva de D por ωt por não terem sentido físico.

Figura 3.7 – Variação da razão cíclica de trabalho (D) com ωt



Fonte: Próprio Autor

Na Equação 3.8 é calculado o valor médio da razão cíclica do conversor.

$$D_{AVG} = \frac{1}{\pi} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \frac{I_{inPEAK} \cdot \sin(\omega t) - I_o}{I_{inPEAK} \cdot \sin(\omega t)} d(\omega t) \quad (3.8)$$

$$D_{AVG} = \frac{1}{\pi} \cdot \left(\pi - 2 \cdot \sin^{-1}(K) + K \cdot \ln \left(\frac{1 + \sqrt{1 - K^2}}{1 - \sqrt{1 - K^2}} \right) \right)$$

Para o caso da Figura 3.7, onde $K = 0,15$, tem-se $D_{AVG} = 0,66$.

3.2.3 Esforços nos semicondutores

Nesta seção são mostrados os equacionamentos necessários para cálculo dos esforços de corrente e tensão nos principais componentes do estágio regulador. O cálculo dos esforços é necessário para possibilitar a escolha dos semicondutores a ser utilizados.

3.2.3.1 Corrente de entrada

A corrente na entrada do estágio regulador será a corrente da fonte de corrente presente no primeiro estágio da fonte refletida para o secundário do transformador de isolamento. A Equação 3.9 representa o valor máximo da corrente na entrada, onde I_{source} é a corrente da fonte de corrente e N_s e N_p são o número de espiras no secundário e primário do transformador, respectivamente. As equações 3.10 e 3.11 são as correntes média e eficaz na entrada deste estágio. Os valores médio e eficaz são calculados em meio período de rede, pois tem o mesmo valor em módulo para o outro período.

$$I_{inPEAK} = I_{sourcePEAK} \frac{N_s}{N_p} \quad (3.9)$$

$$I_{inAVG} = \frac{1}{\pi} \int_0^{\pi} I_{inPEAK} \sin(\omega t) d\omega t = \frac{2 \cdot I_{inPEAK}}{\pi} \quad (3.10)$$

$$I_{inRMS} = \sqrt{\frac{1}{\pi} \int_0^{\pi} (I_{inPEAK} \sin(\omega t))^2 d\omega t} = \sqrt{\frac{I_{inPEAK}^2}{\pi} - \frac{1}{2}} \quad (3.11)$$

3.2.3.2 Retificador a diodos

O valor de pico da corrente nos diodos do retificador ponte completa é a mesma da entrada, dada na Equação 3.9. Já as correntes média e eficaz se diferenciam pelo fato de que cada par de diodos D_1 e D_4 ou D_2 e D_3 conduz durante meio período, então os esforços de corrente são calculados no período de 0 a 2π . As equações 3.12 e 3.13 representam os esforços nestes componentes.

$$I_{rectAVG} = \frac{1}{2\pi} \int_0^{\pi} I_{inPEAK} \sin(\omega t) d\omega t = \frac{I_{inPEAK}}{\pi} \quad (3.12)$$

$$I_{rectRMS} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} (I_{inPEAK} \sin(\omega t))^2 d\omega t} = \sqrt{\frac{I_{inPEAK}^2}{2\pi} - \frac{1}{4}} \quad (3.13)$$

A tensão máxima nestes diodos se dá na primeira etapa de operação, quando o interruptor S_1 está aberto e o diodo D_5 conduzindo. Neste momento os diodos do retificadores da entrada que não estão em condução recebem a tensão máxima da saída.

$$V_{rectMAX} = -V_o - \frac{\Delta V_o}{2} \quad (3.14)$$

3.2.3.3 Interruptor S_1

O dimensionamento do interruptor é feito através dos esforços de corrente e tensão sobre ele. Sabe-se que a tensão máxima se dá quando o interruptor está bloqueado e é igual a tensão máxima de saída com polaridade contrária, $-V_o - \frac{\Delta V_o}{2}$.

O valor de pico da corrente será igual à corrente de pico da entrada do regulador, I_{inPEAK} . Os valores médio e eficaz são obtidos através de duas integrais, a primeira calculando o valor médio ou eficaz de corrente em um período de comutação e a outra em um período de rede. A integral do período de rede é calculada de $\sin^{-1}(K)$ a $\pi - \sin^{-1}(K)$, isso se deve ao tempo em que a corrente $I_{in}(\omega t)$ é menor ou igual a I_o . Neste período não há pulsos no *gate* e com isso não há corrente circulando pelo interruptor. No período de comutação a integral é calculada de 0 a $D.T_s$, que é o tempo em que o interruptor está em condução. As equações 3.15 e 3.16 mostram o cálculo do valor médio e eficaz de corrente no interruptor.

Já são conhecidas as equações para $D(\omega t)$ e $T_1(\omega t)$, com isso foram resolvidas as integrais chegando à equações simplificadas de cálculo das correntes média e eficaz.

$$I_{sAVG} = \frac{1}{\pi} \frac{1}{T_s} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \int_0^{D.T_s} I_{inPEAK} \sin(\omega t) dt d\omega t \quad (3.15)$$

$$I_{sAVG} = \frac{2}{\pi} \cdot I_{inPEAK} \cdot \sqrt{1 - K^2} + \frac{2}{\pi} \cdot I_o \cdot \sin^{-1}(K) - I_o$$

$$I_{sRMS} = \sqrt{\frac{1}{\pi} \frac{1}{T_s} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \int_0^{D.T_s} (I_{inPEAK} \sin(\omega t))^2 dt d\omega t} \quad (3.16)$$

$$I_{sRMS} = \sqrt{\frac{I_{inPEAK}^2}{\pi} \left(\sqrt{1 - K^2} \cdot K - \sin^{-1}(K) + \frac{\pi}{2} \right) - \frac{I_{inPEAK} \cdot I_o}{\pi} \cdot 2 \cdot \sqrt{1 - K^2}}$$

3.2.3.4 Diodo D_5

A tensão máxima neste semiconductor também é igual a máxima tensão na carga, $-V_o - \frac{\Delta V_o}{2}$.

Os valores das correntes no diodo D_5 também são calculados através de integrais no período de comutação e no período de rede. Para o diodo o valor médio/eficaz é calculada através da soma de duas integrais. A primeira é uma integral dupla no período de rede e no período de comutação da corrente de entrada. A segunda integral é o calculo da corrente circulando pelo diodo quando não há comutação do interruptor e a corrente de entrada circula pelo diodo. Isso se dá nos períodos de 0 a $\sin^{-1}(K)$ e de $\pi - \sin^{-1}(K)$ a π , devido a simetria o cálculo é feito no primeiro período e multiplicado por 2.

A corrente de pico no diodo também é igual a corrente de pico da entrada, dada na Equação 3.9. Para a integral no período de comutação os limitantes são 0 e $[1 - D(\omega t)T_s]$, período em que o diodo está em condução dentro de um período de comutação. Foi encontrada a expressão para $1 - D(\omega t)$ para este caso, através de $1 - D(\omega t) = \frac{T_2}{T_s}$. O tempo T_2 foi substituído pela expressão 3.3, chegando à Equação 3.17. Conhecendo os limitantes foram resolvidas as integrais para cálculo das correntes.

O cálculo dos esforços de corrente no diodo são mostrados nas equações 3.18 e 3.19 onde foram resolvidas as integrais chegando às expressões para cálculo dos valores médio e eficaz.

$$1 - D(\omega t) = \frac{C \cdot \Delta V_o \cdot f_s}{I_{inPEAK} \cdot \sin(\omega t) - I_o} = \frac{C \cdot \Delta V_o}{I_{inPEAK} \cdot \sin(\omega t) - I_o} \cdot \left(\frac{I_{inPEAK} \cdot \sin(\omega t) \cdot I_o - I_o^2}{I_{inPEAK} \cdot \sin(\omega t) \cdot C \cdot \Delta V_o} \right) = \frac{I_o}{I_{inPEAK} \cdot \sin(\omega t)} \quad (3.17)$$

$$I_{dAVG} = \frac{1}{\pi} \frac{1}{T_s} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \int_0^{(1-D) \cdot T_s} I_{inPEAK} \sin(\omega t) dt d\omega t + \frac{2}{\pi} \int_0^{\sin^{-1}(K)} I_{inPEAK} \sin(\omega t) d\omega t$$

$$I_{dAVG} = \frac{I_o}{\pi} \cdot (\pi - 2 \cdot \sin^{-1}(K)) + \frac{2 \cdot I_{inPEAK}}{\pi} \cdot (1 - \sqrt{1 - K^2}) \quad (3.18)$$

$$I_{dRMS} = \sqrt{\frac{1}{\pi} \frac{1}{T_s} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \int_0^{(1-D) \cdot T_s} (I_{inPEAK} \sin(\omega t))^2 dt d\omega t + \frac{2}{\pi} \int_0^{\sin^{-1}(K)} (I_{inPEAK} \sin(\omega t))^2 d\omega t}$$

$$I_{dRMS} = \sqrt{\frac{I_{inPEAK}^2}{\pi} \left(\frac{1}{2} \cdot \sin^{-1}(K) - \frac{1}{4} \sin(2 \sin^{-1}(K)) \right) + \frac{2 \cdot I_{inPEAK} \cdot I_o}{\pi} \cos(\sin^{-1}(K))} \quad (3.19)$$

3.2.3.5 Cálculo da capacitância de saída

A capacitância C_o nesta fonte deve ser calculada através da expressão 3.20. Como o capacitor de saída altera a frequência de comutação, deve ser escolhida qual a frequência de operação do circuito e o valor de ΔV_o para então calcular a capacitância.

$$C_o = \frac{I_o \cdot D}{\Delta V_o \cdot f_s} \quad (3.20)$$

Os esforços de corrente no capacitor foram equacionados, como pode ser visto nas Equações 3.21 e 3.22. Foi obtida a Equação 3.23 para saber qual é a corrente de *ripple* neste capacitor e posteriormente calcular a influência da RSE na variação da tensão de saída.

$$I_{cPEAK} = I_{dPEAK} - I_o \quad (3.21)$$

$$I_{cRMS} = \sqrt{I_{dRMS}^2 - I_o^2} \quad (3.22)$$

$$I_{cRIPPLE} = I_{cPEAK} - (-I_o) = I_{dPEAK} \quad (3.23)$$

O valor da RSE do capacitor é encontrado no *datasheet* e varia conforme o tipo de capacitor. É preferível optar por capacitores com baixo valor de RSE para diminuir a queda de tensão devido a esta resistência. O cálculo da variação de tensão devido à RSE é feito multiplicando o valor de RSE pela corrente de *ripple* do capacitor, conforme a Equação 3.24.

$$\Delta V_{RSE} = RSE \cdot I_{cRIPPLE} \quad (3.24)$$

3.2.4 Ganho de transresistência $\frac{V_o}{I_{in}}$

Como o conversor tem entrada em corrente e saída em tensão pode se obter a relação para o ganho da tensão de saída em relação a corrente de entrada. O equacionamento é feito através da corrente média no capacitor de saída, que é igual a zero, conforme a Equação 3.25 abaixo.

$$I_{cAVG} = 0 = \frac{1}{T_s} \int_0^{T_s} i_c(t) dt = (I_{in}(\omega t) - I_o)(1 - D(\omega t)) - I_o \cdot D(\omega t) \quad (3.25)$$

Manipulando a equação acima é obtida a relação de ganho de corrente de saída por corrente de pico de entrada do estágio regulador, mostrado na Equação 3.26.

$$\frac{I_o}{I_{in}(\omega t)} = 1 - D(\omega t) \quad (3.26)$$

Para melhor representação do ganho, os valores instantâneos podem ser substituídos pelos seus valores médios, como mostrado na Equação 3.27.

$$\frac{I_o}{I_{inAVG}} = 1 - D_{AVG} \quad (3.27)$$

Sabe-se que I_o é igual a $\frac{V_o}{R_o}$, com isso chega-se a Equação 3.28 que representa o ganho de tensão por corrente do estágio regulador.

$$\frac{V_o}{I_{inAVG}} = R_o \cdot (1 - D_{AVG}) \quad (3.28)$$

3.2.5 Análise da tensão no transformador

Como a entrada do circuito é em corrente, a tensão a qual os enrolamentos do transformador são submetidos depende da tensão de saída do circuito. Analisando o circuito percebe-se que quando o interruptor conduz, a tensão no enrolamento secundário é zero, pois é criado um curto-circuito por onde circula a corrente de entrada. Com o interruptor bloqueado, a tensão no secundário é $+V_o$ para o semi-ciclo positivo de rede e $-V_o$ no semi-ciclo negativo. O cálculo do valor médio deve ser feito através de uma integral dupla nos períodos de comutação e de rede, como mostra a Equação 3.29.

$$V_{secAVG} = \frac{1}{\pi} \frac{1}{T_s} \int_0^\pi \int_0^{D \cdot T_s} V_o dt d\omega t = \frac{1}{\pi} \int_0^\pi \frac{C \cdot \Delta V_o}{I_{inPEAK} \sin(\omega t) - I_o} \cdot f_s d\omega t \quad (3.29)$$

A Equação 3.30 mostra a simplificação da Equação 3.29 através da substituição de f_s por sua expressão matemática. A integral para cálculo deste valor médio é limitada aos valores onde $f_s > 0$.

$$V_{secAVG} = \frac{V_o}{\pi} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \frac{I_o}{I_{inPEAK} \sin(\omega t)} d\omega t \quad (3.30)$$

$$V_{secAVG} = \frac{V_o \cdot K}{\pi} \cdot \ln \left(\frac{1 + \sqrt{1 - K^2}}{1 - \sqrt{1 - K^2}} \right)$$

Na Equação 3.30 é calculado o valor médio em meio período de rede. Somando os dois semiciclos o valor médio deve ser zero para evitar a saturação do transformador. O equacionamento para o período completo é mostrado na Equação 3.31.

$$V_{secAVGtot} = \frac{V_o}{\pi} \int_{\sin^{-1}(K)}^{\pi - \sin^{-1}(K)} \frac{I_o}{I_{inPEAK} \sin(\omega t)} d\omega t + \frac{V_o}{\pi} \int_{\pi + \sin^{-1}(K)}^{2\pi - \sin^{-1}(K)} \frac{I_o}{I_{inPEAK} \sin(\omega t)} d\omega t \quad (3.31)$$

Para o projeto, a tensão nos enrolamentos do transformador pode ser aproximada a uma onda quadrada com valores de $+V_{secAVG}$ e $-V_{secAVG}$. Estes valores são utilizados para cálculo dos parâmetros A_e e A_w , e a determinação destas variáveis é melhor explicada em (FIORIO; LAMBERT; SEIDEL, 2017).

4 METODOLOGIA E EXEMPLO DE PROJETO

Neste capítulo é apresentada a metodologia de projeto do regulador e também um exemplo de projeto considerando as especificações reais de um regulador para alimentar um submódulo de um MMC.

O primeiro passo para projeto da fonte auxiliar é a definição dos parâmetros desejados. Deve-se definir qual a tensão de saída esperada, corrente de entrada e máxima variação da tensão de saída ou frequência máxima de comutação. O exemplo de projeto apresentado neste trabalho possui os parâmetros descritos na Tabela 4.1.

Tabela 4.1 – Parâmetros de Projeto- Fonte Auxiliar

Parâmetro	Valor
V_o	15 V
$\Delta V_{o_{max}}$	200 mV
$I_{source_{PEAK}}$	5 A
C_o	$10\mu F$
$\frac{N_p}{N_s}$	$\frac{1}{10}$

A carga estimada para o submódulo de um conversor modular é de 1,1 W. Com isso, tendo a tensão de saída de 15V tem-se o valor de corrente de saída I_o , conforme a Equação 4.1. Possuindo a corrente de saída é calculado o resistor de carga que é utilizado para experimentação do projeto, mostrado na Equação 4.2.

$$I_o = \frac{P_o}{V_o} = \frac{1,1}{15} \approx 75mA \quad (4.1)$$

$$R_o = \frac{V_o}{I_o} = \frac{15}{75m} = 200\Omega \quad (4.2)$$

4.1 ANÁLISE DA VARIAÇÃO DE F_S COM ΔV_o

Há três variáveis interligadas no projeto desta fonte, são elas a capacitância de saída, a variação da tensão na saída e a frequência de comutação. Para um determinado capacitor de saída podem ser gerados ábacos com a variação de frequência para cada ΔV_o , e a partir destes ábacos escolher a melhor relação entre os dois para a aplicação desejada. No projeto apresentado foi definido um valor de capacitância de saída de $10\mu F$.

Dado um valor de ΔV_o , pode-se definir a variação da frequência em função de ωt , num intervalo de 0 a π . Podem ser gerados ábacos da frequência em função do parâmetro K e ωt para uma corrente de entrada fixa. A carga R_o da função parametrizada varia com o valor de K, conforme a equação 4.3.

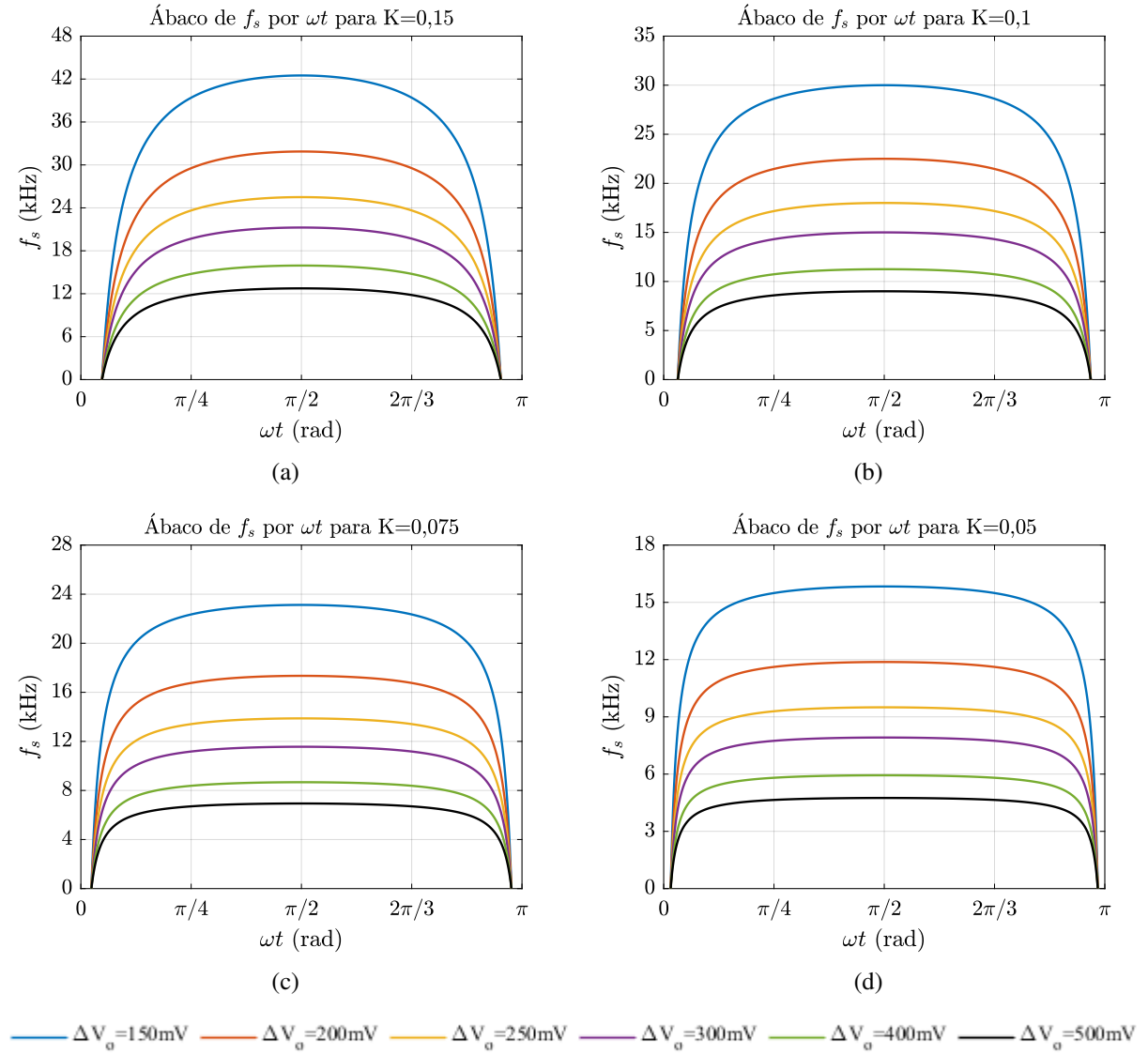
$$R_o = \frac{V_o}{I_{in}K} \quad (4.3)$$

Para o circuito com 100% de carga a relação $K = \frac{I_o}{I_{inPEAK}}$ é igual a $K = \frac{0,075}{0,5} = 0,15$. Foram calculados os valores de e e de R_o e de K para as situações de 25%, 50% e 75% de carga mantendo a corrente de entrada fixa. Os valores encontrados são mostrados na Tabela 4.2

Tabela 4.2 – Valores de K para variações de carga

Carga (%)	I_o (mA)	K	$R_o(\Omega)$
100%	75	0,15	200
75%	50	0,1	300
50%	37,5	0,075	400
25%	25	0,05	600

Com esses valores foram gerados os ábacos da Figura 4.1 onde pode ser visualizada a variação da frequência de comutação com relação ao tempo e a banda de histerese da tensão de saída. Os valores utilizados para gerar os gráficos foram $i_{in} = 0,5\text{sen}(\omega t)$ A, $V_o = 15$ V e $C=10$ μF .

Figura 4.1 – Ábacos de f_s com ωt e ΔV_o variando K

Fonte: Próprio Autor

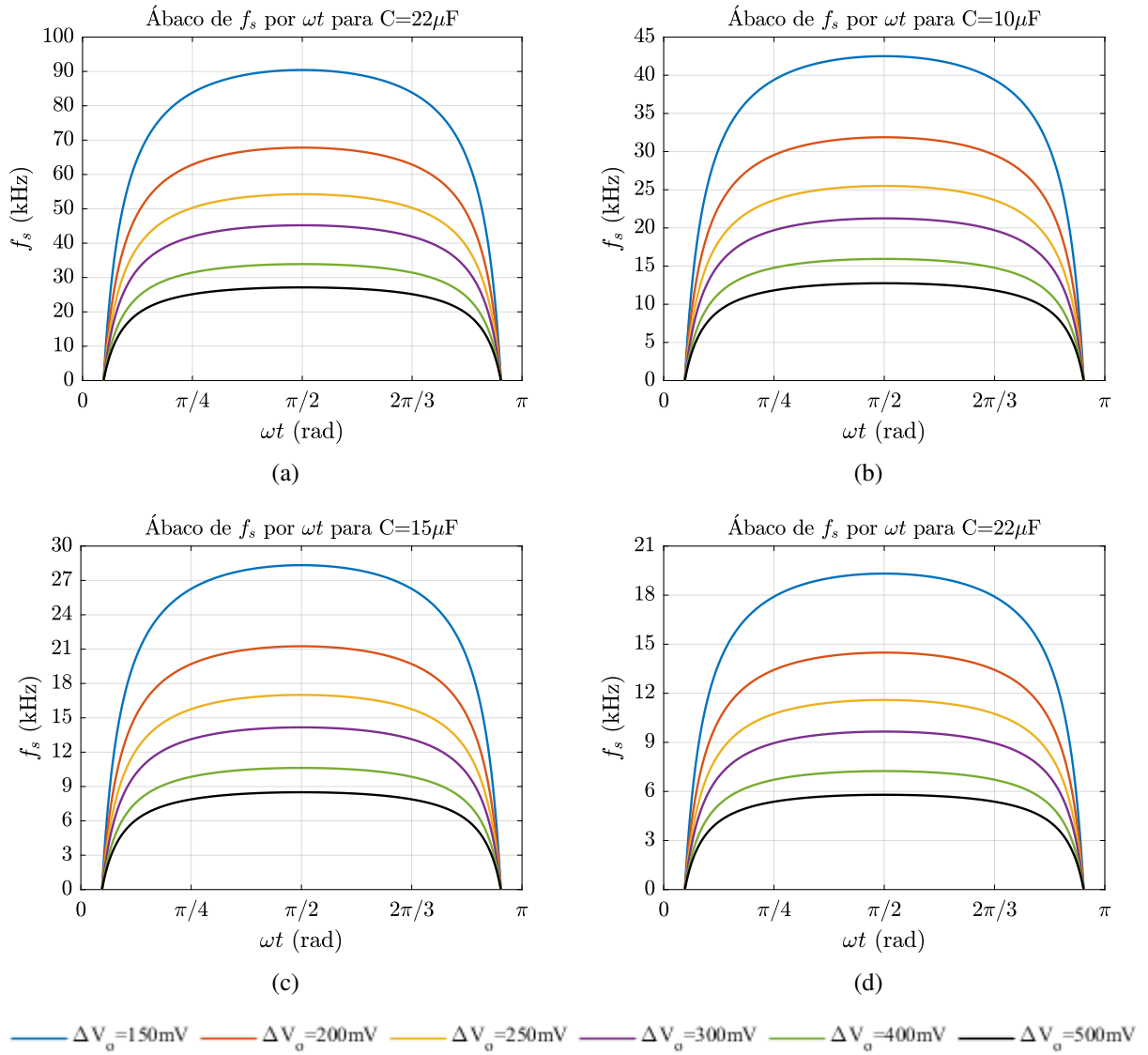
O projeto deve ser feito analisando os ábacos e definindo o ponto de operação com relação a frequência, ΔV_o e K. O ábaco utilizado para projeto da fonte é o 4.1(a) onde pode ser observada a frequência máxima de comutação da fonte. O cálculo da frequência máxima de operação do circuito pode ser feito através da equação 3.4, onde o ponto máximo de frequência é em $\omega t = \frac{\pi}{2}$. O cálculo de f_{sMAX} para os parâmetros do exemplo de projeto é mostrado na Equação 4.4.

$$f_{sMAX} = \frac{I_{inPEAK} \cdot I_o - I_o^2}{I_{inPEAK} \cdot C \Delta V_o} = \frac{0,5 \cdot 0,075 - (0,075)^2}{0,5 \cdot 10^{-6} \cdot 0,2} = 31,875 \text{kHz} \quad (4.4)$$

Mantendo a relação de correntes utilizadas no projeto de $K=0,15$ foram gerados ábacos, variando agora o valor da capacitância de saída. É interessante conhecer a variação de f_s com a capacitância devido a maior dificuldade de encontrar valores comerciais próximos de capaci-

tância, podendo então avaliar a viabilidade de utilizar outro capacitor disponível. Os ábacos são mostrados na Figura 4.2.

Figura 4.2 – Ábacos de f_s com ωt e ΔV_o variando a capacitância



Fonte: Próprio Autor

É possível perceber a grande variação de frequência com os valores de capacitância, sendo que quanto menor a capacitância maior a frequência de comutação alcançada.

4.2 PROJETO DO ESTÁGIO DE POTÊNCIA

No projeto do estágio de potência são calculados os esforços para escolher o semiconductor adequado para a aplicação. Após determinados os componentes, são calculados, através das informações contidas nos respectivos *datasheets*, as perdas e a elevação de temperatura que

serão geradas. É importante realizar estes cálculos para prever a necessidade de dissipadores de calor ou mudanças nos parâmetros para se ter menos perdas.

4.2.1 Cálculos referentes ao transformador de isolação

O transformador deve ser projetado considerando a tensão que irá aparecer em seu primário e secundário, a fim de evitar a presença de nível médio de tensão ou corrente que podem levá-lo a saturação. O projeto do transformador de isolação não faz parte deste trabalho, porém está em desenvolvimento e pode ser consultado pelo relatório interno (FIORIO; LAMBERT; SEIDEL, 2017).

Tem-se a informação da relação de espiras $\frac{N_1}{N_2}$, que é de $\frac{1}{10}$. Sabe-se também que a indutância do primário é de 1 mH e do secundário de 100 mH. Estas informações são suficientes para projeto do estágio regulador.

4.2.2 Cálculo dos esforços nos semicondutores de potência

Em 4.5, 4.6 e 4.7 são determinados o valor de pico, médio e eficaz, consecutivamente, da corrente que circula pelo secundário do transformador.

$$I_{inPEAK} = I_{source} \frac{N_p}{N_s} = 5 \cdot \frac{1}{10} = 500mA \quad (4.5)$$

$$I_{inAVG} = \frac{1}{\pi} \int_0^{\pi} 0,5 \sin(\omega t) d\omega t = 0,318A \quad (4.6)$$

$$I_{inRMS} = \sqrt{\frac{1}{\pi} \int_0^{\pi} (0,5 \sin(\omega t))^2 d\omega t} = 0,354A \quad (4.7)$$

4.2.2.1 Retificador a diodos

A corrente de pico que circula pelos diodos retificadores de entrada tem o mesmo valor de 4.5. Com isso pode ser determinado o valor das correntes média e eficaz, conforme as Equações 4.8 e 4.9. A tensão máxima que o semicondutor deve suportar é determinada na Equação 4.10.

$$I_{rectAVG} = \frac{1}{2\pi} \int_0^{\pi} 0,5 \sin(\omega t) d\omega t = 0,159A \quad (4.8)$$

$$I_{rectRMS} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} (0,5 \sin(\omega t))^2 d\omega t} = 0,25A \quad (4.9)$$

$$V_{rectPEAK} = -V_o - \frac{\Delta V_o}{2} = -15 - 0,1 = -15,1V \quad (4.10)$$

4.2.2.2 Interruptor S_1

A tensão de bloqueio do interruptor é determinada pela tensão da carga somada com a metade da ondulação da tensão de saída, conforme 4.11. São calculadas as correntes média e eficaz no interruptor nas Equações 4.12 e 4.13.

$$V_{sPEAK} = V_o + \frac{\Delta V_o}{2} = 15 + 0,1 = 15,1V \quad (4.11)$$

$$I_{sAVG} = \frac{2}{\pi} \cdot I_{inPEAK} \cdot \sqrt{1 - K^2} + \frac{2}{\pi} \cdot I_o \cdot \text{sen}^{-1}(K) - I_o \quad (4.12)$$

$$I_{sAVG} = \frac{2}{\pi} \cdot 0,5 \cdot \sqrt{1 - (0,15)^2} + \frac{2}{\pi} \cdot 0,075 \cdot \text{sen}^{-1}(0,15) - 0,075 I_{sAVG} = 0,247A$$

$$I_{sRMS} = \sqrt{\frac{I_{inPEAK}^2}{\pi} \left(\sqrt{1 - K^2} \cdot K - \text{sen}^{-1}(K) + \frac{\pi}{2} \right) - \frac{I_{inPEAK} \cdot I_o}{\pi} \cdot 2 \cdot \sqrt{1 - K^2}}$$

$$I_{sRMS} = \sqrt{\frac{0,5^2}{\pi} \left(\sqrt{1 - 0,15^2} \cdot 0,15 - \text{sen}^{-1}(0,15) + \frac{\pi}{2} \right) - \frac{0,5 \cdot 0,075 \cdot 2 \cdot \sqrt{1 - 0,15^2}}{\pi}} \quad (4.13)$$

$$I_{sRMS} = 0,319A$$

4.2.2.3 Diodo D_5

A tensão de bloqueio do diodo é calculada na Equação 4.14 e os cálculos dos esforços de corrente são mostrados nas Equações 4.15 e 4.16.

$$V_{dPEAK} = -V_o - \frac{\Delta V_o}{2} = -15 - 0,1 = -15,1V \quad (4.14)$$

$$I_{dAVG} = I_{dAVG} = \frac{I_o}{\pi} \cdot (\pi - 2 \cdot \text{sen}^{-1}(K)) + \frac{2 \cdot I_{in}}{\pi} \cdot (1 - \sqrt{1 - K^2}) \quad (4.15)$$

$$I_{dAVG} = \frac{0,075}{\pi} \cdot (\pi - 2 \cdot 0,15) + \frac{2 \cdot 0,5}{\pi} \cdot (1 - \sqrt{1 - 0,15^2}) = 0,742$$

$$\begin{aligned}
I_{d_{RMS}} &= \sqrt{\frac{I_{in_{PEAK}}^2}{\pi} \left(\frac{1}{2} \cdot \text{sen}^{-1}(K) - \frac{1}{4} \text{sen}(2\text{sen}^{-1}K) \right) + \frac{2 \cdot I_{in_{PEAK}} \cdot I_o}{\pi} \cos(\text{sen}^{-1}K)} \\
I_{d_{RMS}} &= \sqrt{\frac{0,5^2}{\pi} \left(\frac{1}{2} \cdot \text{sen}^{-1}(0,15) - \frac{1}{4} \text{sen}(2\text{sen}^{-1}(0,15)) \right) + \frac{2 \cdot 0,5 \cdot 0,075}{\pi} \cos(\text{sen}^{-1}(0,15))} \\
I_{d_{RMS}} &= 0,152
\end{aligned} \tag{4.16}$$

4.2.2.4 Capacitor C_o

São calculados nas Equações 4.17, 4.18 e 4.19 os esforços no capacitor para o projeto. A resistência RSE do capacitor cerâmico SMD (*Surface Mount Device*) escolhido é de $10m\Omega$, com isso é calculada a queda de tensão devido a RSE no circuito mostrada na Equação 4.20.

$$I_{c_{PEAK}} = I_{d_{PEAK}} - I_o = 0,425A \tag{4.17}$$

$$I_{c_{RMS}} = \sqrt{I_{d_{RMS}}^2 - I_o^2} = 0,135A \tag{4.18}$$

$$I_{c_{RIPPLE}} = I_{d_{PEAK}} = 0,5A \tag{4.19}$$

$$\Delta V_{o_{ESR}} = ESR \cdot I_{c_{RIPPLE}} = 5mV \tag{4.20}$$

4.2.3 Cálculo de perdas e elevação de temperatura nos semicondutores

Nesta seção são apresentados os cálculos térmicos relativos aos componentes de potência do circuito.

4.2.3.1 Retificador de entrada

Os diodos escolhidos para o retificador são diodos *schottky*, devido às menores perdas destes diodos. Podem ser desprezadas as perdas por comutação neste semicondutor, podendo ser consideradas apenas as perdas por condução. O cálculo de perdas de condução pode ser feito utilizando a queda de tensão do diodo em condução e a corrente média que circula por ele. A corrente média foi apresentada em 4.8 e é igual a 0,159 A. A queda de tensão de condução direta do diodo SS34 é de 0,5 V.

$$P_{rect_{cond}} = V_{d_{fwd}} \cdot I_{rect_{AVG}} = 0,5.0,159 = 0,08W \quad (4.21)$$

Como no retificador há 4 diodos, as perdas totais do retificador da entrada devem também ser multiplicadas por 4, conforme a Equação 4.22

$$P_{rect_{tot}} = 4 \cdot P_{rect_{cond}} = 4.0,08 = 0,318W \quad (4.22)$$

Para o cálculo da elevação de temperatura nos diodos são utilizadas as informações de perdas já calculadas e a resistência de junção-ambiente do semiconductor. Pelo *datasheet* do diodo escolhido tem-se que R_{JA} é igual a $55 \frac{\Delta^\circ C}{W}$, com isso é calculada a variação de temperatura.

$$\Delta T_{rect} = P_{rect_{cond}} \cdot R_{JA} = 0,08.55 = 4,38^\circ C \quad (4.23)$$

Considerando uma temperatura ambiente de 40 tem-se a temperatura final do semiconductor na Equação 4.24.

$$T_{j_{rect}} = T_{amb} + \Delta T_{rect} = 44,38^\circ C \quad (4.24)$$

4.2.3.2 Interruptor S_1

No caso do MOSFET S_1 são necessários os cálculos de perdas de comutação e de condução. O cálculo das perdas de condução é feito através da resistência do MOSFET em condução e da corrente eficaz que circula por ele. A resistência $R_{ds_{on}}$ do IRF7313 é de $0,029\Omega$ para a temperatura de $25^\circ C$. Pelo gráfico da elevação da resistência com a temperatura apresentado no *datasheet* do componente, a $40^\circ C$ a resistência aumenta em um fator aproximado de 1,1, sendo igual a $0,032\Omega$.

$$P_{MOS_{cond}} = R_{ds_{on}} \cdot I_{s_{RMS}}^2 = 0,032.0,319^2 = 3,25mW \quad (4.25)$$

O cálculo das perdas de comutação é feito através da soma das energias para acionamento e bloqueio do interruptor multiplicado pela frequência de comutação do interruptor. As Equações 4.26 e 4.27 mostram o cálculo das energias para transição do estado do MOSFET.

Para cálculo das energias são necessárias as informações do tempo de subida e de descida do MOSFET, t_r e t_f . No caso do interruptor escolhido os valores são 13 ns e 26 ns, respectivamente. Com isso, utilizando-se os valores de tensão e corrente já calculados, tem-se as energias envolvidas no acionamento e bloqueio do MOSFET. São então calculadas as perdas de comutação para este semiconductor na Equação 4.28. É importante observar que é utilizada a frequência de comutação máxima sendo então este valor superestimado.

$$E_{MOS_{on}} = \frac{1}{2} \cdot V_{oMAX} \cdot I_{sAVG} \cdot t_r = \frac{1}{2} \cdot 15,10,247.13n = 24,2nJ \quad (4.26)$$

$$E_{MOS_{off}} = \frac{1}{2} \cdot V_{oMAX} \cdot I_{sAVG} \cdot t_f = \frac{1}{2} \cdot 15,10,247.26n = 48,4nJ \quad (4.27)$$

$$P_{MOS_{sw}} = (E_{MOS_{on}} + E_{MOS_{off}}) \cdot f_s = (24,2n + 48,4n) \cdot 31,875k = 2,31mW \quad (4.28)$$

Na Equação 4.29 são calculadas perdas totais do MOSFET através da soma das perdas de comutação e condução.

$$P_{MOS_{tot}} = P_{MOS_{cond}} + P_{MOS_{sw}} = 4,75m + 2,3m = 7,05mW \quad (4.29)$$

Para cálculo da elevação de temperatura é utilizada a resistência junção-ambiente, que para este MOSFET é de $62,5 \frac{^\circ C}{W}$ e as perdas calculadas em 4.29. O cálculo é apresentado na Equação 4.30

$$\Delta T_{MOS} = P_{MOS_{tot}} \cdot R_{JA_{MOS}} = 7,05m \cdot 62,5 = 0,44^\circ C \quad (4.30)$$

Para $T_{amb} = 40^\circ C$ tem-se uma temperatura final de $40,44^\circ C$.

Conclui-se então que não é necessária a utilização de um dissipador para o MOSFET, devido a baixa elevação de temperatura.

4.2.3.3 Diodo D_5

O diodo utilizado é o mesmo dos retificadores de entrada, então possui o mesmo valor de $V_{d_{fwr}} = 0,5$ V. A corrente média no diodo que foi anteriormente calculada é igual a corrente na carga, de 75 mA.

$$P_{d_{cond}} = V_{d_{fwd}} \cdot I_{d_{AVG}} = 0,5 \cdot 0,075 = 0,038W \quad (4.31)$$

É calculada a elevação de temperatura nos componentes, conforme as Equações 4.32

$$\Delta T_d = P_{d_{cond}} \cdot R_{JA} = 0,038 \cdot 55 = 2,06^\circ C \quad (4.32)$$

Enfim é calculada a temperatura final do diodo, conforme Equação 4.33.

$$T_{jd} = T_{amb} + \Delta T_d = 42,06^\circ C \quad (4.33)$$

4.2.3.4 Capacitor C_o

As perdas no capacitor de saída são causadas pela sua resistência RSE. Elas são calculadas através da multiplicação de RSE pela corrente eficaz do capacitor elevada ao quadrado, como mostrado em 4.34.

$$P_{c_{cond}} = ESR \cdot (I_{c_{RMS}})^2 = 0,01 \cdot (0,135)^2 = 0,182mW \quad (4.34)$$

4.2.3.5 Perda Total

Finalmente pode ser calculada a perda total do estágio regulador, ela é calculada pela soma de todas as potências calculadas, no retificador de entrada, no interruptor, no diodo e no capacitor. A Equação 4.35 mostra este cálculo.

$$P_{total} = P_{rect_{tot}} + P_{MOS_{tot}} + P_{d_{cond}} + P_{c_{cond}} = 0,367W \quad (4.35)$$

4.2.4 Projeto dos elementos de controle

A seguir são apresentadas as equações para projeto do controle e os cálculos realizados no exemplo de projeto para escolha dos componentes utilizados. O controle por histerese é comumente implementado através de um comparador, porém é necessário uma fonte para alimentar este componente. Devido a dificuldade de se ter uma fonte somente para o comparador, a estratégia do controle é que o circuito seja todo auto-alimentado, então a tensão de saída além de ser utilizada na comparação é utilizada para alimentar o comparador.

Ao conectar a fonte à rede, a tensão na saída parte de zero e começa a subir. Neste momento em que não se tem energia suficiente para o comparador na saída, a entrada negativa do comparador é maior que o sinal da entrada positiva, mantendo a saída do comparador em zero e com isso o interruptor aberto. Isso faz com que a tensão continue subindo até atingir um valor suficiente para alimentar o comparador e realizar o controle.

4.2.4.1 Projeto do comparador

O projeto do comparador com histerese *schmitt trigger* foi feito conforme recomendação do fabricante do comparador utilizado. Sabendo que a frequência de comutação do circuito é na ordem de 30 kHz é necessário escolher um comparador com baixo tempo de subida e descida, para que o atraso na transição de estados do comparador não afete o controle. O comparador

$$R_3 = \frac{2,4}{20\mu} = 120k\Omega \quad (4.38)$$

$$R_3 = \frac{5 - 2,4}{20\mu} = 130k\Omega \quad (4.39)$$

Com isso, tem-se que $R_3 = 120 k\Omega$.

- Segundo passo: escolher a banda de histerese desejada, V_{HB} .

A banda de histerese na tensão V_o , como já especificada, é de $\Delta V_o = V_{BH} = 200 mV$.

- Terceiro passo: calcular R_1 .

O resistor R_1 é calculado através da Equação 4.40.

$$R_1 = R_3 \cdot \frac{V_{HB}}{+V_{sat}} = 120k \cdot \frac{200m}{5} = 4,8k\Omega \quad (4.40)$$

- Quarto passo: escolher o valor de V_{THR} .

A tensão V_{THR} é o valor máximo da tensão V_o . É definido pela tensão $V_o + \frac{\Delta V_o}{2}$, e no caso do projeto em questão esse valor máximo é de 15,1 V.

- Quinto passo: calcular R_2 conforme Equação 4.41.

$$R_2 = \frac{1}{\left(\frac{V_{THR}}{V_{ref} \cdot R_1}\right) - \frac{1}{R_1} - \frac{1}{R_3}} = \frac{1}{\left(\frac{15,1}{2,4 \cdot 4,8k}\right) - \frac{1}{4,8k} - \frac{1}{120k}} = 913,99\Omega \quad (4.41)$$

- Sexto passo: verificar os valores máximo e mínimo da tensão e a banda de histerese.

Os valores calculados podem ser verificados através das Equações 4.42, 4.43 e 4.44. As tensões V_{THR} e V_{THF} são os valores máximo e mínimo da tensão de saída da fonte. A histerese H é calculada pela diferença entre os valores máximo e mínimo.

$$V_{THR} = V_{ref} \cdot R_1 \cdot \left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right) = 2,4 \cdot 4,8k \cdot \left(\frac{1}{4,8k} + \frac{1}{913,99} + \frac{1}{120k}\right) = 15,1V \quad (4.42)$$

$$V_{THF} = V_{THR} - \frac{R_1 \cdot (+V_{sat})}{R_3} = 15,1 - \frac{4,8k \cdot 5}{120k} = 14,9V \quad (4.43)$$

$$H = V_{THR} - V_{THF} = 15,1 - 14,9 = 200mV \quad (4.44)$$

A alimentação de 5 V do comparador é feita através de um regulador linear. O regulador escolhido é o LM78L05, também da Texas Instruments. Na entrada do regulador há a tensão de saída da fonte, e na saída do regulador a tensão de 5 V. Por recomendação do fabricante são colocados dois capacitores em paralelo com o comparador para filtrar ruídos, na entrada há um capacitor de 330 nF e na saída de 100 nF.

O diodo *zener* na entrada inversora também é alimentado com a tensão de saída da fonte auxiliar. Entre a tensão e o zener existe um resistor para limitar a corrente no diodo. O resistor utilizado é de 4,7 kΩ, que quando a tensão de saída está em 15 V fornece uma corrente de 3,2 mA para o *zener*, corrente esta suficiente para a operação do diodo.

Em paralelo com o interruptor há um resistor responsável por descarregar a capacitância do capacitor interno do MOSFET caso não haja pulso de gatilho, servindo como proteção para o circuito. Este resistor é escolhido como 10 kΩ, a variação em seu valor muda somente a velocidade de descarga do capacitor.

4.2.4.2 Proteção de subtensão

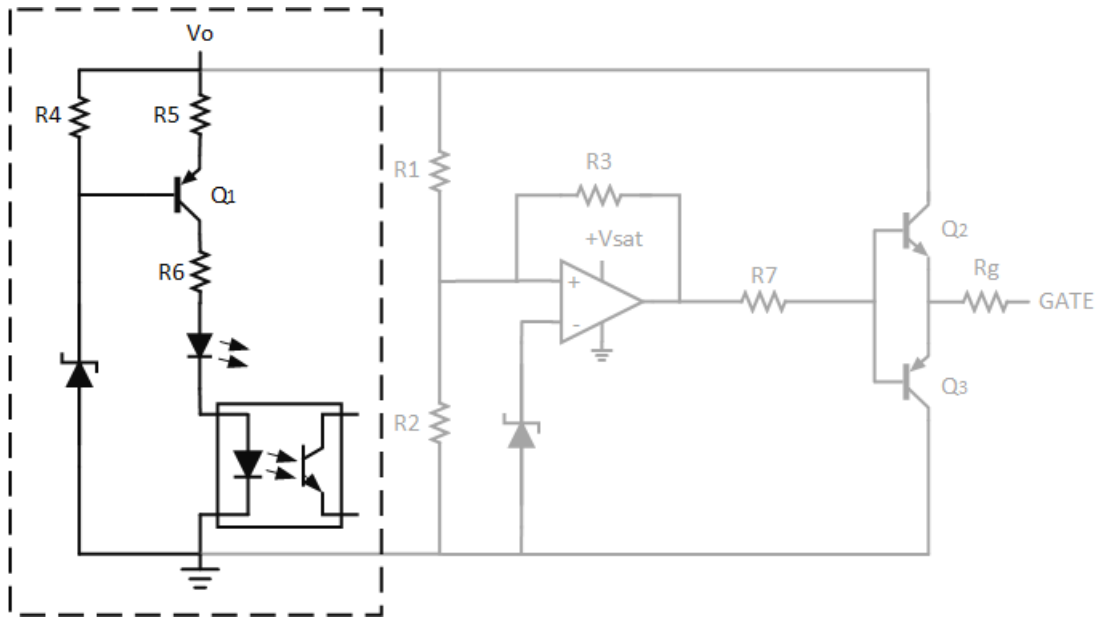
O projeto da proteção é basicamente o cálculo das resistências para polarização do transistor bipolar PNP Q_1 , mostrado na Figura 4.4. O transistor utilizado no exemplo de projeto é o SMBT2907, por possuir encapsulamento SMD e por suportar as características de corrente e tensão desejadas.

Na base do transistor há um diodo *zener*, onde deve circular uma corrente suficiente para polarização do diodo. Foi escolhido o diodo *zener* BZT55-12, que possui uma tensão de *zener* de 12 V. Através do *datasheet* do componente tem-se a informação da corrente necessária para garantir a tensão desejada. O diodo BZT55-12 consegue operar corretamente com corrente a partir de 1 mA. Assim, o resistor R_4 foi definido como 10 kΩ. Enquanto o transistor Q_1 está bloqueado, a corrente que circula pelo *zener* é dada por $\frac{V_o}{R_4}$. Quando Q_1 está polarizado a corrente no diodo é $\frac{V_o}{R_4} + I_{b1}$.

O cálculo do resistor de emissor de Q_1 é feito através da análise de malha do circuito, conforme mostrado na Equação 4.45.

$$V_o - R_5 \cdot I_{e1} - V_{BE_{on}} = V_{zener} \quad (4.45)$$

Figura 4.4 – Circuito de proteção de sub-tensão



Fonte: Próprio autor.

Analisando as curvas de $V_{BE_{on}}$ por I_C pode ser observado que a queda de tensão de base-emissor aumenta com o aumento da corrente de coletor. O ponto de operação escolhido foi para uma corrente de coletor com o valor de 6 mA onde tem-se uma queda de tensão de 0,67 V. O ganho h_{fe} do transistor SMT2907 para estas condições é de 100. A Equação 4.46 mostra a equação para cálculo de R_5 .

$$R_5 = \frac{V_o - V_{BE_{on}} - V_{zener}}{I_{e1}} = \frac{15 - 0,67 - 12}{1m} = 2,3k\Omega \quad (4.46)$$

A corrente de base é dada por $\frac{I_e}{h_{fe}+1}$, sendo igual a $9,99 \mu A$, e a corrente no coletor é calculada por $I_{c1} = \frac{h_{fe}}{h_{fe}+1} \cdot I_{e1}$, e tem valor igual a 0,99 mA. A tensão no coletor de Q_1 vai ser dada pela queda de tensão no resistor R_6 somada com a queda de tensão do diodo em condução. Para o diodo escolhido e a corrente de coletor projetada essa queda é de 1,7 V. O resistor R_6 foi definido como $2,1 k\Omega$, então a tensão de coletor é igual a 3,8 V. A tensão no emissor é 12,67 V e na base de 12 V, isso mostra que o transistor estará operando na região linear, pois $V_{e1} > V_{b1}$ e $V_{b1} > V_{c1}$.

4.2.4.3 Circuito de acionamento

A parte do circuito de controle responsável pelo acionamento do interruptor é a destacada na Figura 4.5. A corrente que circula pelo transistor Q_2 depende do resistor R_g e pode ser calculada por $\frac{V_{e2}}{R_g}$. Os transistores operam na região linear, onde as condições $V_{c2} > V_{b2}$ e $V_{b2} >$

5 RESULTADOS

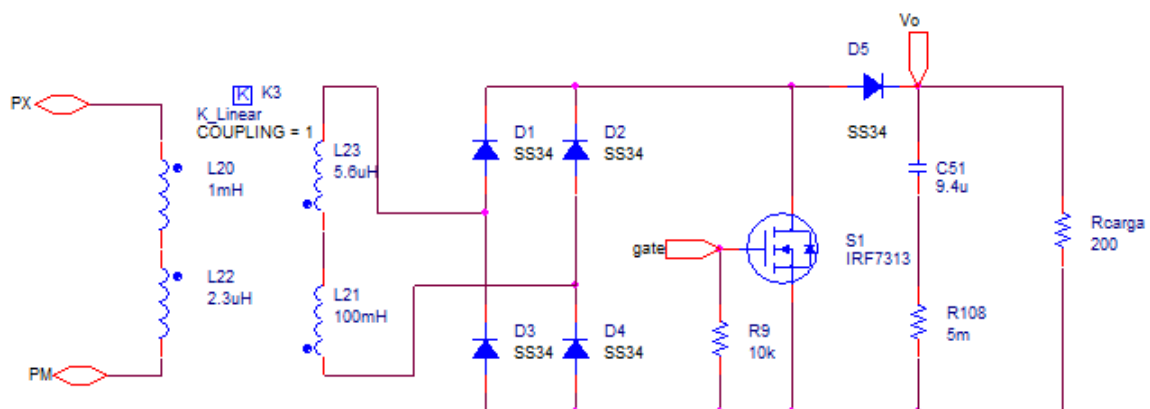
Neste capítulo são apresentados os resultados de simulação e experimentais do circuito. São mostradas as formas de onda, projeto do layout da placa de circuito impresso e são comentadas as experiências obtidas em bancada.

5.1 RESULTADOS DE SIMULAÇÃO

O circuito do estágio regulador foi simulado no *software* ORCAD Pspice. O *software* foi utilizado pela possibilidade de simular o circuito com os modelos reais dos componentes escolhidos através do projeto. A simulação do primeiro estágio foi cedida pelo Doutorando Gustavo Lambert, na qual tem-se a simulação do inversor meia ponte e seus circuitos de controle, que geram a corrente para o segundo estágio. Na Figura 5.1 os *labels* P_X e P_M são saídas do inversor na simulação do primeiro estágio. As formas de onda desta corrente foram apresentadas no capítulo 2.

Nas Figuras 5.1 e 5.2 são mostrados os circuitos utilizados para simular o segundo estágio da fonte.

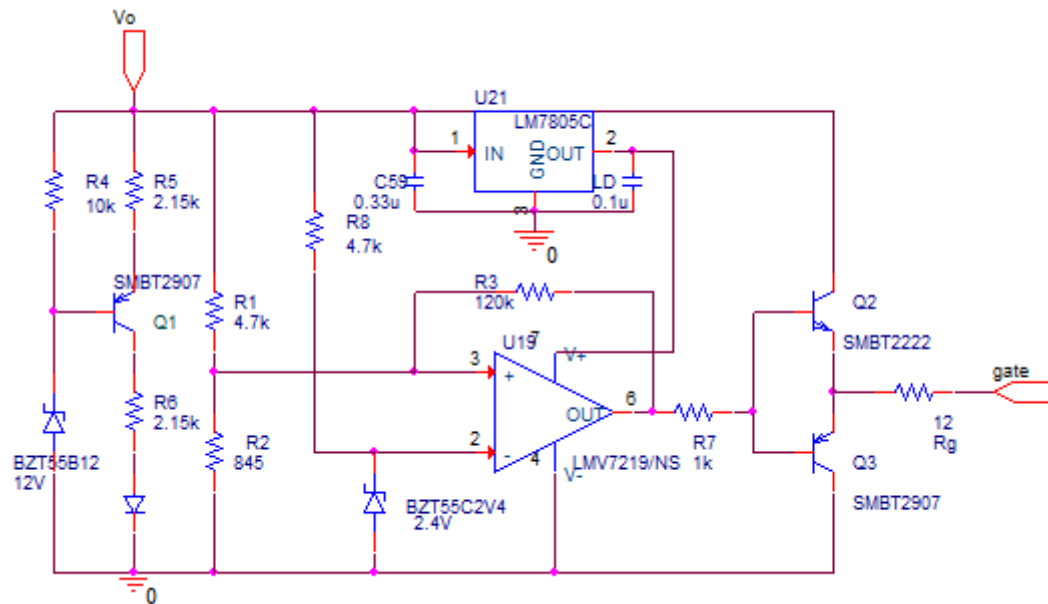
Figura 5.1 – Circuito de simulação do estágio de potência



Fonte: Próprio autor.

Os valores de resistores e capacitores utilizados para a simulação são os mesmos utilizados na experimentação prática, sendo eles valores comerciais próximos aos projetados. O capacitor de saída, por exemplo, foi encontrado apenas o capacitor de $4,7 \mu F$ cerâmico, por isso são utilizados dois capacitores em paralelo, resultando em $9,4 \mu F$ de capacitância. A vantagem de se ter dois capacitores em paralelo é que a resistência RSE do capacitor é dividida pela

Figura 5.2 – Circuito de simulação do controle



Fonte: Próprio autor.

metade. Foram utilizados os resistores $R_1 = 4,7 \text{ k}\Omega$, $R_3 = 120 \text{ k}\Omega$ e o resistor R_2 é ajustado através de um *trimpot* para o valor de $835 \text{ }\Omega$, este valor foi reajustado para manter a tensão de saída nos valores esperados para os valores de resistores utilizados. Além disso, na simulação e na prática a tensão no diodo *zener* utilizado como referência fica em torno de $2,25 \text{ V}$, devendo ser ajustadas as resistências para este novo valor de referência.

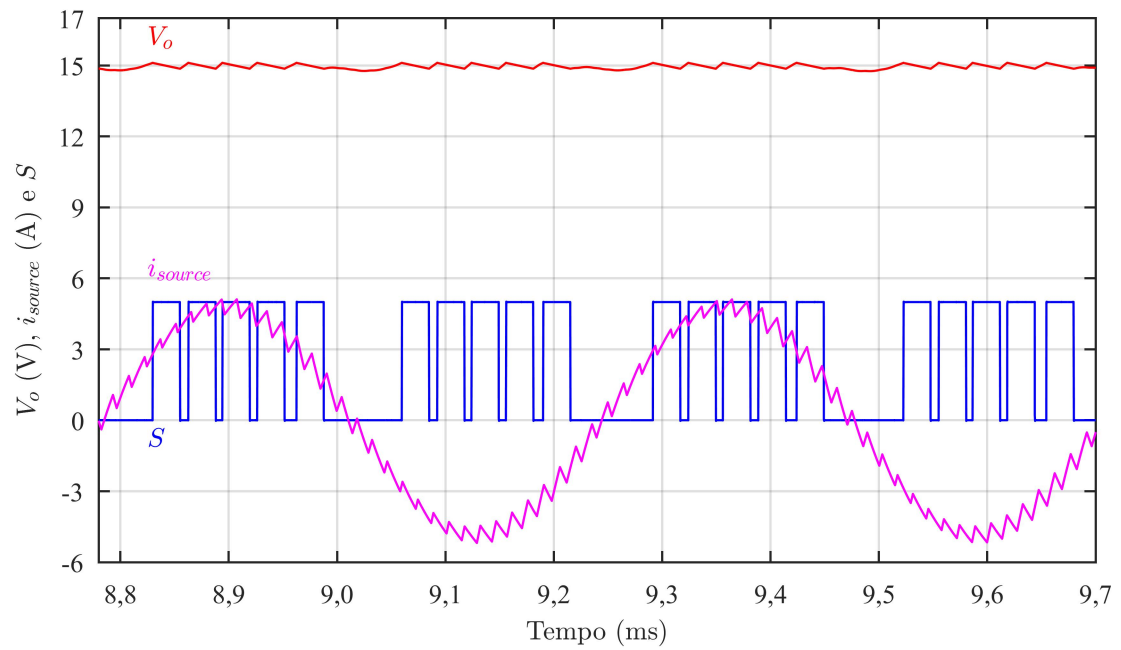
Foi medida a indutância de dispersão do transformador. Para isso foi colocado o secundário do transformador em curto e medida a indutância em seus terminais no lado primário. O valor encontrado foi distribuído com relação à relação de espiras, sendo considerada uma indutância 10 vezes maior no secundário com relação ao primário. Foi então adicionado a simulação esse valor de indutância em série com os enrolamentos do transformador.

A Figura 5.3 mostra a forma de onda obtida por simulação da tensão de saída, corrente da fonte de entrada e o sinal no *gate* do MOSFET. Pode ser visto que a tensão de saída tem valor médio de 15 V e a corrente de entrada tem valor de pico de 5 A , assim como esperado.

Na Figura 5.4 são mostradas as formas de onda de tensão e corrente no diodo D_5 . É possível visualizar que quando o diodo está conduzindo, a tensão V_{D5} é a queda de tensão do diodo, de $0,5 \text{ V}$. Quando o diodo está bloqueado a tensão sobre ele é a tensão de saída com polaridade invertida. É observado que quando a corrente de entrada é zero a tensão de saída tende a cair, voltando a subir com o aumento da corrente no diodo D_5 .

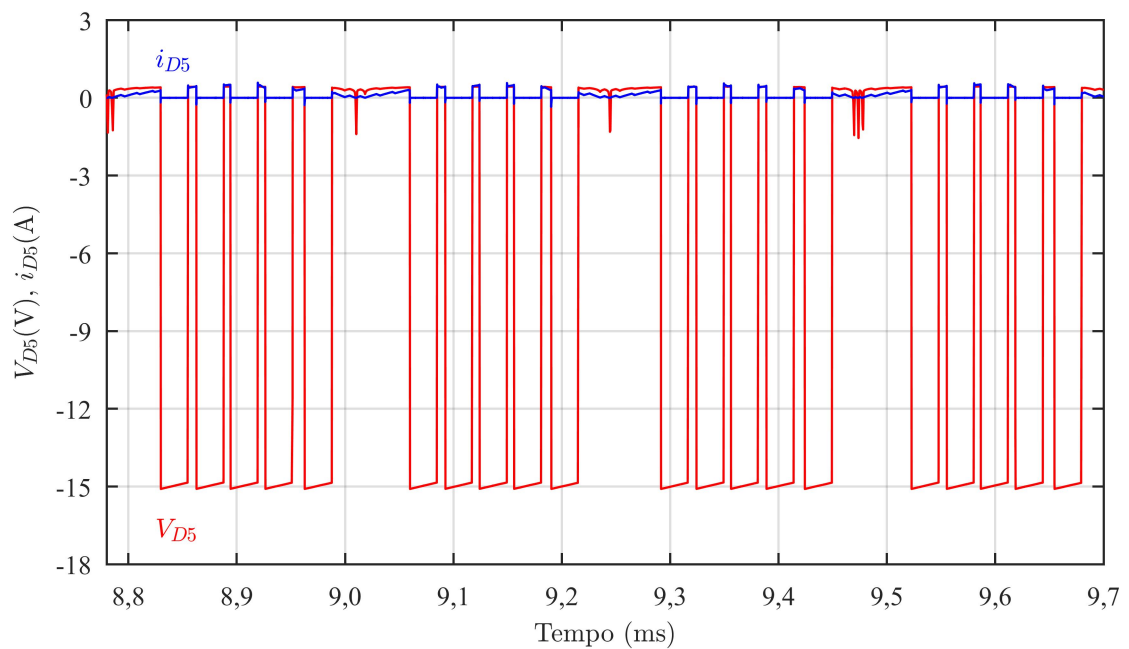
A tensão e corrente de simulação no interruptor são apresentadas na Figura 5.5. Pode ser observado o comportamento esperado da tensão e corrente, quando bloqueado a tensão no interruptor é igual a tensão de saída e quando conduzindo é zero. Quando a corrente na entrada

Figura 5.3 – Formas de onda de simulação da tensão de saída(V_o), corrente da fonte de entrada (i_{source}) e comutação (S)



Fonte: Próprio autor.

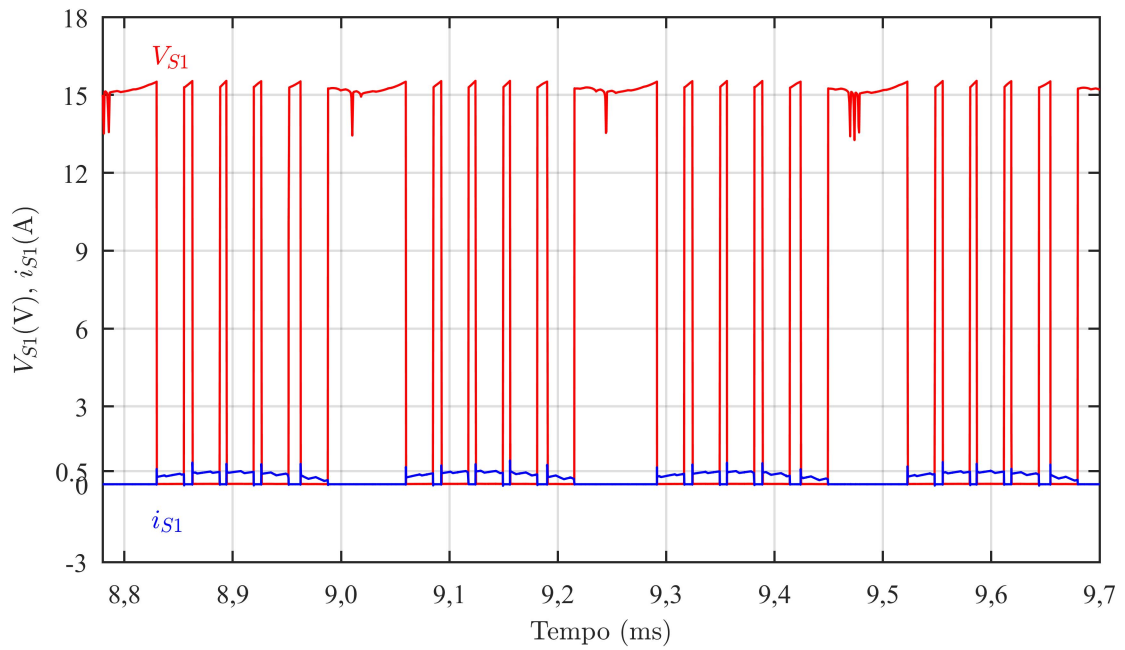
Figura 5.4 – Formas de onda de simulação da tensão e corrente no diodo D_5 (V_{D5}) e (i_{D5})



Fonte: Próprio autor.

é menor que a corrente na carga não há pulso de comando, então o interruptor se mantém bloqueado e tem a tensão de saída em seus terminais.

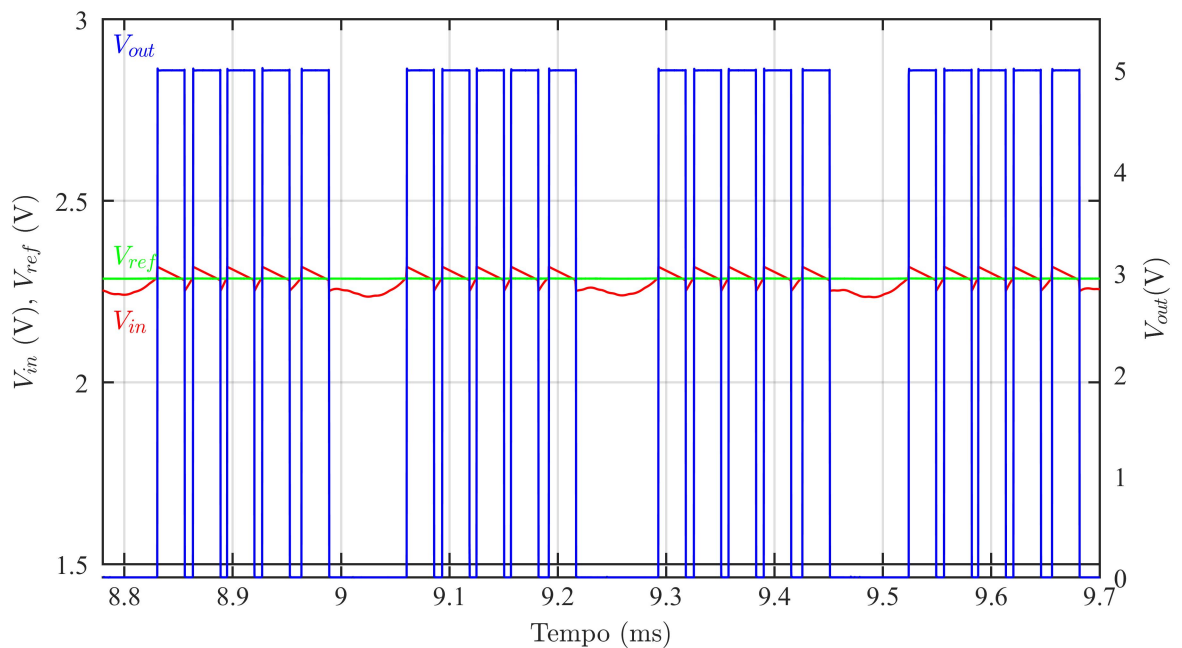
Figura 5.5 – Formas de onda de simulação da tensão e corrente no interruptor S_1 (V_{S1}) e (i_{S1})



Fonte: Próprio autor.

A Figura 5.6 apresenta as formas de onda da tensão na entrada não inversora (V_{in}), tensão na porta inversora (V_{ref}) e tensão de saída (V_{out}) do comparador. É possível observar a banda de histerese da comparação e a comutação da saída do comparador entre 0 e $+V_{sat}$.

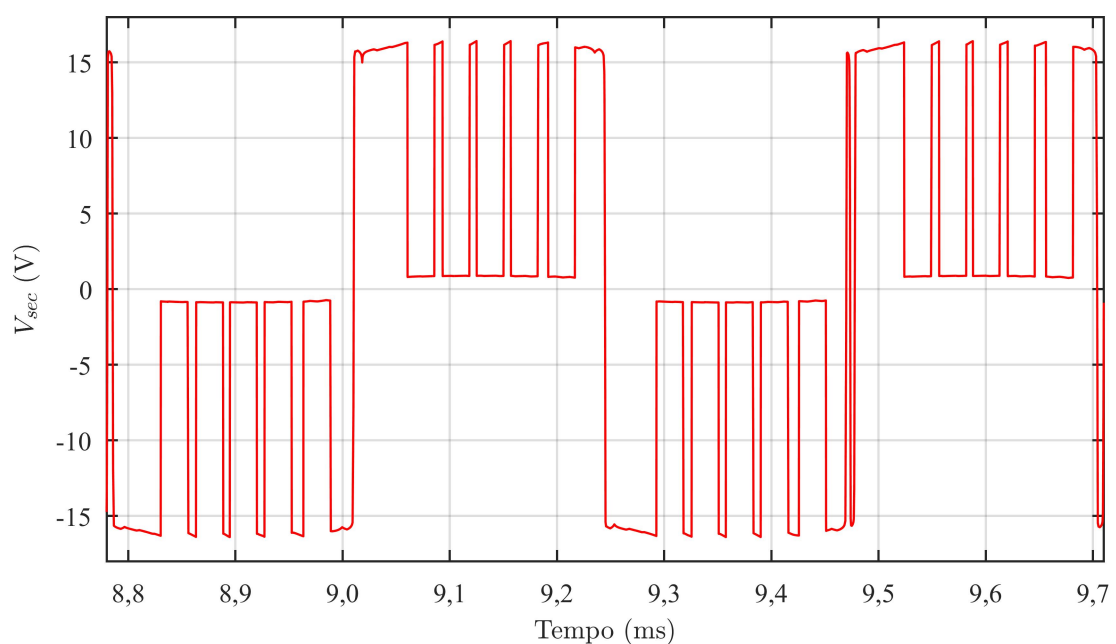
Figura 5.6 – Forma de onda dos sinais de entrada e saída do comparador



Fonte: Próprio autor.

Outra forma de onda interessante de ser visualizada é a tensão no secundário do transformador, mostrada na Figura 5.7. Esta tensão não pode ter nível médio pois poderia levar o transformador a saturação. Para que não haja nível C.C é necessário que o funcionamento do regulador para os semiciclos positivos e negativo seja simétrico. É observado que a tensão no transformador não chega a zero, devido a queda de tensão de condução dos diodos. Como o comportamento é simétrico para os dois semiciclos as quedas de tensão não afetam o nível médio da tensão.

Figura 5.7 – Forma de onda da tensão no secundário do transformador



Fonte: Próprio autor.

Na Tabela 5.1 é feita a comparação entre os valores calculados e os obtidos por simulação. Pode-se observar que os valores de simulação estão bem próximos aos calculados. A maior diferença está na variação de tensão na saída, devido a utilização dos resistores com valores comerciais no circuito de simulação. A forma em que o valor é obtido no software também pode ser uma fonte de erro elevando o valor de erro percentual. Apesar disso a tensão média ficou regulada bem próximo a 15V, variando entre 15,11V e 14,86V.

5.2 RESULTADOS EXPERIMENTAIS

Após projetado e simulado o circuito do estágio regulador, foi realizada a experimentação do circuito através de uma placa de circuito impresso. Com o intuito de fazer um regulador compacto, foram utilizados em sua maioria componentes SMD, sendo PTH (*Pin Through Hole*) somente o transformador, os conectores e um *trimpot*.

Tabela 5.1 – Comparação entre valores calculados e simulados

Parâmetro	Valor Calculado	Valor Simulado	Erro Percentual
V_o	15,00 V	14,98V	0,13%
V_{oPEAK}	15,10 V	15,11 V	0,07%
V_{oMIN}	14,90 V	14,86 V	0,27%
$\Delta V_{o_{max}}$	200 mV	250 mV	25,00%
I_{source}	5,00 A	4,91 A	1,80%
f_s	31,87 kHz	31,75 kHz	0,38%
I_{inPEAK}	0,500 A	0,490 A	2,00%
I_{inAVG}	0,318 A	0,309 A	2,83%
I_{inRMS}	0,354 A	0,342 A	3,39%
$I_{rectAVG}$	0,159 A	0,155 A	2,52%
$I_{rectRMS}$	0,250 A	0,244 A	2,40%
I_{sAVG}	0,247 A	0,223 A	9,71%
I_{sRMS}	0,318 A	0,306 A	3,77%
I_{dAVG}	0,074 A	0,080 A	8,10%
I_{dRMS}	0,152 A	0,172 A	13,15%

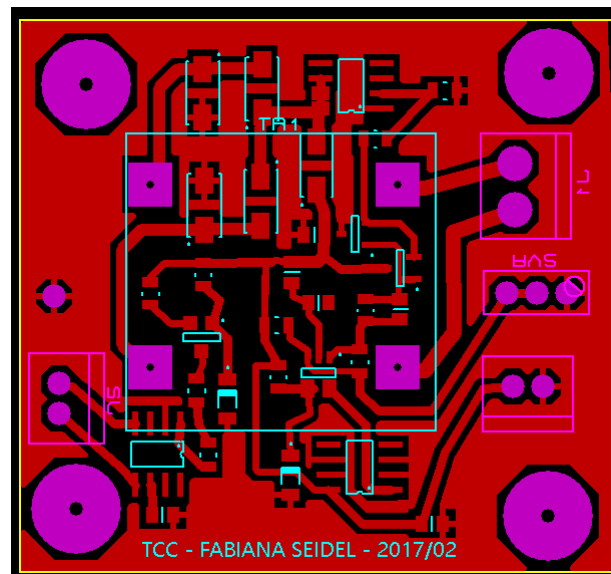
O *layout* da placa é apresentado na Figura 5.8. Foi gerada a visualização 3D para se ter ideia do aspecto físico da placa com os componentes. Com isso podem ser evitados erros no *layout* devido a componentes muito próximos ou dificuldade de acesso de algum pino. Na Figura 5.9 é mostrada a visão inferior da placa, onde se encontram os componentes SMD e as trilhas. Na 5.10 é visualizada a parte superior da placa onde estão os componentes PTH. Por não se ter o modelo 3D do transformador utilizado experimentalmente, este foi representado por um quadrado vermelho apenas para dar noções de tamanho e espaço. Nos conectores na parte superior são conectadas a entrada do circuito, a carga e o circuito no qual será conectado à saída do opto-acoplador.

Possuindo o *layout* PCB foi feita a placa para implementação do circuito, a Figura 5.11 mostra a placa com os componentes utilizados na experimentação. O opto-acoplador previsto não foi utilizado e o LED foi conectado diretamente ao terra. Os testes foram realizados utilizando um osciloscópio para medição e uma carga resistiva de 200Ω. Foi utilizada uma carga externa a placa para os testes.

As formas de onda obtidas inicialmente estavam com um frequência de comutação em torno de 250kHz, além de pulsos entre os sinais de comando com frequência de 3MHz. Esses pulsos em altíssima frequência na saída do comparador chegam ao *gate* como um valor médio em torno de 2,5V e colocam o MOSFET na região linear. Isso faz com que o MOSFET tenha uma elevação de temperatura muito rápida e queime por sobre-temperatura.

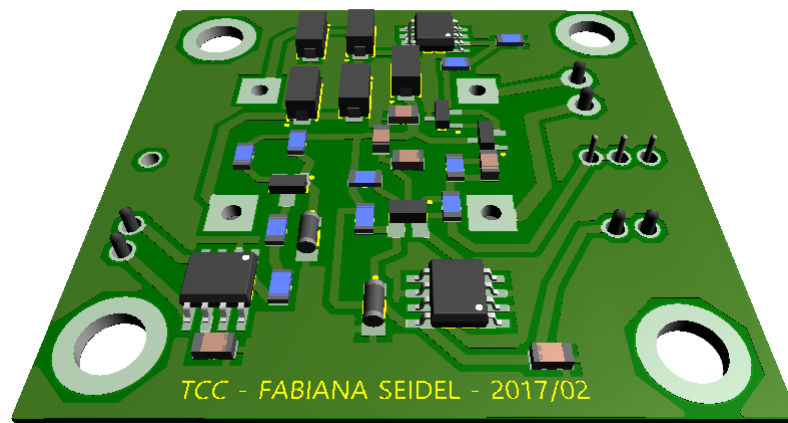
Após vários testes e tentativas de filtrar ruídos foi descoberto que esses pulsos eram resultado de ruídos na alimentação do comparador. Devido ao comparador ser muito sensível e ter

Figura 5.8 – Layout PCB da placa



Fonte: Próprio autor.

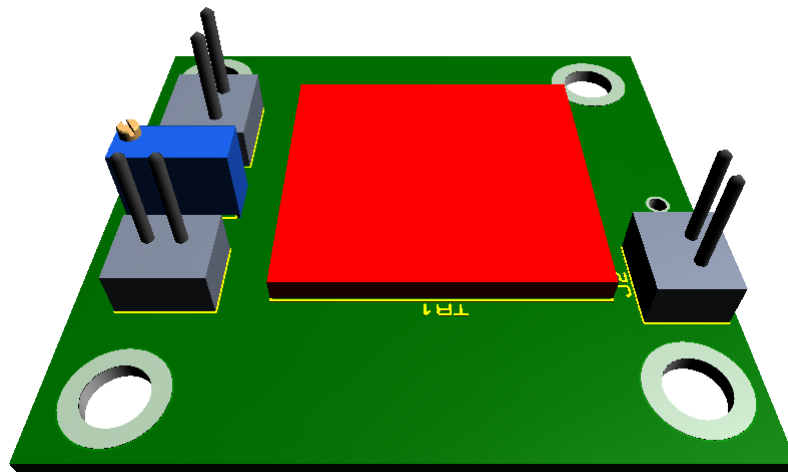
Figura 5.9 – Visão inferior da placa - trilhas e componentes SMD



Fonte: Próprio autor.

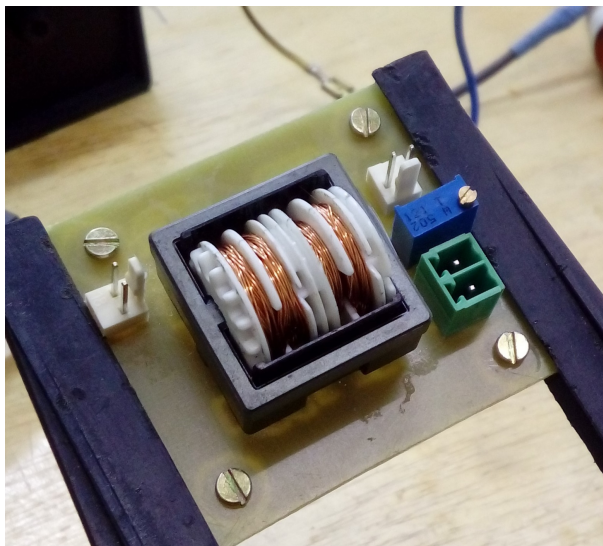
tempo de comutação rápido qualquer ruído nas entradas e na alimentação faz com que a saída comute. A alternativa encontrada foi a utilização de uma fonte externa à placa para alimentação do comparador. Com isso foi eliminada a comutação em 3MHz e o MOSFET não sofreu mais por sobre-temperatura.

Figura 5.10 – Visão superior da placa - componentes PTH

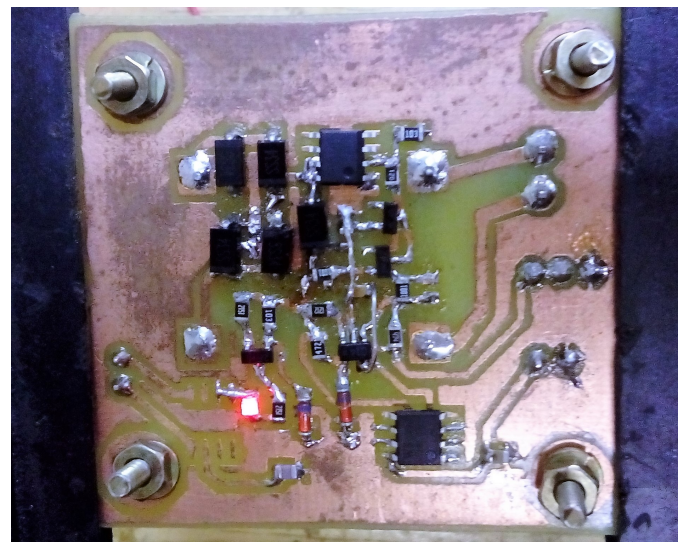


Fonte: Próprio autor.

Figura 5.11 – Placa de circuito impresso da fonte auxiliar



(a)



(b)

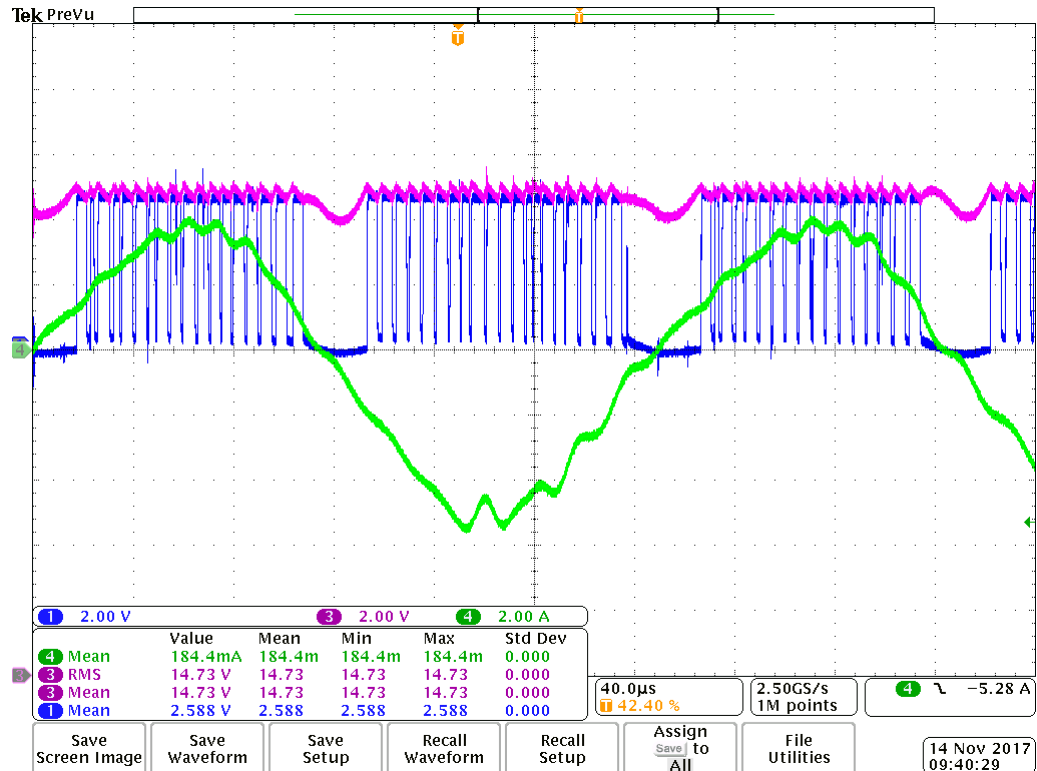
Fonte: Próprio Autor

Ainda assim há uma grande influência de ruídos que fazer com que a saída do comparador tenha comutações indesejadas. A Figura 5.12 mostra a saída do comparador em azul, a tensão de saída em rosa e a corrente da fonte de corrente em verde. A frequência de comutação medida experimentalmente é de 156kHz, em torno de 5 vezes a frequência calculada. Apesar de os componentes estarem operando com esta frequência, não houve elevação de temperatura significativa no circuito.

A tensão de saída ficou regulada em 15V, considerando os momentos em que se tem corrente suficiente na entrada. O afundamento da tensão de saída quando a corrente de entrada do regulador é menor que a corrente de saída é bem visível, afetando o valor médio da tensão,

que é em torno de 14,7 V. Isso poderia ser amenizado com o aumento da capacitância de saída. A variação ΔV_o obtida experimentalmente foi de 600mV, 3 vezes maior que o esperado.

Figura 5.12 – Forma de onda experimental da tensão de saída, comutação e corrente de entrada



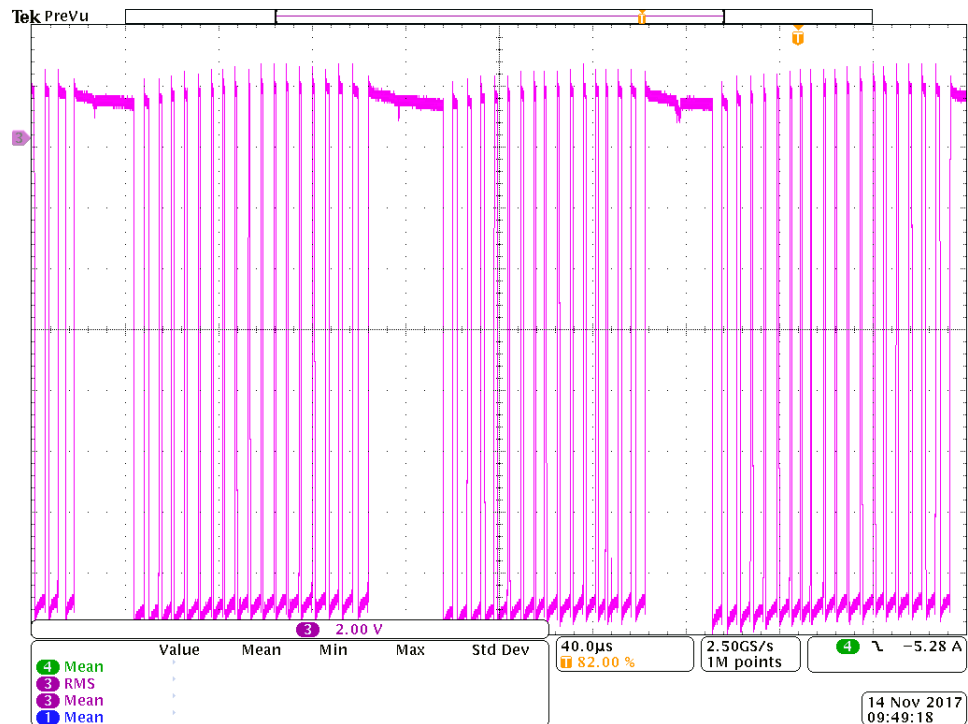
Fonte: Próprio autor.

A corrente de entrada visualizada foi filtrada através de um filtro LCL na saída do inversor meia ponte para diminuir o *ripple* da corrente. Como a placa é construída com componentes SMD onde é mais difícil fazer a leitura da corrente nos componentes, são medidas somente a corrente na entrada e na carga. Por isso no diodo D_5 e no interruptor S_1 são medidas somente a tensão sobre o componente. As formas de onda são mostradas nas Figuras 5.13 e 5.14. A assimetria visualizada entre os dois semiciclos indicaria nível médio na corrente. Porém, como já discutido, isto se dá devido a ondulação em baixa frequência da corrente de entrada.

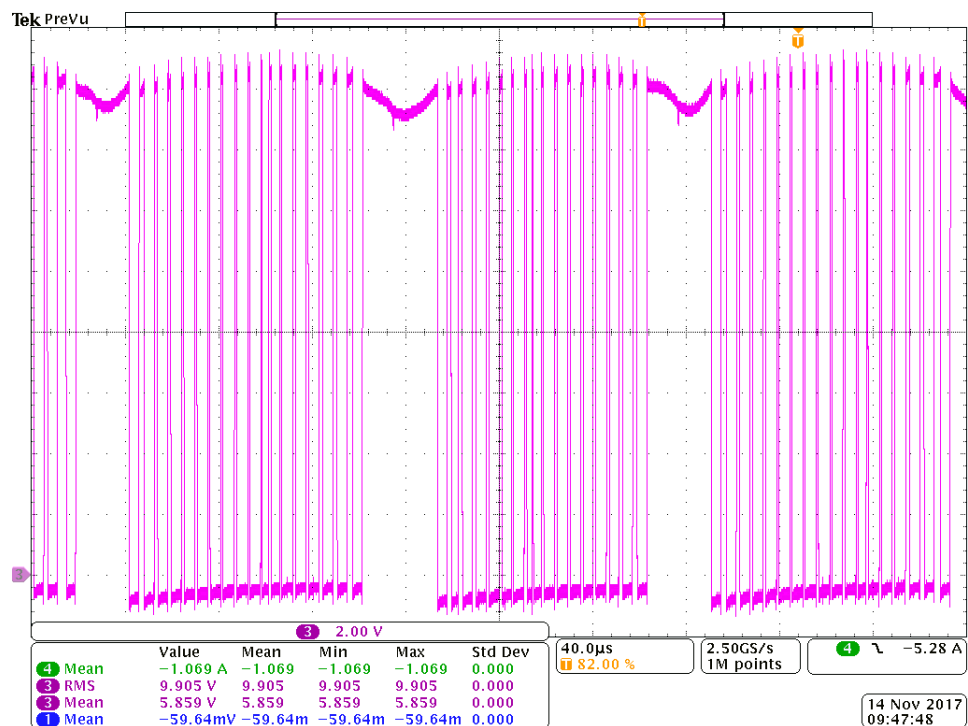
Tanto no interruptor como no diodo a tensão não chega a zero devido a queda de tensão de condução dos diodos retificadores de entrada. Novamente o comportamento está dentro do esperado, porém com frequência 5x maior.

A Figura 5.15 apresenta a forma de onda obtida experimentalmente da tensão no secundário do transformador. Apesar de estar menos visível devido a escala do osciloscópio há a presença da queda de tensão devido à condução direta dos diodos da ponte de entrada, no ciclo positivo e negativo.

O circuito foi testado também para 20% da carga nominal. As formas de onda encontradas são as da Figura 5.16. As formas de onda obtidas são mais próximas ao esperado, com

Figura 5.13 – Forma de onda experimental da tensão no diodo D_5 

Fonte: Próprio autor.

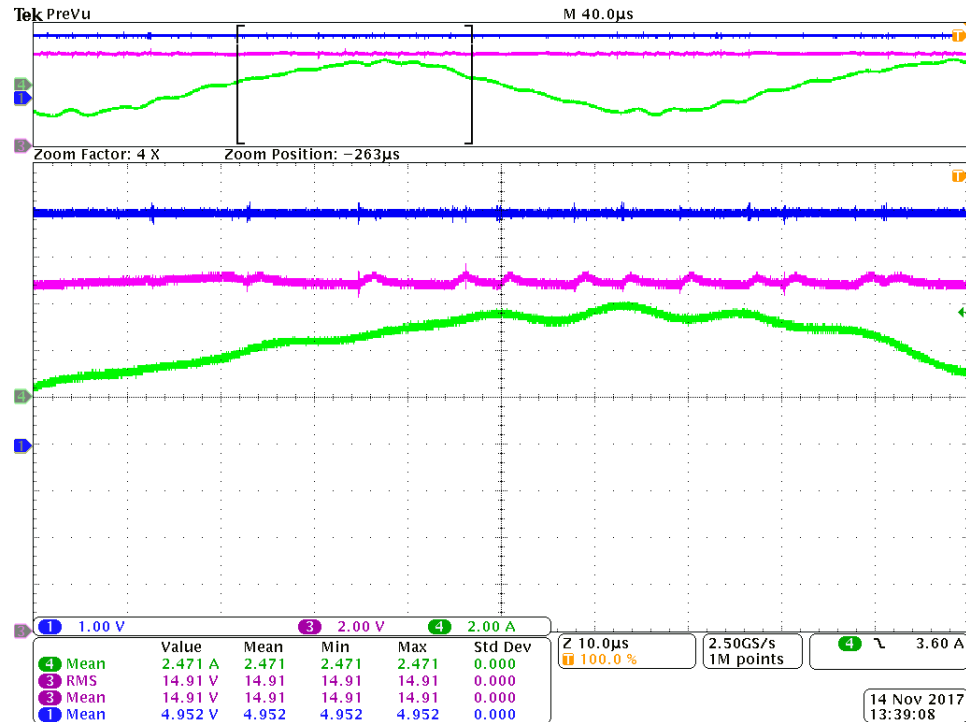
Figura 5.14 – Forma de onda experimental da tensão no interruptor S_1 

Fonte: Próprio autor.

frequência menor que no caso da carga nominal. Isso se dá pois a frequência de comutação é proporcional à carga, quanto menor a carga do circuito menor a frequência.

estado do comparador devido ao ruído. Foram utilizadas técnicas para filtrar ruídos através de capacitores e indutores, que diminuíram, porém não eliminaram totalmente os ruídos.

Figura 5.17 – Forma de onda experimental da tensão de saída, comutação e corrente de entrada



Fonte: Próprio autor.

Com relação aos ruídos deve-se atentar na posição dos capacitores de filtro na elaboração do *layout*, deixando-os o mais próximo possível das portas do comparador. Além disso devem ser posicionados os componentes de controle próximos evitando trilhas grandes, e preferencialmente, mais afastados do estágio de potência do conversor. O circuito precisaria ser reprojetoado focando os esforços em reduzir os ruídos e interferências nos sinais do comparador, por *loops* de terra e tomando os cuidados necessários no *layout*.

Apesar das diferenças entre calculado e experimental a fonte auxiliar cumpre o desejado, de fornecer tensão suficiente para alimentação dos circuitos auxiliares dos conversores modulares multiníveis.

6 CONSIDERAÇÕES FINAIS

Este trabalho apresentou o estudo do estágio regulador de uma proposta de fonte auxiliar isolada e com múltiplas saídas. A fonte em questão é utilizada para alimentar os circuitos auxiliares de conversores modulares multiníveis ou em cascata, aplicações onde são justificadas a necessidade de múltiplas saídas da fonte auxiliar.

O circuito do estágio regulador proposto é similar a um conversor *boost*, porém não possui o elemento armazenador de energia na entrada. O circuito se mostrou mais complexo do que o imaginado pois possui frequência e razão cíclica variáveis devido à estratégia de controle empregada. O controle utilizado é o controle por histerese implementado analogicamente através de um comparador *schmitt trigger*.

Foi apresentada a metodologia e realizado um exemplo de projeto do estágio regulador onde são empregados os equacionamentos e análises realizadas. No projeto são calculados os esforços dos componentes para poder determinar os semicondutores a serem utilizados, calculadas a frequência máxima de operação através de um determinado ΔV e estimada a carga utilizada para atender a situações reais de conversores de laboratório.

Os resultados de simulação encontrados foram satisfatórios pois estavam muito similares aos calculados. As formas de onda de simulação também se assemelham ao esperado pela análise teórica. Os resultados experimentais possuem alguns pontos que precisam ser melhorados como a frequência de operação e a variação da tensão de saída, porém a fonte cumpre o que foi projetado, de fornecer ao submódulo do conversor tensão suficiente para alimentar seus circuitos auxiliares.

Acredita-se que com esforços focados em reduzir ruídos através de um novo *layout* os resultados experimentais podem ser ainda mais satisfatórios.

6.1 TRABALHOS FUTUROS

Os pontos sugeridos como possíveis alterações que poderiam ser realizadas no estágio regulador são as seguintes:

- Criação de um novo layout visando tornar o circuito mais imune a ruídos;
- Formalização do projeto do transformador;
- Verificar outras estratégias de controle;

- Utilização da topologia bridgeless no estágio regulador para redução de perdas;
- Realizar o controle de amplitude da corrente isource para minimizar perdas de condução.

REFERÊNCIAS BIBLIOGRÁFICAS

COELHO, K. D. **Conversores CC-CC com elevada tensão de entrada para fontes auxiliares**. Tese (Doutorado) — Universidade Federal de Santa Catarina, Florianópolis, 2004.

FIORIO, L. V.; LAMBERT, G.; SEIDEL, F. Relatório técnico cmear-2017-1-001. 2017. n. 1, Novembro 2017.

GRBOVIC, P. J. Master/slave control of input-series- and output-parallel-connected converters: Concept for low-cost high-voltage auxiliary power supplies. **IEEE Transactions on Power Electronics**, 2009. v. 24, n. 2, p. 316 – 328, February 2009.

LIU, J.; YANG, X.; HAO, X.; LIU, T.; ZHAO, M. Design of auxiliary power supply for high voltage power electronics devices. **7th International Power Electronics and Motion Control Conference**, 2012. v. 3, p. 1661–1665, June 2012.

MODEER, T.; NORRGA, S.; NEE, H. High-voltage tapped-inductor buck converter auxiliary power supply for cascaded converter submodules. **Energy Conversion Congress and Exposition**, 2012. p. 19–25, September 2012.

PEFTITSIS, D.; ANTIVACHIS, M.; BIELA, J. Auxiliary power supply for medium-voltage modular multilevel converters. **17th European Conference on Power Electronics and Applications**, 2015. p. 1–11, September 2015.

TORRESAN, H.; HOLMES, D.; SHRAGA, I. Auxiliary power supplies for high voltage converter systems. **IEEE 35th Annual Power Electronics Specialists Conference**, 2004. v. 1, p. 645–651, June 2004.

WUNSCH, B.; ZHELEV, D.; OEDEGARD, B. Externally-fed auxiliary power supply of mmc converter cells. **18th European Conference on Power Electronics and Applications**, 2016. p. 1–10, September 2016.