UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
BACHARELADO EM ENGENHARIA ELÉTRICA

MATEUS PEDRI

ESTUDO TEÓRICO E EXPERIMENTAL DA PLACA DE DESENVOLVIMENTO GS66508B-EVBDB1 COM USO DE TRANSISTORES DE NITRETO DE GÁLIO (GAN)

JOINVILLE
2021

MATEUS PEDRI

ESTUDO TEÓRICO E EXPERIMENTAL DA PLACA DE DESENVOLVIMENTO GS66508B-EVBDB1 COM USO DE TRANSISTORES DE NITRETO DE GÁLIO (GAN)

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

Orientador: Prof. Dr. Alessandro Luiz Batschauer

JOINVILLE
2021

MATEUS PEDRI

ESTUDO TEÓRICO E EXPERIMENTAL DA PLACA DE DESENVOLVIMENTO GS66508B-EVBDB1 COM USO DE TRANSISTORES DE NITRETO DE GÁLIO (GAN)

Trabalho de Conclusão de Curso submetido ao Bacharelado em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do Grau de Engenheiro Eletricista.

Orientador: Prof. Dr. Alessandro Luiz Batschauer

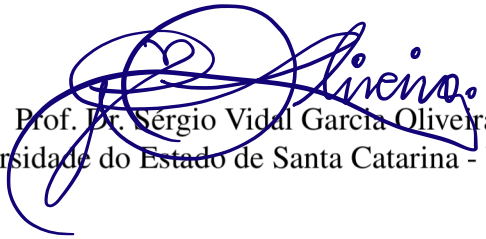
BANCA EXAMINADORA:



Prof. Dr. Alessandro Luiz Batschauer
Universidade do Estado de Santa Catarina - UDESC

Membros:

Prof. Dr. Yales Rômulo de Novaes
Universidade do Estado de Santa Catarina - UDESC



Prof. Dr. Sérgio Vidal Garcia Oliveira
Universidade do Estado de Santa Catarina - UDESC

Joinville, 27 de agosto de 2021

AGRADECIMENTOS

Primeiramente, gostaria de agradecer à Deus, que me iluminou durante toda minha caminhada.

Aos meus pais, por todo o apoio e incentivo durante todos os esses anos de estudos. À minha noiva, por sempre estar presente e me encorajar durante o período da faculdade e, principalmente, neste trabalho de conclusão de curso.

Ao meu orientador, Alessandro Luiz Batschauer, por todos os conselhos, pela ajuda e pela paciência com a qual guiou durante o meu aprendizado e pelo fornecimento do kit de desenvolvimento para implementação do projeto. Também aos professores e membros do nPEE, pelos conselhos, ensinamentos e pela disposição nas soluções das minhas dúvidas.

A todos meus amigos e colegas de faculdade que direta ou indiretamente fizeram parte de minha formação, o meu muito obrigado.

Por fim, à UDESC e a todo o corpo docente, que possui um papel fundamental, com disponibilidade de laboratórios e estrutura que possibilitam o aprofundamento na formação profissional.

“Lembre-se que as pessoas podem tirar tudo de você, menos o seu conhecimento.” - Albert Einstein

RESUMO

Este trabalho tem como proposta o aprofundamento no conhecimento sobre a tecnologia de semicondutores de nitreto de gálio, GaN, suas vantagens frente às atuais tecnologias predominantes no mercado. Para melhor compreensão do comportamento do modelo escolhido e validação do comportamento deste, são realizadas simulações das curvas características do componentes e feita uma comparação com os dados disponibilizados em *datasheet*. A escolha do modelo e fabricante do transistor se deve à disponibilidade de documentação disponibilizada pelo fabricante, modelos de simulação do componente fornecidos pelo fornecedor do componente e placa de desenvolvimento pronta, que foi escolhida para que os dados extraídos em testes sejam menos possíveis de serem afetados por comportamentos parasitas presentes em frequências mais elevadas. Dessa forma, foi utilizada a placa de desenvolvimento GS66508B-EVBDB1 com o uso do transistor GS66508B, ambos da marca GaN Systems, a topologia escolhida para o projeto foi o *buck* síncrono. Com isso, simulações foram realizadas para validação do modelo de simulação em *spice* do componente GS66508B, inicialmente com comparação das curvas características disponíveis no *datasheet* com as simulações realizadas com o modelo em *spice* do componente, utilizando o *software* de simulação LTspice. Após simulações das curvas características, são realizadas simulações com uso do modelo em *spice* na topologia de conversor definida. A seguir, são realizados testes práticos do conversor com o transistor GaN, onde são avaliados seus comportamentos frente a uma elevação de frequência de comutação e na elevação da corrente na chave.

Palavras-chave: Nitreto de Gálio (GaN). GS66508B. GaN Systems. LTspice.

ABSTRACT

This work proposes a deepening of knowledge about the semiconductor technology of gallium nitride, GaN, its advantages compared to the current predominant technologies in the market. For a better understanding of the behavior from the chosen model and validation of its, simulations of the characteristic are made and it is compared with the data available in the datasheet. The choice of the transistor model and its manufacturer is due to the availability of available documentation by the manufacterer, availability simulation models from component by the company and a prepared development board, which was opted so that data extracted in tests been less possible affected by parasitic behaviors present at higher frequencies. On this way, it was used the development board GS66508B-EVBDB1 using the transistor GS66508B, both from Gan Systems manufacturer, the chosen topology to the project was the synchronous buck. Thereby, simulations was runned to validate the spice simulation model from GS66508B component, iniciality comparing the characteristic curves available at the datasheet with the simulation runned with the component spice model, the simulation was runned using the LTspice software. After the characteristic curves simulations, simulation are performed using the chosen spice model component in the defined conversor topology. Next, the conversor practical tests are perfomed using GaN transistor, where their behavior against an increase in switching frequency and an increase in current in the switch are evaluated.

Keywords: Gallium Nitride (GaN). GS66508B. GaN Systems. LTspice.

LISTA DE ILUSTRAÇÕES

Figura 1 – Linha do tempo dos semicondutores utilizados na eletrônica de potência. . . 15
Figura 2 – Comparativo normalizado das propriedades dos materiais semicondutores silício (Si), nitreto de gálio (GaN) e carbeto de silício (SiC). 16
Figura 3 – Comparativo entre os limites teóricos dos semicondutores de silício (Si), nitreto de gálio (GaN) e carbeto de silício (SiC). 17
Figura 4 – Aplicações dos materiais semicondutores considerando frequência de comutação e potência. 18
Figura 5 – Configuração básica do dispositivo GaN HEMT. 19
Figura 6 – Configuração do transistor GaN do tipo depleção. 20
Figura 7 – Esquemático da estrutura tipo *cascode*. 21
Figura 8 – Estrutura eGaN: (a) *recessed-gate* e (b) GIT. 22
Figura 9 – Imagem do transistor GS66508B comparado ao tamanho de uma moeda de 10 centavos, onde mostra em (a) a parte superior e (b) a parte inferior. 23
Figura 10 – Modelo do circuito do transistor eGaN HEMT. 24
Figura 11 – Comparativo de condução e condução reversa entre as tecnologias GaN, Si MOSFET e Si IGBT. 26
Figura 12 – Diagrama de blocos estrutura interna do *gate driver* ADuM4121. 27
Figura 13 – Circuito de gate *driver* recomendado pelo fabricante com os componentes passivos externos (a) com a utilização de um transistor e (b) dois *gate driver* conectados a dois transistores para operação como meia ponte. 28
Figura 14 – Kit da placa de desenvolvimento utilizada para estudo: (b) *Mother board* e (a) *Daughter board*. 29
Figura 15 – Topologia *buck* síncrono utilizada no projeto. 30
Figura 16 – Circuito utilizado para simulações. 31
Figura 17 – Comparativo entre as curvas simuladas e teóricas V_{DS} e I_{DS} com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 33
Figura 18 – Comparativo entre curva V_{DS} e I_{DS}, com variações de temperatura, com $V_{GS} = 6\,V$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 33
Figura 19 – Comparativo entre as curvas de resistência dreno-*source*, $R_{DS(on)}$, e corrente de dreno-*source*, I_{DS}, com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 34

Figura 20 – Dependência de $R_{DS(on)}$ com variação na temperatura T_J. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 34
Figura 21 – Comparativo entre curvas simulado e teórico de corrente reversa, com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 35
Figura 22 – Comparativo entre curvas simuladas e teóricas V_{GS} vs I_{DS}. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente. 35
Figura 23 – Circuito utilizado para testes dos tempos de comutação. 37
Figura 24 – Forma de onda de comutação com seus intervalos de medição. 37
Figura 25 – Circuito utilizado para testes de perdas de comutação. 39
Figura 26 – Circuito para teste *double-pulse test* utilizado no teste de simulação. 41
Figura 27 – Forma de onda de comando para a simulação de *double-pulse test*, além da forma de onda de tensão V_{DS} e a corrente que passa pelo indutor L_{DPT}. . . . 41
Figura 28 – Simulação de perdas de comutação, com os modelos de transistor GaN tipo intensificação e *cascode*. 43
Figura 29 – Formas de onda da simulação teste DPT com o transistor GaN tipo intensificação: (a) Potência dissipada e (b) Tensão V_{DS} e corrente I_{DS}. 44
Figura 30 – Formas de onda da simulação teste DPT com o transistor GaN tipo *cascode*: (a) Potência dissipada e (b) Tensão V_{DS} e corrente I_{DS}. 45
Figura 31 – (a) Sobrecorrente durante a comutação e (b presença de cross conduction na comutação. 47
Figura 32 – Capacitância característica C_{oss} em função de V_{DS}. 47
Figura 33 – Circuito de simulação conversor cc-cc *buck* síncrono em (a) o circuito de potência e em (b) o circuito de Comando PWM com *driver* desenhado da mesma forma que a placa de desenvolvimento do projeto. 51
Figura 34 – Tensão de saída (rosa), corrente no indutor (azul) e corrente de saída na carga (vermelho). 52
Figura 35 – Formas de onda nas chaves $Q1$ (vermelho) e $Q2$ (azul): (a) sinal de comando, (b) tensão V_{DS} e (c) corrente I_{DS} nas chaves. 54
Figura 36 – Detalhe das formas de onda de sinal de comando: (a) acionamento de Q_1 e bloqueio de $Q2$, (b) acionamento de $Q2$ e bloqueio de $Q1$. E formas de onda da corrente I_{DS} nas chaves durante a comutação: (c) acionamento de Q_1 e bloqueio de $Q2$, (d) acionamento de $Q2$ e bloqueio de $Q1$. Onde, $Q1$ é representado por vermelho e $Q2$ azul. 55
Figura 37 – (a) Visão geral da montagem de testes. (b) Detalhe da placa de desenvolvimento durante os testes. 56

Figura 38 – Formas de onda obtidas durante os testes práticos. Sinais de comando nos instantes: (a) bloqueio de $Q1$ (amarelo) e de acionamento de $Q2$ (azul) e (b) bloqueio de $Q2$ (azul) e acionamento de $Q1$ (amarelo). (c) Tensão V_{DS} sobre a chave $Q1$ (azul) em comparação ao sinal de comando (amarelo) durante o bloqueio. (d) Tensão V_{DS} sobre a chave $Q1$ (azul) em comparação ao sinal de comando (amarelo) durante o acionamento. (e) Tensão V_{DS} sobre a chave $Q2$ (azul) em comparação ao sinal de comando (amarelo) durante o acionamento. (f) Tensão V_{DS} sobre a chave $Q2$ (azul) em comparação ao sinal de comando (amarelo) durante o bloqueio. 58
Figura 39 – Aumento da temperatura em função da frequência de comutação. 60
Figura 40 – Comparação de ruídos na medição da tensão V_{DS} durante os testes. (a) Medida nas duas chaves simultâneas, $Q1$ (amarelo) e $Q2$ (azul), (b) Apenas na chave $Q2$ 61
Figura 41 – Foto da placa após queima do transistor Q_1. 61
Figura 42 – Área de operação segura, para $T_C = 25\,°\text{C}$. 62

LISTA DE TABELAS

Tabela 1 – Propriedades dos materiais semicondutores Silício, Nitreto de Gálio (GaN) e Carbeto de silício (SiC) 15
Tabela 2 – Principais características do transistor GS66508B, considerando $T_J = 25\,°C$. 23
Tabela 3 – Níveis de sinais de *gate*. 24
Tabela 4 – Descrição dos pinos do *driver* ADuM4121. 27
Tabela 5 – Tempos de comutação com $T_J = 25\,°C$. 38
Tabela 6 – Tempos de comutação com $T_J = 150\,°C$. 38
Tabela 7 – Perdas de comutação com $T_J = 25\,°C$. 39
Tabela 8 – Valores de especificação entre um modelo intensificação e *cascode* com $T_J = 25\,°C$. 40
Tabela 9 – Comparativo perdas em simulação entre modelos de transistor GaN tipo intensificação e *cascode*. 42
Tabela 10 – Condições para montagem. 49
Tabela 11 – Equipamentos utilizados durantes os testes práticos. 57
Tabela 12 – Aumento da temperatura devido ao aumento de frequência. 59
Tabela 13 – Comparativo entre os tempos de comutação de simulação e testes práticos. . 60
Tabela 14 – Aumento da temperatura com o aumento da corrente de carga. 60

SUMÁRIO

1	**INTRODUÇÃO**	**12**
1.1	OBJETIVOS	**12**
1.2	ORGANIZAÇÃO DO TRABALHO	**13**
2	**TRANSISTORES DE POTÊNCIA**	**14**
2.1	COMPARATIVO ENTRE AS TECNOLOGIAS DE SEMICONDUTORES DE POTÊNCIA	**15**
2.2	TRANSISTORES DE NITRETO DE GÁLIO	**19**
2.2.1	**GaN tipo depleção**	**19**
2.2.2	**GaN tipo *cascode***	**20**
2.2.3	**GaN tipo intensificação**	**20**
2.3	REQUISITOS DE COMANDO	**24**
2.4	CARACTERÍSTICAS DE CONDUÇÃO REVERSA	**25**
2.5	*DRIVER* UTILIZADO	**26**
3	**IMPLEMENTAÇÃO**	**29**
3.1	VALIDAÇÃO DO MODELO DE SIMULAÇÃO EM *SPICE* DO TRANSISTOR E-GAN GS66508B	**30**
3.2	CÁLCULO DE PERDAS NOS SEMICONDUTORES	**36**
3.3	VERIFICAÇÃO DOS TEMPOS DE COMUTAÇÃO E PERDAS EM SIMULAÇÃO	**36**
3.4	COMPARATIVO ENTRE PERDAS DE TRANSISTORES DO TIPO INTENSIFICAÇÃO E *CASCODE*	**40**
3.5	SOBRECORRENTE DURANTE COMUTAÇÃO	**46**
4	**APLICAÇÃO EM TOPOLOGIA CONVERSOR CC-CC *BUCK* SÍNCRONO**	**49**
4.1	SIMULAÇÃO DO CONVERSOR	**49**
4.2	RESULTADOS PRÁTICOS	**56**
5	**CONCLUSÃO**	**63**
	REFERÊNCIAS	**65**
	ANEXO A – ESQUEMÁTICO *MOTHER BOARD*	**68**
	ANEXO B – ESQUEMÁTICO *DAUGHTER BOARD*	**69**

1 INTRODUÇÃO

Nos últimos anos, o processo evolutivo na área de eletrônica de potência acontece mais em relação às tecnologias empregadas em conversores do que propriamente nas topologias já existentes. A crescente demanda por produtos que possuam maior eficiência e menor volume, traz a necessidade do desenvolvimento de alternativas eficientes para alcançar este objetivo (JESKE, 2016).

Uma forma de diminuição de volume de um conversor, por exemplo, é por meio do aumento da frequência de comutação, que permite utilizar componentes passivos menores, como os componentes magnéticos e capacitores, porém a elevação da frequência causa maior perda durante o período da comutação. Os transistores hoje utilizados, constituídos a partir do silício, possuem limites na velocidade de comutação e otimização, contudo novos materiais semicondutores como carbeto de silício (SiC) e nitreto de gálio (GaN), são alternativas para esse problema existente (MENGATTO, 2015).

Os transistores feitos desses materiais possuem comutação ultra rápida, trazem menores perdas durante a comutação, capacidade de operar com altas tensões de bloqueio e altas temperaturas, estas características permitem o aumento da frequência de comutação do conversor, que, por consequência, diminui o volume dos demais componentes (JESKE, 2016).

Contudo, quando há o aumento da frequência, outros problemas se tornam evidentes, como por exemplo, a mudança de comportamento de alguns componentes, como indutores que, em frequências elevadas, tem seu comportamento indutivo alterado e passam a apresentar características capacitivas, além do aparecimento de ruídos e interferências causados por agentes externos, onde até mesmo o próprio *layout* do conversor pode ser uma fonte de ruídos em altas frequências.

Apesar de ainda não estar presente de forma massiva no mercado, os semicondutores de nitreto de gálio, aos poucos têm sua entrada no mercado de consumo, como é o caso da empresa Xiaomi, que irá lançar, já com certificação técnica da TUV Rheinland, um carregador de celular de 67 W que tem uso de semicondutores de nitreto de gálio, dentre outros modelos antes já lançados pela empresa (FELIPE, 2021). Espera-se que no futuro próximo esta tecnologia possa se tornar uma alternativa viável para uso nos equipamentos eletrônicos.

1.1 OBJETIVOS

O objetivo geral para este trabalho é obter conhecimento e domínio das novas tecnologias de transistores de potência, com base em uma revisão dos principais tipos de materiais semicondutores existentes hoje no mercado, aplicados em conversores potência, com foco no transistor de nitreto de gálio (GaN) e seus principais tipos construtivos.

Como objetivos específicos para o trabalho, tem-se:

- Validação do modelo de simulação em *spice* do transistor GaN, modelo GS66508B

da fabricante GaN Systems, de forma a replicar em simulação e comparar as curvas características do componente disponibilizadas em seu *datasheet*.

- Simulação da topologia *buck* síncrono, com o uso do transistor GaN avaliado.
- Testes práticos para validação do transistor GaN modelo GS66508B com uso da placa de desenvolvimento GS66508B-EVBDB1, de forma a avaliar seu desempenho e comportamento dos circuitos de comando da placa.

1.2 ORGANIZAÇÃO DO TRABALHO

Primeiramente, no capítulo 2, é apresentado uma revisão bibliográfica dos principais tipos de materiais semicondutores utilizados em conversores de potência que são o silício (Si), nitreto de gálio (GaN) e carbeto de silício (SiC), onde segue-se um breve histórico dos semicondutores, um comparativo entre as propriedades, características e aplicação de cada um. É dado enfoque no transistor de nitreto de gálio onde é discorrido sobre seus tipos construtivos, vantagens e desvantagens e aplicação. Além disso, são apresentados os requisitos para comando do modelo escolhido do transistor GaN, além de ser apresentado o *driver* escolhido para realização dos testes, suas características internas, construtivas e algumas de suas particularidades.

No capítulo 3, é apresentada a implementação do projeto, onde são descritas as características da placa de desenvolvimento utilizada, modelo GS66508B-EVBDB1. Tem-se uma validação do modelo em *spice* do modelo de transistor escolhido para o projeto, onde são comparado as curvas características apresentadas no *datasheet* do componente com as obtidas em simulação. Além disso, são comparados os tempos e perdas de comutação que são apresentadas no *datasheet* com os obtidos em simulação, além de uma comparação de perdas por comutação, em simulação, de um transistor GaN tipo intensificação com um *cascode*.

No capítulo 4, há a aplicação do projeto com a topologia *buck* síncrono. Dessa forma, é avaliado em simulação o comportamento do circuito utilizado para testes. Após esta validação, são realizados testes práticos para avaliação do comportamento da placa de desenvolvimento com o transistor com variações na frequência e corrente de carga.

No último capítulo são realizadas as considerações finais do trabalho e sugestões para trabalhos futuros.

2 TRANSISTORES DE POTÊNCIA

O marco introdutório na história dos dispositivos semicondutores foi a descoberta do efeito transistor em um material semicondutor, no final da década de 1940, por Bardeen e Brattain. Esta invenção estimulou o desenvolvimento de semicondutores de potência, a partir daí, em 1952, o primeiro semicondutor de potência foi produzido, a estrutura de diodo, proposta por Hall. Até então, o germânio era utilizado como material semicondutor, porém rapidamente, o silício foi proposto como uma alternativa superior (CHELIKOWSKY; SIFFERT, 2004). Em 1954, a Texas Instruments anunciou o transistor de silício como um novo produto e o descreveu como um produto eletrônico revolucionário, este seria utilizado no lugar dos dispositivos baseados em germânio, dessa maneira já no início do uso do silício, foi possível o aumento da potência de saída e o dobro da temperatura de operação. Desde esta década o silício tem sido um material semicondutor dominante, isso se deve a vantagens como confiabilidade, maior facilidade de uso e baixo custo frente a outros materiais da época, como germânio e selênio (LIDOW et al., 2015).

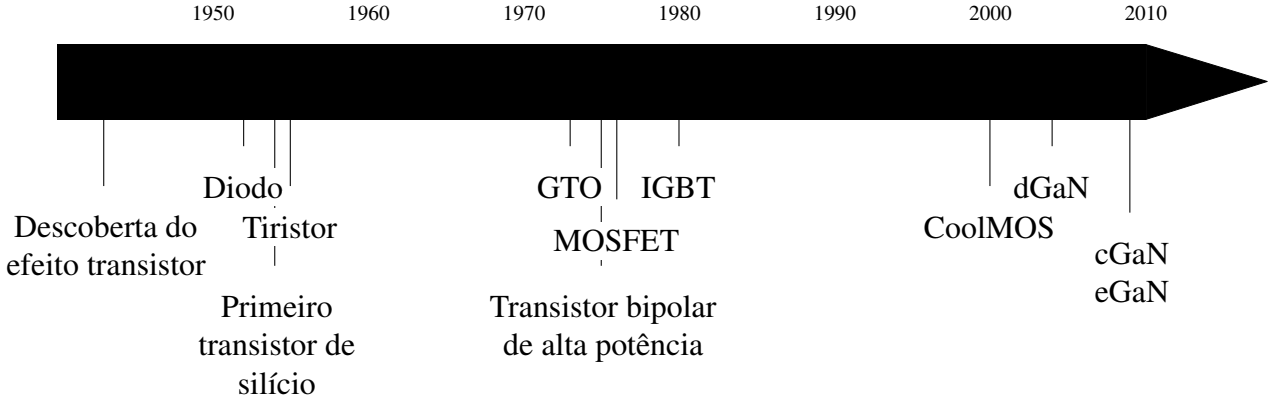
Nos anos 1970, foi introduzido no mercado os transistores para média potência e o GTO (*gate turn-on*), (CHELIKOWSKY; SIFFERT, 2004). O advento da tecnologia MOS propiciou a criação de uma nova categoria de dispositivos nas aplicações de comutação, assim, por volta de 1976, apareceram os primeiros MOSFET de potência como alternativa para os dispositivos bipolares, (BALIGA, 2019). Essa inovação, possibilitou que conversores de potência, que são comuns atualmente, fossem introduzidos no mercado, como fontes de alimentação ca-cc, *drivers* para controle de velocidade em motores, conversores cc-cc, entre outros (LIDOW et al., 2015).

No início da década de 1980, a estrutura IGBT (*insulated-gate bipolar transistor*) foi apresentada ao mercado, construído a partir de uma modificação do transistor MOS com condutividade bipolar (CHELIKOWSKY; SIFFERT, 2004). Ainda durante a mesma década, foram iniciadas as primeiras pesquisas com o uso do material SiC (Carbeto de Silício) aplicados em conversores de potência, o que abriu espaço para o desenvolvimento dos dispositivos HEMT (*high electron mobility transistor*) (JESKE, 2016).

Os primeiros dispositivos de Nitreto Gálio, GaN HEMT, apareceram pela primeira vez, por volta do ano de 2004, como dispositivos para rádio frequência (RF) na configuração depleção e, em 2005, de forma comercial para uso em rádio frequência. O primeiro dispositivo GaN intensificação surgiu em 2009, já de forma comercial, fabricado pela empresa Efficient Power Conversion Corporation (EPC), (LIDOW et al., 2015), no mesmo ano, foi criado o transistor GaN do tipo *cascode* (DUARTE, 2017).

A Figura 1 sintetiza um pouco desta evolução nos semicondutores de potência, onde mostra uma linha do tempo da entrada de cada tecnologia aplicada aos semicondutores de potência.

Figura 1 – Linha do tempo dos semicondutores utilizados na eletrônica de potência.



Fonte: Adaptado de (CHELIKOWSKY; SIFFERT, 2004) e (DUARTE, 2017).

2.1 COMPARATIVO ENTRE AS TECNOLOGIAS DE SEMICONDUTORES DE POTÊNCIA

Para uso de um semicondutor em conversores tem-se como exigência fatores como: eficiência, confiabilidade, controle e boa relação custo-benefício, sem isso não há razão para investimento de recursos no desenvolvimento de uma nova estrutura de semicondutor. Há vários materiais que são cotados como substitutos do silício no futuro, porém boa parte são considerados inviáveis, limitados ou aceitos apenas em nichos de aplicação, já outros, são considerados bem sucedidos economicamente (LIDOW et al., 2015), como é o caso do nitreto de gálio (GaN) e carbeto de silício (SiC), que, nesta seção, terão suas características comparadas entre si e com o silício (Si), dominante no mercado atual.

Para comparação dos materiais semicondutores, são utilizados parâmetros característicos para semicondutores de potência, a Tabela 1 mostra um comparativo destas propriedades (LIDOW et al., 2015). A Figura 2, ilustra esta comparação em um gráfico normalizado do tipo radar, com isto pode-se observar a predominância do nitreto de gálio frente as demais tecnologias, entretanto o carbeto de silício destaca-se pela condutividade térmica.

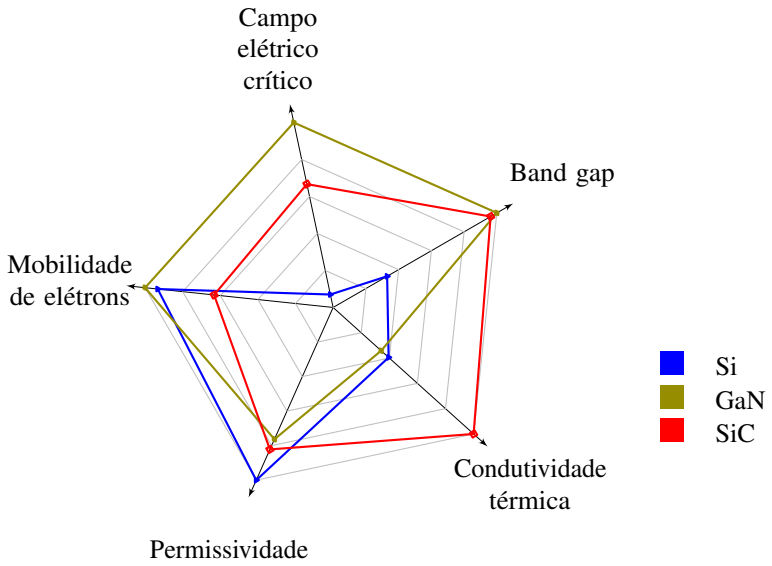
Tabela 1 – Propriedades dos materiais semicondutores Silício, Nitreto de Gálio (GaN) e Carbeto de silício (SiC)

Parâmetro	unidade de medida	Silício	GaN	SiC
Bandgap (E_g)	eV	1,12	3,39	3,26
Campo elétrico crítico (E_{Crit})	MV/cm	0,23	3,3	2,2
Mobilidade de elétrons (μ_n)	cm2/V· s	1400	1500	950
Permissividade relativa (ε_r)		11,8	9	9,7
Condutividade térmica (λ)	W/cm· K	1,5	1,3	3,8

Fonte: (LIDOW et al., 2015).

A definição e a influência para o material de cada um destas propriedades são descritas abaixo.

Figura 2 – Comparativo normalizado das propriedades dos materiais semicondutores silício (Si), nitreto de gálio (GaN) e carbeto de silício (SiC).



Fonte: Adaptado de (LIDOW et al., 2015).

- ***Band Gap*** é a força de ligação química entre os átomos na estrutura, isto é, quanto maior esta força, mais difícil é para os elétrons livres se movimentarem entre os átomos, menores correntes de fuga e permite maiores temperaturas de operação;
- **Campo elétrico crítico** é o máximo campo elétrico suportado antes de causar a ruptura por avalanche, que causa a destruição do componente, pode-se observar que o SiC tem o campo elétrico máximo cerca de 10 vezes maior que o silício, com isso, os terminais destes, podem ter distância reduzida em até 10 vezes (LIDOW et al., 2015), já o GaN possui campo elétrico máximo em torno de 50% maior que o SiC;
- **Mobilidade de elétrons** é a velocidade que os elétrons se movimentam dentro do semicondutor quando são submetidos a um campo elétrico, isso está relacionado à resistência do semicondutor à passagem de elétrons (DUARTE, 2017). A principal vantagem do GaN está na mobilidade de elétrons, que torna o interruptor mais rápido ao fornecer corrente (MENGATTO, 2015);
- **Permissividade relativa**, chamado também de constante dielétrica, é a permissividade do cristal comparado à permissividade no vácuo (LIDOW et al., 2015);
- **Condutividade térmica** é a capacidade de conduzir o fluxo de calor gerado pela dissipação de energia interna (LIDOW et al., 2015), isso é importante para transistores de potência, já que os conversores geram uma quantidade grande de fluxo de calor que precisa ser dissipado.

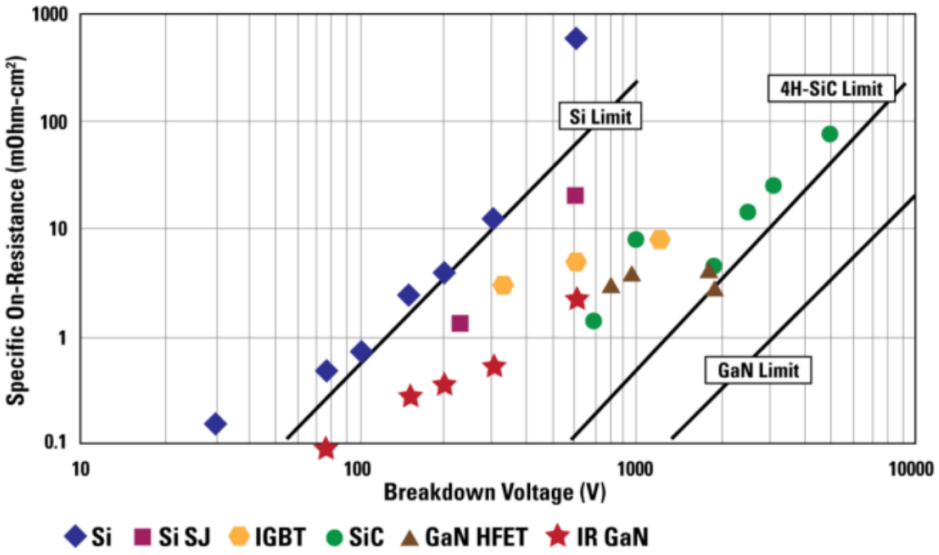
O ideal para um material semicondutor é atingir a maior tensão de bloqueio possível com a menor resistência de condução, dessa forma, é possível determinar seu limite teórico. O limite

teórico de resistência de condução dos materiais semicondutores Si, SiC e GaN, é calculado com base na equação 1, que depende da tensão de bloqueio V_{bloq}, do campo elétrico crítico E_{crit}, da mobilidade de elétrons μ_n, da permissividade no vácuo ε_R e da permissividade relativa ε_0, mostrados na Tabela 1. Tem-se que permissividade no vácuo $\varepsilon_R = 8{,}854 \cdot 10^{-12}\,\mathrm{F/m}$.

$$R_{DS(on)} = \frac{4\,V_{bloq}^2}{\varepsilon_R\,\varepsilon_0\,\mu_n\,E_{crit}^3} \tag{1}$$

Com base nesta equação é possível plotar as curvas que representam os limites teóricos das três tecnologias de semicondutores, Si, SiC e GaN, mostradas na Figura 3. Nesta figura são mostrados os limites teóricos e também os pontos que representam os componentes reais de cada uma destas tecnologias.

Figura 3 – Comparativo entre os limites teóricos dos semicondutores de silício (Si), nitreto de gálio (GaN) e carbeto de silício (SiC).



Fonte: (RODRíGUEZ et al., 2012).

Neste gráfico, tem-se no eixo x a tensão de bloqueio e no eixo y a resistência de condução específica, dada em $\mathrm{m\Omega cm^2}$, destaca-se que ambos os eixos estão representados por escala logarítmica, dessa forma, pode se ter a impressão de uma curva estar próxima da outra, todavia possuem bastante diferença, por exemplo, se tomar como comparação a tensão de bloqueio de cada um dos materiais, com resistência de condução específica de $1\,\mathrm{m\Omega cm^2}$, o GaN apresenta uma tensão de bloqueio por volta de 2,5 vezes maior que o 4H-SiC, este é uma das formas do SiC, que por sua vez é cerca de 10 vezes maior que o Si.

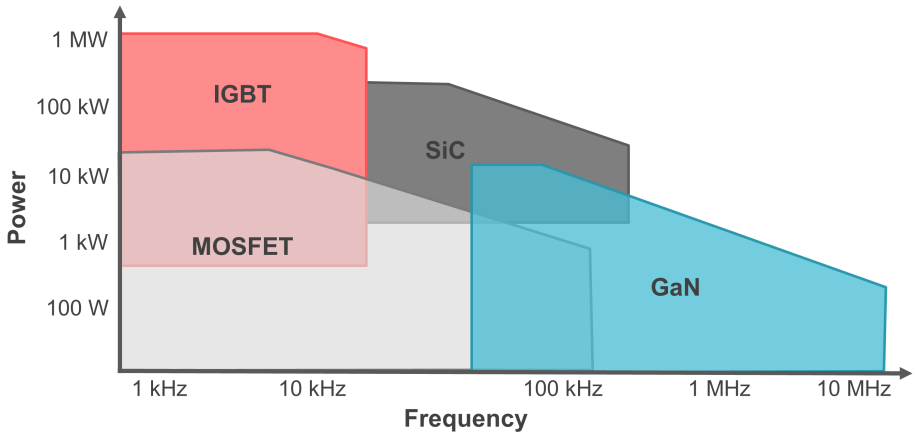
Dessa forma, com base neste comparativo, pode-se observar que em 30 anos de desenvolvimento dos transistores MOSFET, o silício já está em seu limite teórico, deste modo, pequenos ganhos com este tipo de material tem significativos custos de desenvolvimento (COLINO; BEACH, 2020). Para buscar ganhos mais significativos sem haver perdas maiores, é preciso investir

no desenvolvimento de semicondutores com materiais que apresentem menor resistência de condução para mesma ou maior tensão de bloqueio, como o SiC e GaN, que além disso ainda possuem significativas oportunidades para desenvolvimento e chegarem bem mais próximos de seus limites teóricos. Há um destaque para o GaN, que possui diferença de mais de 3 décadas em relação ao Si em seus limites teóricos de resistência de condução (RIBEIRO, 2020) (LIDOW et al., 2015), além disso, o transistor GaN ainda possui pouco tempo de desenvolvimento profundo e de participação no mercado, portanto é possível prever uma notável evolução ao longo dos anos (COLINO; BEACH, 2020).

A Figura 4 mostra como é a aplicação de cada tipo de transistor, considerando a potência e frequência de comutação. Pode-se observar que GaN é o mais indicado para altas frequências, a partir de 100 kHz, já o SiC é o mais utilizado para potências maiores em altas frequências. Os transistores baseados em silício do tipo MOSFET e do tipo IGBT são indicados em frequências menores, pois os ganhos em tempos de descida com SiC e GaN, ainda não compensam a substituição da atual tecnologia nas baixas frequências de comutação.

Destaca-se que MOSFET e IGBT são formas construtivas de transistor, para este caso se referem ao silício como material semicondutor, contudo podem existir MOSFETs e IGBTs de SiC ou GaN, inclusive.

Figura 4 – Aplicações dos materiais semicondutores considerando frequência de comutação e potência.



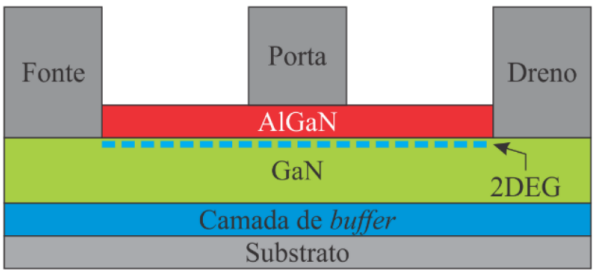
Fonte: (NATARAJAN, 2020).

Quando comparado as diferentes aplicações do SiC e do GaN, cada um apresenta melhor desempenho para faixas de tensão diferentes. Os transistores de GaN são mais adequados para a faixa de tensão de 200 V a 600 V, o que compõe a maioria dos produtos eletrônicos comerciais. Os transistores de SiC, são mais adequados para tensões acima de 1,2 kV que são aplicações industriais, transporte ferroviário e naval, redes de distribuição de energia elétrica, entre outros. Há uma faixa de tensão onde os dois materiais são concorrentes, entre 600 V e 900 V, nesta faixa estão as aplicações em conversores para carros elétricos, carros elétricos híbridos e conversores fotovoltaicos (ROCCAFORTE et al., 2019).

2.2 TRANSISTORES DE NITRETO DE GÁLIO

Os transistores de GaN HEMT (*High Electron Mobility Transistors*) termo inglês para alta mobilidade de elétrons são constituídos de duas camadas: a primeira, composta de nitreto de gálio-alumínio (AlGaN), e a segunda, composta de nitreto de gálio (GaN). Essas duas camadas possuem características piezoelétricas reversas, quando um campo elétrico é gerado são atraídos elétrons para esta junção, criando uma região de alta condutividade elétrica, chamada 2DEG, que vem do inglês *two-dimensional electron gas* (DUARTE, 2017). Quando esta camada é polarizada, há um aumento na sua mobilidade, dessa forma, ao conectar terminais metálicos nas suas extremidades cria-se um caminho bidirecional para o fluxo da corrente elétrica na região 2DEG, conforme mostra a Figura 5. A configuração básica do transistor GaN é normalmente fechada, ou seja, sem a aplicação de tensão entre os terminais de *gate* e *source*, há passagem de corrente pelo dispositivo entre os terminais dreno e *source*, nomeados na figura de porta e fonte, respectivamente.

Figura 5 – Configuração básica do dispositivo GaN HEMT.



Fonte: (DUARTE, 2017).

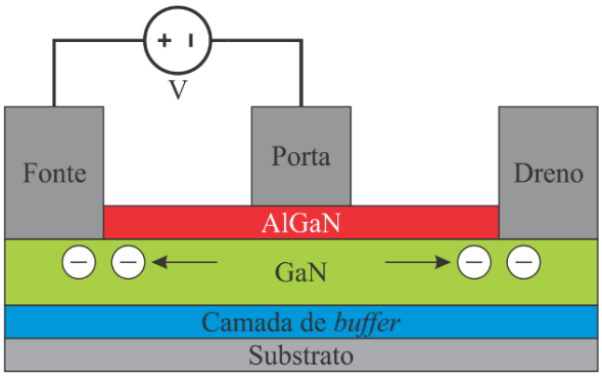
Para que haja a operação como transistor, é necessário haver bloqueio e condução da corrente pelo dispositivo com base em um sinal externo de controle aplicado entre os terminais de *gate* e *source* (DUARTE, 2017), o funcionamento deste acionamento depende do tipo do transistor GaN. Para aplicações em eletrônica de potência, há três tipos de transistores: depleção, intensificação e *cascode*, que são tratados nas seções seguintes.

2.2.1 GaN tipo depleção

O transistor de GaN tipo depleção, chamado dGaN, é a estrutura natural obtida na união das camadas de AlGaN e GaN (RIBEIRO, 2020). Como visto acima, o dGaN é normalmente fechado, isto é, sem o sinal de comando, há condução de corrente pelo dispositivo. Para bloqueio, é necessário a aplicação de um sinal externo, este sinal é uma tensão negativa aplicada entre os terminais de *gate* e *source*, como pode ser observado na Figura 6.

Para aplicações em rádio frequência, este tipo de transistor GaN era aceitável quando foi criado. Porém, na aplicação em conversores de potência, esta configuração de transistor se torna inadequado, pois na inicialização do conversor é necessário primeiro que o dispositivo

Figura 6 – Configuração do transistor GaN do tipo depleção.



Fonte: (DUARTE, 2017).

seja polarizado negativamente, para evitar a criação de curto circuito (CHEN et al., 2017), além de o sinal de comando negativo não ser convencional em circuitos de comando para conversores. Devido a isso, não encontram-se dispositivos deste tipo comercialmente, apenas em meios acadêmicos como forma de demonstração (DUARTE, 2017) (LIDOW et al., 2015). Para contornar a necessidade de um sinal de comando negativo, é modificado a estrutura do transistor para que seja possível usá-lo de forma convencional em conversores, existem variações nestas estruturas que são feitas também para buscar o melhor desempenho da chave.

2.2.2 GaN tipo *cascode*

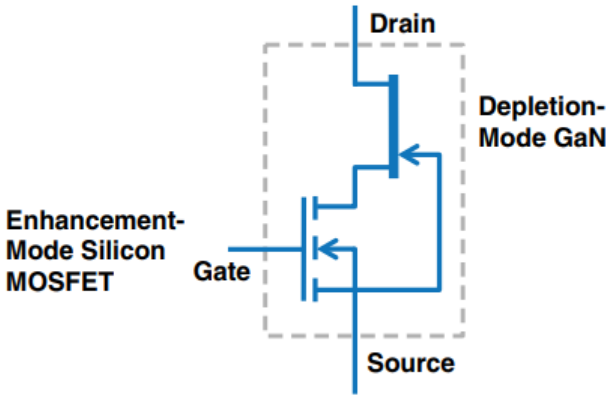
O transistor GaN do tipo *cascode*, chamado cGaN, é considerado um componente híbrido, é formado a partir da associação de um transistor GaN tipo depleção a um transistor MOSFET de silício do tipo intensificação de baixa tensão, em um mesmo encapsulamento. Estes componentes são ligados de tal forma que a tensão de comando aplicada no cGaN, é aplicada internamente nos terminais de *gate* e *source* do MOSFET (JESKE, 2016).

Este método permite criar semicondutores de GaN normalmente aberto, com tensões de comando semelhantes às aplicadas nos circuitos com MOSFETs, isso possibilita utilizar *drivers* aplicados em MOSFETs para comando do transistor GaN. A condução de corrente passa pelos dois semicondutores e durante o bloqueio, a tensão V_{DS} fica aplicada apenas sobre o transistor GaN (DUARTE, 2017). Isso torna os transistores cGaN, vantajosos para aplicações com tensão de bloqueio acima de 200 V, já para aplicações com tensão de bloqueio menor, as perdas por condução se tornam mais evidentes (DUARTE, 2017). O esquema interno de ligação deste transistor é representado na Figura 7.

2.2.3 GaN tipo intensificação

O transistor de GaN tipo intensificação, chamado eGaN, é um dispositivo normalmente aberto, ou seja, se nenhuma tensão é aplicada no terminal de *gate*, não haverá nenhuma passagem de corrente elétrica pela chave (LIDOW et al., 2015).

Figura 7 – Esquemático da estrutura tipo *cascode*.



Fonte: (LIDOW et al., 2015).

Para obtenção do transistor GaN do tipo intensificação há algumas estruturas usadas, que são descritas a seguir.

1. ***Recessed-gate***

   É criada ao reduzir a espessura da camada de AlGaN, isso faz com que a densidade da camada 2DEG seja reduzida. Dessa forma, se não houver sinal no *gate*, não haverá condução de corrente entre os terminais de dreno e *source* (RIBEIRO, 2020), isso acontece pois a tensão gerada pelo campo piezoelétrico é reduzida, eliminando a camada 2DEG (LIDOW et al., 2015).

   Para que haja condução de corrente é necessário um sinal de *gate* positivo. Esta redução na espessura é feita somente sob a região do *gate*, mantém-se sem alteração nas demais regiões (RIBEIRO, 2020). A Figura 8a mostra um exemplo para a estrutura *recessed-gate*.

2. **Tratamento de plasma**

   É criada ao fazer um tratamento no dGaN de "plasma fluoreto"onde incorpora íons de flúor negativo na camada de AlGaN, assim cria-se uma carga negativa na camada AlGAN que faz a camada 2DEG diminuir (RIBEIRO, 2020) (LIDOW et al., 2015). Dessa forma, sem aplicação de sinal de comando sobre o *gate* não haverá fluxo de corrente pelo transistor.

3. **p-GaN**

   Chamado também de *Gate injection transistor - GIT* (CHEN et al., 2017). É criada ao modificar a estrutura do tipo depleção com uma camada do tipo P localizada entre o *gate* e a camada AlGaN (RIBEIRO, 2020), conforme mostra a Figura 8b. Este método permite a operação normalmente aberto com alta corrente ao aplicar uma alta tensão de *gate* com baixa corrente de *gate* (UEMOTO et al., 2007).

   A operação do GIT é dada em três etapas.

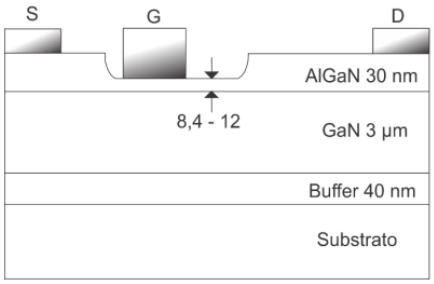
A primeira é quando é aplicado 0 V sobre o *gate* e tensões menores que V_{th}, tensão de *threshold*, a camada 2DEG fica em depleção e não passa corrente pelo dreno.

Na segunda etapa, quando a tensão sobre o *gate* passa o V_{th}, porém ainda é menor que a tensão de *forward* V_f, é formada a camada de 2DEG e a corrente passa a fluir pela camada 2DEG.

A terceira é quando a tensão aplicada no *gate* supera a V_f, neste caso a condução ocorre com a injeção de lacunas. A tensão V_f depende da estrutura do GaN (UEMOTO et al., 2007) (RIBEIRO, 2020).

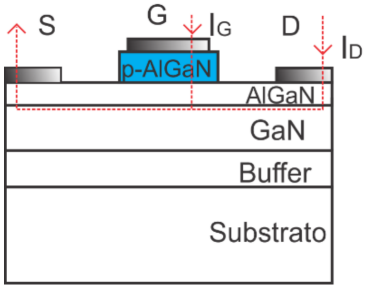
Figura 8 – Estrutura eGaN: (a) *recessed-gate* e (b) GIT.

(a)



Fonte: (RIBEIRO, 2020)

(b)



Fonte: (RIBEIRO, 2020)

4. ***Island Gate Technology***

   Esta estrutura, patenteada pela empresa GaN Systems, utiliza uma tecnologia do tipo MESA *gate structure* com uma junção Schottky. Esta tecnologia permite que os transistores da GaN Systems suportem tensões *gate* maiores que transistores GaN de outros fabricantes (VITORINO, 2019), dessa forma, a GaN Systems E-HEMTs possui melhor performance comparado a transistores de tecnologia GIT (MASO; XU; GANSYSTEMS, 2019).

Este tipo de transistor, possui uma tensão de *threshold*, em torno de 1,4 V, valor menor se comparado aos transistores de silício que possuem cerca de 3 V (DUARTE, 2017). Alguns componentes comerciais exigem tensões de comando máxima de 7 V (GANSYSTEMS, 2020a), para os transistores com estrutura GIT, quando é aplicado um sinal de comando maior que 10 V pode resultar em um rompimento do *gate*. Por este motivo e devido aos limites de corrente de *gate*, os *drivers* utilizados em dispositivos com estrutura GIT devem ser projetados especificamente para esta estrutura (CHEN et al., 2017). Para controle de tempos de subida e descida, enquanto o GIT precisa de um resistor de *gate* e um capacitor C_s que atuam na transição de término de condução (RIBEIRO, 2020), o GaN Systems E-HEMT pode controlar os tempos de subida e descida com o uso de dois resistores de *gate*, $R_{G(on)}$ e $R_{G(off)}$ (MASO; XU; GANSYSTEMS, 2019).

Cuidados com o circuito de comando e no *layout* do circuito devem ser tomados, pois os baixos valores de sinais de comando aliado com a alta frequência, tornam os ruídos de sinal

mais evidentes e, por conseguinte, maior possibilidade de acionamentos não desejados da chave e falsas detecções de proteção.

De modo geral, os transistores GaN de estrutura GIT possuem desempenhos superiores com alta confiança, o que demonstra um grande potencial para estas estruturas em aplicações práticas (CHEN et al., 2017). Os transistores GaN do tipo intensificação possuem um encapsulamento sem pinos longos, como é o caso dos MOSFETs e os GaNs tipo *cascode*, de tal modo que apresentam menores indutâncias parasitas, consequentemente, geram menores perdas (VUKIĆ; MRVIĆ; KATIĆ, 2019).

Para este trabalho será dado enfoque no transistor do tipo intensificação, por suas características de possuir menores perdas em relação ao transistor do tipo *cascode*. O modelo escolhido para o projeto é o transistor GS66508B da fabricante GaN Systems. Suas principais características nominais, à temperatura de junção $T_J = 25\,°C$, são mostradas na Tabela 2.

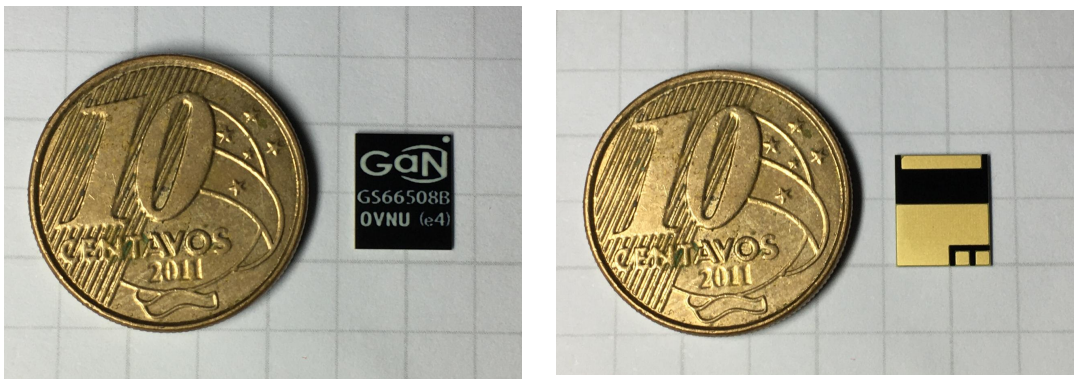
Tabela 2 – Principais características do transistor GS66508B, considerando $T_J = 25\,°C$.

Parâmetro	Valor
$V_{DS(max)}$	650 V
$R_{DS(on)}$	50 mΩ
$I_{DS(max)}$	30 A
Tolerância de transiente na tensão de comando	−20 V a 10 V
Tensão de comando	0 V a 6 V
Frequência de comutação	>10 MHz
Dimensões	7,00 x 8,40 x 0,51 mm

Fonte: (GANSYSTEMS, 2020a).

A Figura 9, mostra uma imagem do modelo do transistor escolhido para o projeto, destaca-se seu tamanho bastante reduzido em vista a sua capacidade de corrente e tensão de bloqueio.

Figura 9 – Imagem do transistor GS66508B comparado ao tamanho de uma moeda de 10 centavos, onde mostra em (a) a parte superior e (b) a parte inferior.



(a) (b)

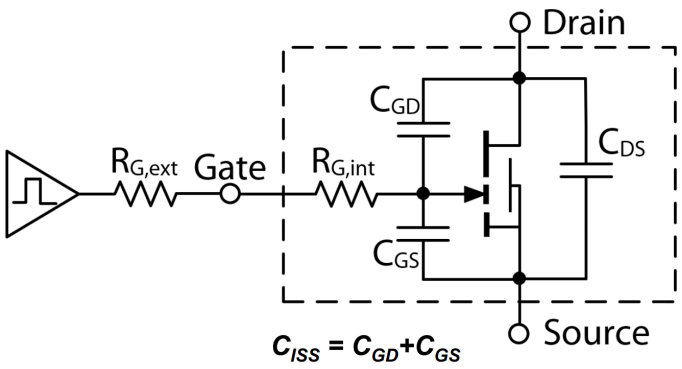
Fonte: do autor.

2.3 REQUISITOS DE COMANDO

Em geral, os transistores GaN tem comportamento parecido com os MOSFETs de potência, porém com velocidade de comutação e densidade potência maior (LIDOW et al., 2015). O comando do transistor GaN apresenta semelhanças com o comando de transistores de silício, inclusive, possuem compatibilidade com os *drivers* utilizados para transistores de Si (GANSYSTEMS, 2021d). Assim como os transistores de silício, os transistores GaN podem ter a velocidade de comutação variada de acordo com o resistor de *gate* (GANSYSTEMS, 2021d).

A velocidade maior de comutação do transistor GaN, comparado aos MOSFETs de silício, se deve à menor capacitância parasita interna de entrada, C_{ISS} do GaN, em torno de 3 a 7 vezes menor, dependendo da tensão de bloqueio do componente considerado (XIE et al., 2016) (LIDOW et al., 2015). As capacitâncias internas do transistor GaN podem ser vistas na Figura 10, onde a capacitância de entrada se dá pela soma da soma das capacitâncias C_{GD} e C_{GS}.

Figura 10 – Modelo do circuito do transistor eGaN HEMT.



Fonte: (GANSYSTEMS, 2021d).

Devido à baixa tensão de *threshold*, os transistores GaN possuem maior sensibilidade devido aos ruídos e são mais propensos a um falso acionamento (XIE et al., 2016).

A Tabela 3 mostra um comparativo entre os níveis comando de operação extremos e típicos da tecnologias utilizadas como transistores de potência. Observa-se como o GaN intensificação possui níveis comando menores que os demais.

Tabela 3 – Níveis de sinais de *gate*.

	GaN Systems eGaN	Si MOSFET	Si IGBT	SiC MOSFET
Níveis extremos	−10 V a 7 V	±20 V	±20 V	−8 V a 18 V
Valores típicos de operação	−3 V a 6,5 V	0 V a 12 V	−9 V a 15 V	−4 V a 15 V

Fonte: (GANSYSTEMS, 2021d).

Para o sinal de bloqueio do GaN, pode ser utilizado tensão de *gate-source*, V_{GS}, negativa. Isso gera uma maior imunidade contra ruídos, reduz as perdas de bloqueio em altas

correntes. É recomendado utilizar V_{GS} negativa, como $-3\,V$, para potências a partir de $500\,W$ (GANSYSTEMS, 2021d).

2.4 CARACTERÍSTICAS DE CONDUÇÃO REVERSA

Em um transistor Si MOSFET, a junção p-n forma um diodo reverso no corpo do transistor entre os terminais de dreno e *source*, chamado diodo intrínseco ou diodo interno, dessa forma, quando tem-se $V_{GS} = 0\,V$ há condução de corrente reversa no componente. O transistor GaN não possui diodo interno em sua característica construtiva, entretanto conduz reversamente a corrente, semelhante ao comportamento de diodo interno do Si MOSFET (STYLES, 2019) (LIDOW et al., 2015).

Durante a condução reversa, com tensão $V_{DS} < 0\,V$, o sinal negativo no terminal de dreno, causa um gradiente de tensão no dispositivo, que causa uma região de depleção, que passa a ter uma potencial negativo em relação ao terminal de *gate*. Dessa forma, o dreno passa a se comportar como o *source*, e vice-versa. Quando a diferença de potencial entre o *gate* e dreno, fica maior que a tensão de *threshold*, o dispositivo inicia a condução, fenômeno chamado de "*self-commutation*", ou auto-comutação (STYLES, 2019).

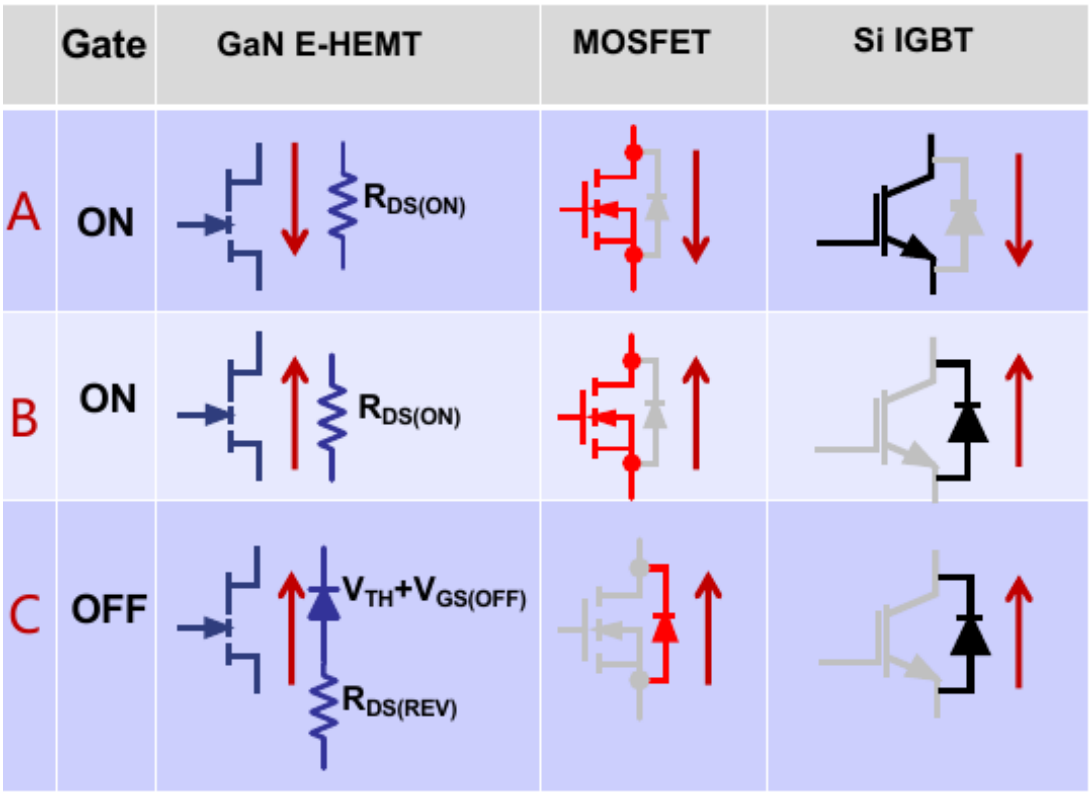
A Figura 11 mostra o comparativo entre as formas de condução das tecnologias de transistores, GaN, Si MOSFET e Si IGBT.

No caso A, quando há o comando de condução e a tensão V_{DS} é positiva sobre o transistor, a corrente passa pelo terminal de dreno em direção ao *source*, ocorre dessa forma para os três tipos de transistores. Em B, quando há comando para condução e a tensão V_{DS} é negativa, a corrente é conduzida no sentido contrário, porém no Si IGBT, ao invés de a corrente passar pelo transistor, passa pelo diodo colocado em anti-paralelo, já que este não conduz reversamente (STYLES, 2019). Já em C, quando não há comando para condução, a corrente armazenada no circuito que precisa ser descarregada, usa o transistor como caminho, sendo conduzida pelo diodo interno, no caso do Si MOSFET, já para o GaN essa corrente passa pelo próprio componente (GANSYSTEMS, 2021d).

Durante a condução reversa no GaN, a tensão de *forward* será maior que na condução de acionamento, pois além da tensão devido à resistência de condução, é somado ainda a tensão de *threshold* com a tensão de bloqueio negativa, se houver, conforme mostra a equação 2 (GANSYSTEMS, 2021b).

$$V_F = V_{TH(GD)} + V_{GS(off)} + I_{SD} \cdot R_{SD(on)} \tag{2}$$

Figura 11 – Comparativo de condução e condução reversa entre as tecnologias GaN, Si MOSFET e Si IGBT.



Fonte: (GANSYSTEMS, 2021b)

.

2.5 *DRIVER* UTILIZADO

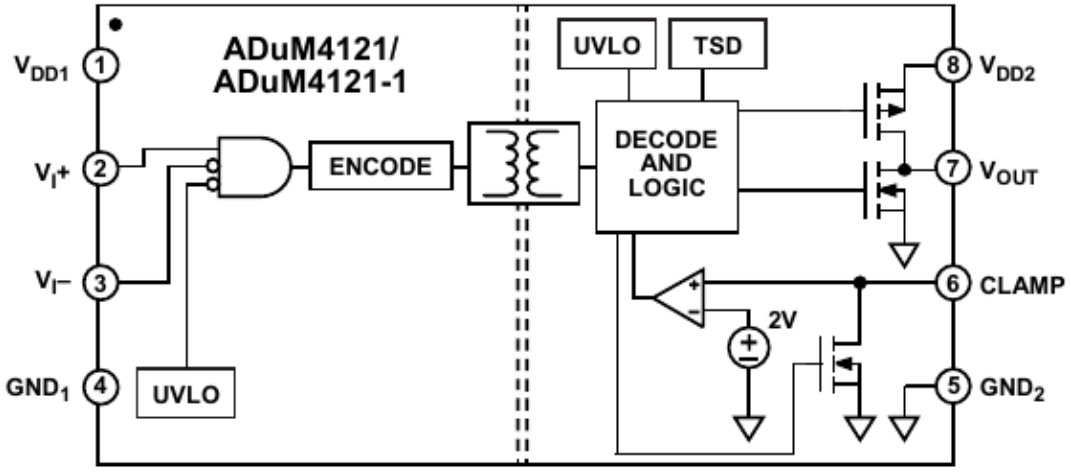
Como os transistores GaN tipo intensificação possuem uma tensão de *threshold* baixa, com cerca de 1,4 V, é necessário que o circuito de *gate driver* seja imune a ruídos e que possua uma tensão de acionamento máxima bem controlada, já que a tensão máxima de acionamento aceita para estes transistores é de cerca de 7 V.

O *driver* utilizado no projeto é o modelo ADUM4121ARZ da fabricante Analog Devices, este é um circuito integrado de *driver* simples, com isolação galvânica entre a entrada e saída, que conta a tecnologia de isolação *iCoupler*. Sua estrutura combina o CMOS de alta velocidade com transformador monolítico, possui características de isolação com desempenho superior às outras alternativas, como a combinação de transformador de pulso e *gate driver* (ANALOG DEVICES, 2016). O diagrama de blocos da estrutura interna do componente de *gate driver* é apresentada na 12.

Internamente, este *driver* possui proteção por subtensão (UVLO – *undervoltage lockout*) em ambos os lados, de entrada e de saída, esta proteção atua quando os sinais de entrada ou de saída estiverem abaixo do valor UVLO, dessa forma, a saída passa a ter sinal 0 V, para o modelo escolhido a tensão do UVLO é de 4,5V.

O *gate driver* possui dois pontos de alimentação, um no lado de entrada, denominado

Figura 12 – Diagrama de blocos estrutura interna do *gate driver* ADuM4121.



Fonte: (ANALOG DEVICES, 2016)

.

VDD1 e outro no lado de saída, denominado VDD2, cada uma das alimentações possui referências distintas, GND1 e GND2, respectivamente. A descrição de cada um dos terminais do componente é mostrada na 4.

Tabela 4 – Descrição dos pinos do *driver* ADuM4121.

Número Pino	Nome	Descrição
1	VDD1	Alimentação lado de entrada
2	VI+	Entrada lógica não inversora
3	VI-	Entrada lógica inversora
4	GND1	Referência lado de entrada
5	GND2	Referência lado de saída
6	CLAMP	Miller *clamp* e sensor de tensão *gate-source*
7	VOUT	Saída do *gate driver*
8	VDD2	Alimentação lado de saída

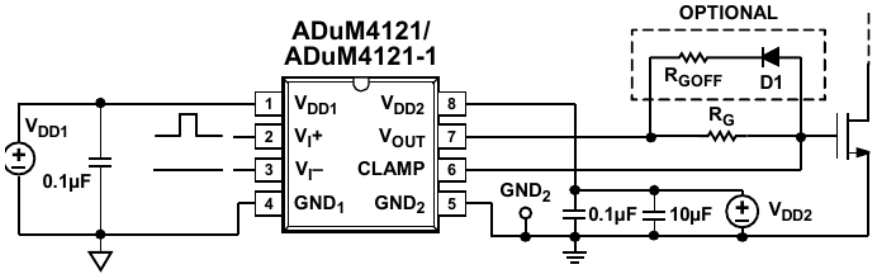
Fonte: (ANALOG DEVICES, 2016).

As duas entradas lógicas VI+ e VI-, operam como entrada diferencial.

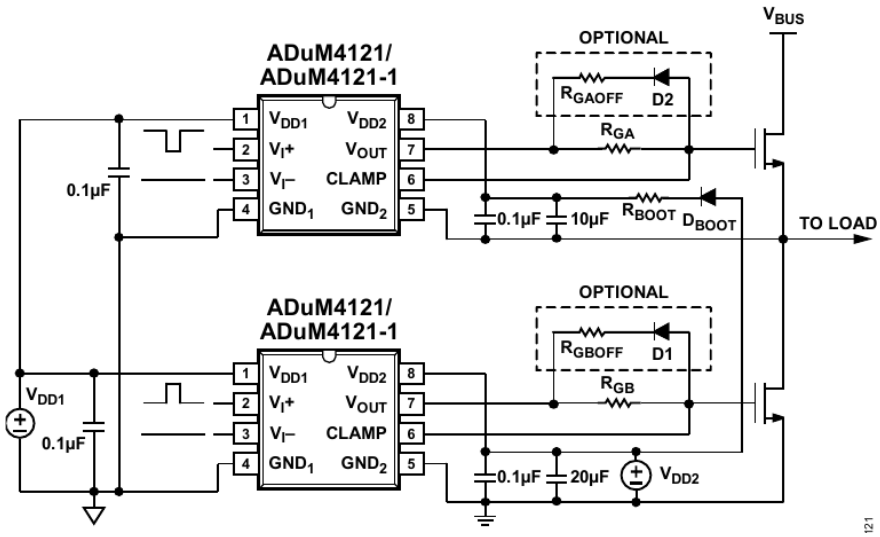
Este *driver* possui um Miller *clamp* interno que reduz os picos de tensão causados pela capacitância Milller, é ativado a 2 V, na borda de descida de saída do acionamento da chave, fornecendo um caminho adicional de impedância para reduzir a probabilidade de falso acionamento de comando.

Junto com o *gate driver*, deve-se utilizar alguns componentes passivos externos. Para ajuste da corrente de pico do terminal VOUT, deve-se utilizar um resistor, além da utilização de alguns capacitores entre as alimentações e suas referências, com a função de filtro. O esquemático de ligação do *gate driver* com os componentes externos e ligação à chave é apresentado na Figura 13a para um circuito com apenas uma chave e na Figura 13b é apresentado um circuito para operação em meia ponte, com duas chaves em braço.

Figura 13 – Circuito de gate *driver* recomendado pelo fabricante com os componentes passivos externos (a) com a utilização de um transistor e (b) dois *gate driver* conectados a dois transistores para operação como meia ponte.



(a)



(b)

Fonte: (ANALOG DEVICES, 2016).

Deve-se ressaltar que os lados de entrada e saída do *driver*, devem ter referências isoladas entre si. Em ambas as aplicações acima, os pinos VI- estão conectados em nível lógico baixo, como esta entrada é inversora, cria-se uma entrada positiva lógica no *gate driver*, dessa maneira, para desabilitar a saída do *driver*, basta elevar o sinal desta entrada para nível lógico alto, (ANALOG DEVICES, 2016).

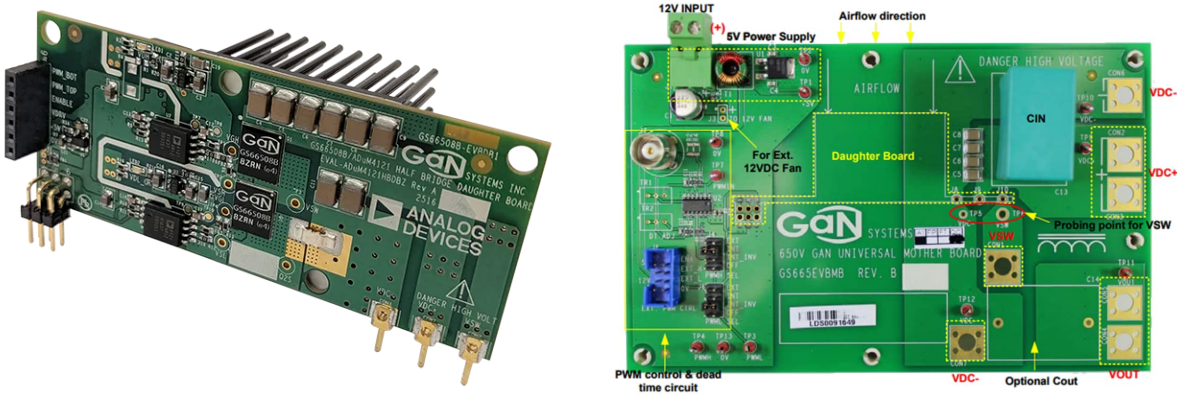
Os resistores de *gate*, RG, conforme (GANSYSTEMS, 2016), controlam os tempos de subida e descida do transistor, que são determinantes para melhor performance de comutação e estabilidade do *gate driver*, como recomendação, pode ser adicionado outro resistor em paralelo RGOFF, que age como um caminho adicional de corrente para o bloqueio através do diodo D1 (ANALOG DEVICES, 2016), o resistor RGOFF deve ter resistência menor que RG, este caminho adicional ajuda a diminuir as perdas por comutação, já que permite que o tempo de descida seja menor.

3 IMPLEMENTAÇÃO

Para implementação do projeto foi escolhida a utilização de uma placa de desenvolvimento fornecida pelo fabricante do semicondutor, pois por conta da altas frequências, os elementos parasitas tornam-se muito mais evidentes. Devido a isto, há a exigência da confecção de uma placa de circuito impresso e a montagem de componentes que sejam próprios para aplicação em altas frequências, deste modo, com uma placa de desenvolvimento pronta, é possível extrair o melhor desempenho do conversor. Em vista disso, foi escolhida placa de desenvolvimento da fabricante GaN Systems que é munida da chave GS66508B com o *driver* ADuM4121. Esta é composta de duas partes:

- **GS66508B-EVBDB1 (*Daughter board*)**: Placa de desenvolvimento que possui dois transistores GaN em braço com o dissipador e dos demais circuitos necessários, como o circuito de *driver* com o modelo ADUM4121ARZ, regulador de tensão e filtros. Permite facilidade para desenvolvimento de qualquer topologia baseada em meia ponte. A Figura 14a mostra a placa de desenvolvimento.
- **GS665MB-EVB (*Mother board*)**: É uma placa para uso complementar junto à placa anterior, possui pinos de entrada e saída, fonte auxiliar de alimentação, capacitores de filtro cc e circuito de comando PWM complementar com tempo morto para cada chave, para ajuste deste tempo é necessário montar um potenciômetro *trimpot* para cada chave no espaço disponível para isso na placa, há a possibilidade de usar um circuito externo para comando, dessa forma pode-se habilitar o controle PWM externo por meio de *jumpers* na placa. A Figura 14b mostra essa placa e indica quais são seus circuitos.

Figura 14 – Kit da placa de desenvolvimento utilizada para estudo: (b) *Mother board* e (a) *Daughter board*.



(a) (b)

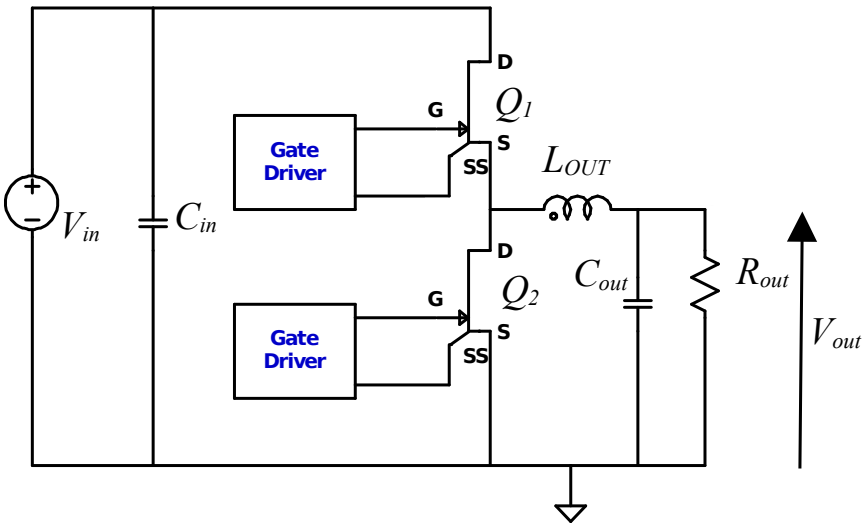
Fonte: (GANSYSTEMS, 2020a).

A placa de desenvolvimento da GanSystem pode ser usada para as seguintes topologias:

- *Buck* síncrono cc-cc;
- Inversor monofásico meia ponte;
- Braço de fase para conversor ponte completa;
- *Boost* síncrono cc-cc;
- *Totem pole bridgeless* PFC.

A topologia escolhida para o projeto foi o *buck* síncrono cc-cc, esta topologia foi escolhida pela facilidade de comando do conversor, por não ser preciso realizar uma modulação PWM, já que assim pode-se utilizar um gerador de sinais para comando das chaves, dessa forma é possível verificar o comportamento do transistor, a topologia escolhida para o projeto é apresentada na Figura 15. Os componentes que vêm montados com a placa de desenvolvimento são: C_{in}, as chaves Q_1 e Q_2, componentes referentes aos *drivers* e os componentes de proteção e filtros de sinais. O indutor L_{OUT}, capacitor C_{out} e a carga R_{out} não vêm montados, mas possuem o espaço para implementação de acordo com a requisição do projeto.

Figura 15 – Topologia *buck* síncrono utilizada no projeto.



Fonte: do autor.

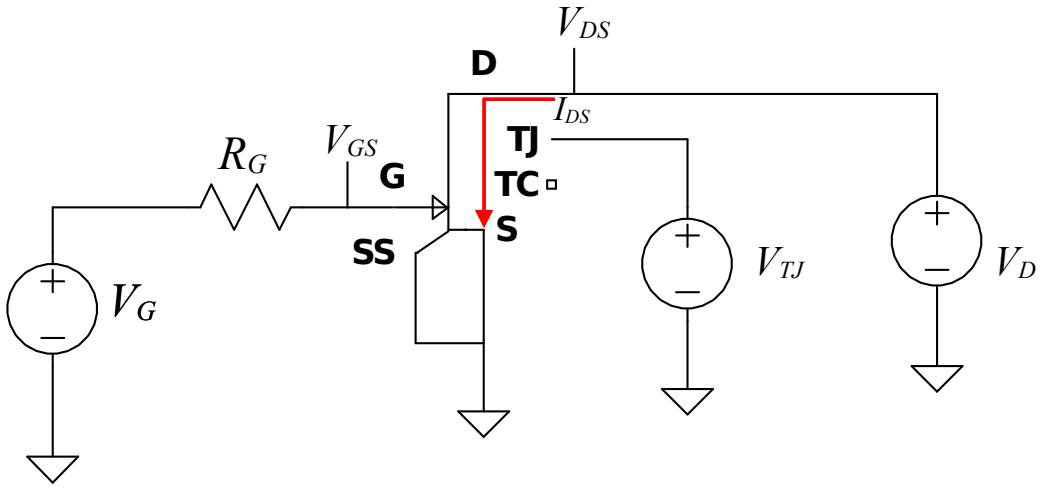
3.1 VALIDAÇÃO DO MODELO DE SIMULAÇÃO EM *SPICE* DO TRANSISTOR E-GAN GS66508B

A GaN Systems, fornecedora do semicondutor, dispõe do modelo de simulação em *spice* do transistor e alguns exemplos de simulações feitas com base neste modelo, isso é positivo pois é possível validar os comportamento do componente em simulação antes dos testes práticos, permitindo observar se o modelo de simulação condiz com os dados de catálogo, o que traz maior confiabilidade na implementação do projeto.

Para simulação foi utilizado o programa de simulação LTspice, que é um *software* gratuito, além disso, o suporte dado pelo fabricante do transistor é baseado neste simulador de circuitos.

Dessa forma, para validação do modelo *spice* do componente dado pelo fabricante, foram realizadas simulações para replicar as curvas dadas pelo *datasheet* e compará-las, trazendo segurança aos resultados de simulação. O circuito base para as simulações que se seguem, é ilustrado na Figura 16.

Figura 16 – Circuito utilizado para simulações.



Fonte: do autor.

O modelo utilizado de chave neste trabalho possui possibilidade de configuração da temperatura de junção ou de cápsula, que podem ser utilizadas nas entradas TJ e TC, respectivamente, para isso basta colocar uma fonte de tensão em uma destas entradas, a relação de transformação de unidade de temperatura [°C] para tensão [V] é de 1/1. Para este caso a fonte de tensão V_{TJ} foi utilizada para ajustar a temperatura de junção, T_J, de acordo com o necessário, isso possibilita visualizar as variações de comportamento do componente de acordo com a mudança de temperatura. O resistor R_G, utilizado como resistor de comando, foi definido como 5 Ω, pois é a condição para os dados de características do *datasheet* (GANSYSTEMS, 2020a). As fontes V_G e V_D realizam as alimentações de *gate* e dreno, respectivamente. Os pontos onde foram medidas as tensões de *gate-source* e dreno-*source*, são indicados no circuito por V_{DS} e V_{GS}, respectivamente, a corrente de dreno-*source*, indicada por I_{DS} foi medida na entrada do pino de dreno do componente.

Para cada uma das simulações realizadas, que são mostradas na sequência, foram adaptados os valores dos parâmetros de cada uma das fontes de tensão utilizadas, de acordo com as exigências para cada uma das curvas características simuladas.

Inicialmente foi realizada uma simulação para verificar a dependência da corrente de dreno, com a tensão de dreno-*source*, V_{DS}, de acordo a tensão de comando, variando de 2 V a 6 V, V_{GS}. A Figura 17a mostra uma plotagem desta curva com temperatura de junção a 25 °C e a

Figura 17b com temperatura de junção a 150 °C.

As figuras mostram os pontos simulados, sobrepostos à curva característica dada pelo fabricante no *datasheet*, dessa maneira, a curva do catálogo é uma linha contínua preta e os pontos são as medições de simulação. Com isto, pode ser observado o quanto a simulação se aproxima da curva real do catálogo, tratado como uma referência teórica.

Foi realizada, também, uma simulação para verificar a curva característica V_{DS} vs I_{DS}, porém agora, com diferentes temperaturas de junção. A simulação foi realizada com tensão de comando $V_{GS} = 6\,\text{V}$, como mostra a Figura 18. Com isso observa-se que, com o aumento da temperatura, a corrente na chave diminui para uma mesma tensão V_{DS}, isso mostra o aumento da resistência de condução devido ao aumento de temperatura. Além disso, observa-se a proximidade da curva dada no catálogo com o simulado.

Da mesma forma, para verificar o comportamento da resistência de condução entre dreno e *source*, $R_{DS(on)}$, foi realizado uma simulação com uma rampa de corrente na chave, com isto para cada valor de corrente, através da medição de tensão entre dreno e *source*, foram encontrados os respectivos valores de resistência de condução. A Figuras 19a e 19b mostram as curvas de resistência de condução em função da corrente na chave I_{DS}, com $T_J = 25\,^{\circ}\text{C}$ e $T_J = 150\,^{\circ}\text{C}$, cada uma das figuras mostra o comportamento para V_{GS} igual a 5 V e 6 V.

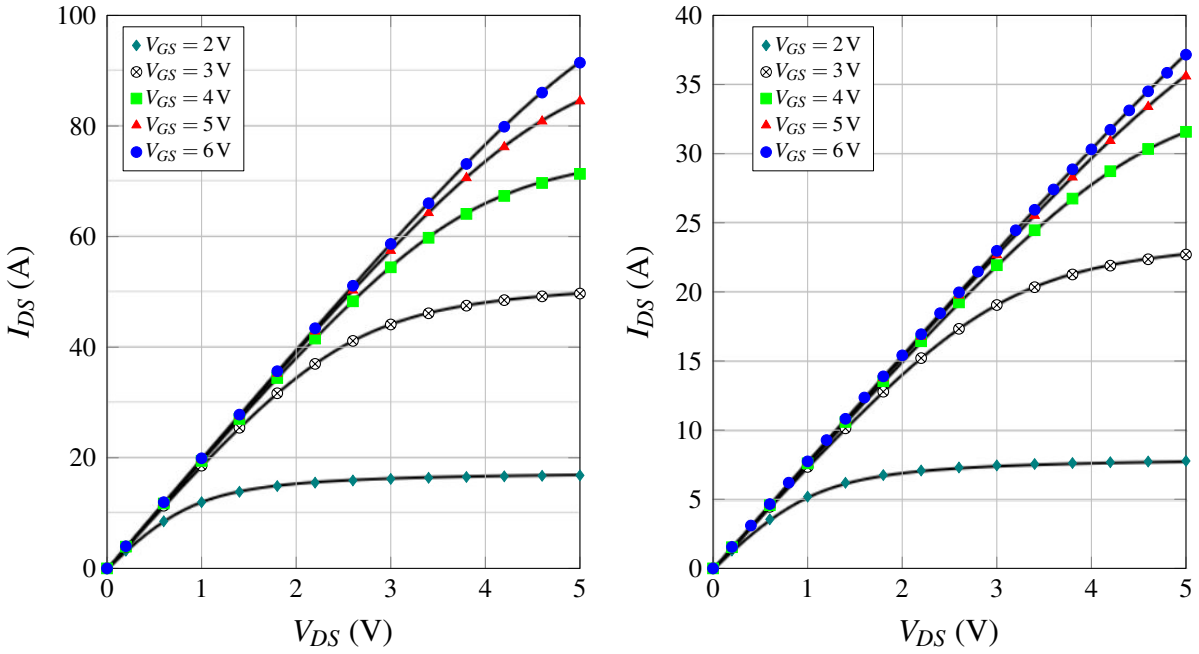
A Figura 20 mostra o comparativo entre a curva característica do catálogo com resultados variação da resistência de condução, $R_{DS(on)}$, de acordo com a mudança de temperatura de junção, T_J, que ajuda no cálculo das perdas por comutação. A curva mostra a $R_{DS(on)}$ de forma normalizada a $T_J = 25\,^{\circ}\text{C}$.

Para verificação do comportamento da corrente reversa, foi realizada uma simulação onde inverteu-se a polaridade da fonte V_D, foi observado este comportamento para diferentes tensões de comando. Com comando ligado $V_{GS} = 6\,\text{V}$, há corrente reversa para qualquer valor, com o comando desligado $V_{GS} = 0\,\text{V}$, começa haver corrente reversa a partir de pouco menos que 2 V de tensão reversa, já para comando desligado, mas negativo, $V_{GS} = -3\,\text{V}$, a corrente reversa passa a ocorrer em aproximadamente 4,5 V de tensão reversa. As Figuras 21a e 21b mostram este comportamento para $T_J = 25\,^{\circ}\text{C}$ e $T_J = 150\,^{\circ}\text{C}$, respectivamente.

Para verificar o comportamento da corrente de dreno em relação à tensão entre *gate* e *source*, foi realizada uma simulação da variação na tensão de comando V_{GS} de 0 V a 6 V e com a tensão V_{DS} fixa, essa simulação foi realizada com temperatura de junção de 25 °C e 150 °C, conforme mostra a Figura 22. Nesta simulação pode-se observar a tensão de *threshold*, que é por volta de 1,5 V.

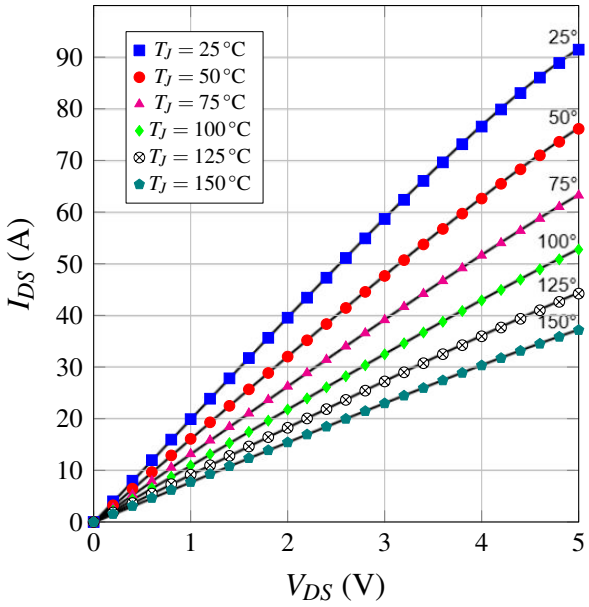
Os comparativos do comportamento obtido nas simulações com os esperados pelo catálogo, se mostraram bastante próximos, isso leva a uma confiabilidade do modelo de simulação em relação a estes aspectos.

Figura 17 – Comparativo entre as curvas simuladas e teóricas V_{DS} e I_{DS} com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



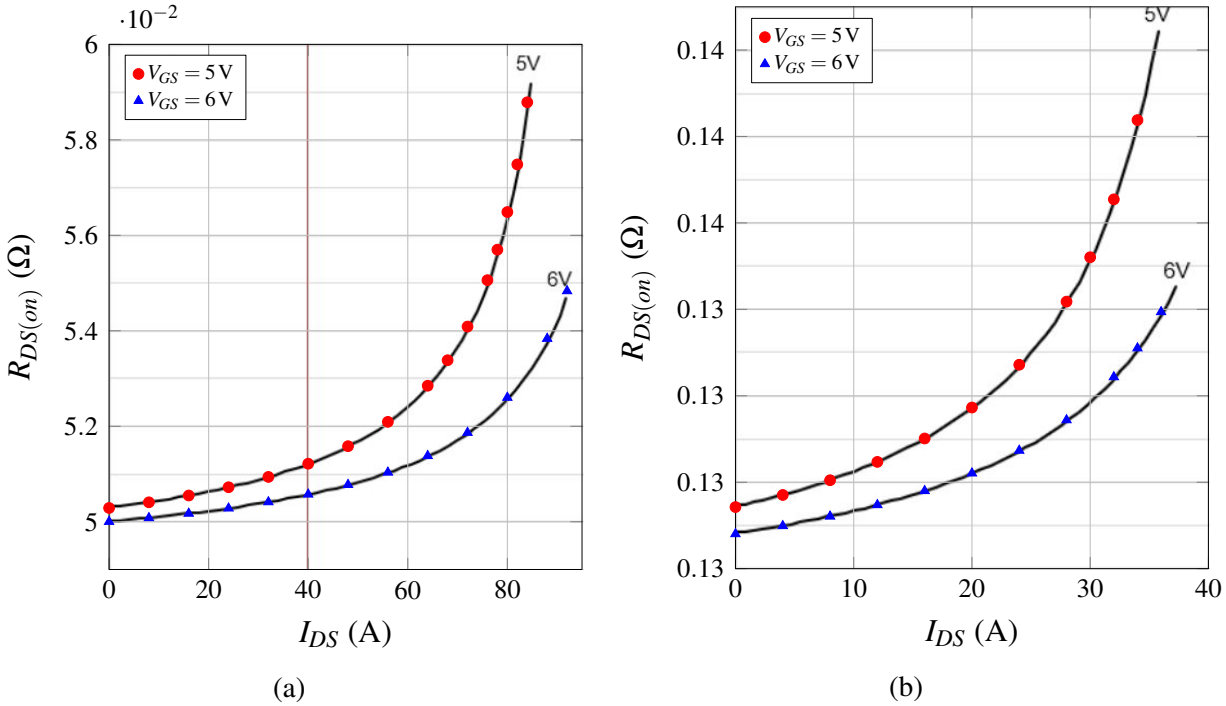
Fonte: do autor.

Figura 18 – Comparativo entre curva V_{DS} e I_{DS}, com variações de temperatura, com $V_{GS} = 6\,V$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



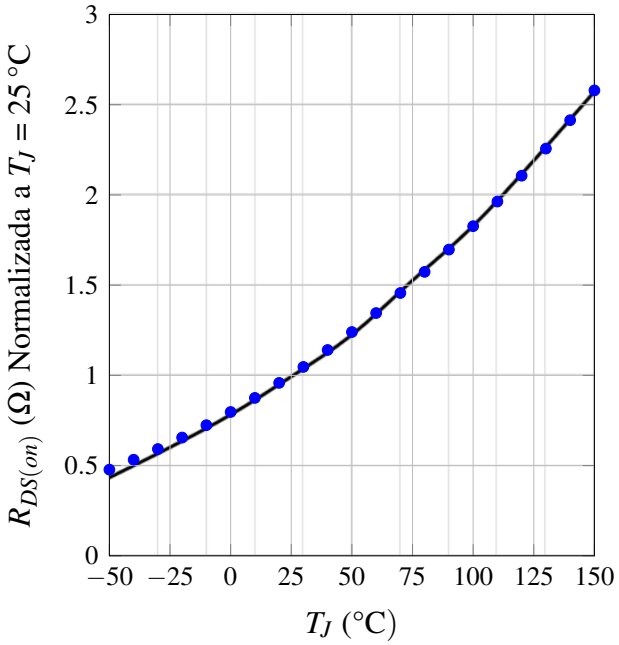
Fonte: do autor.

Figura 19 – Comparativo entre as curvas de resistência dreno-*source*, $R_{DS(on)}$, e corrente de dreno-*source*, I_{DS}, com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



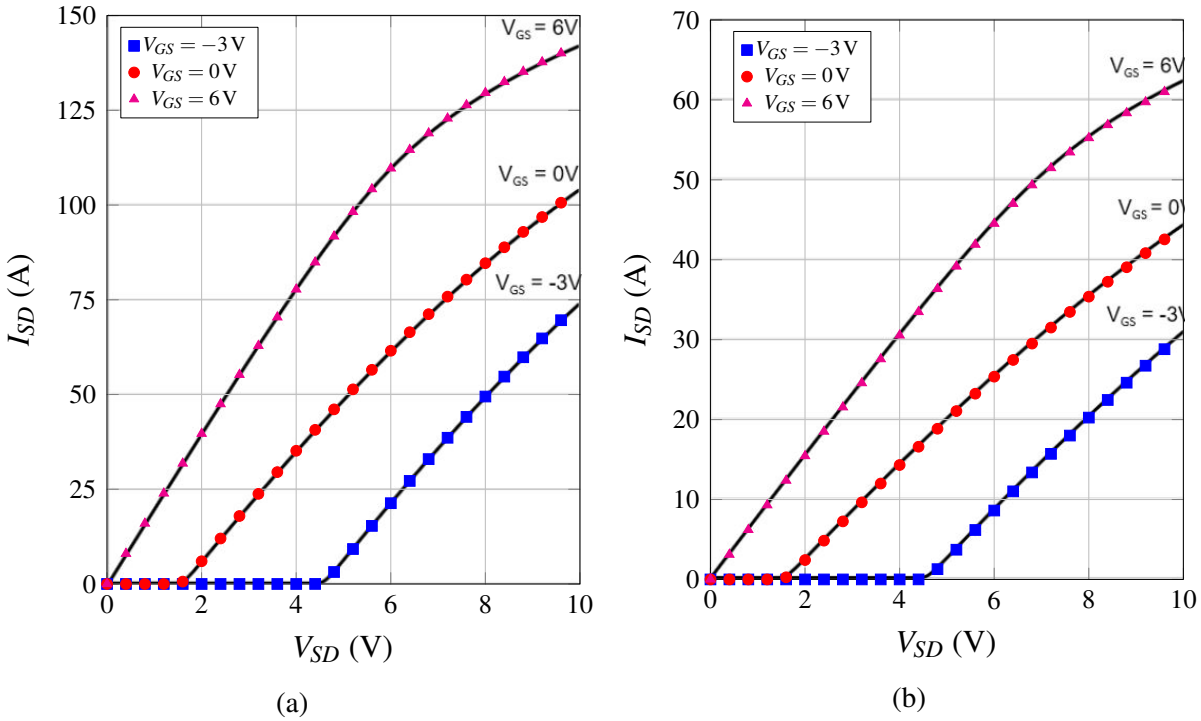
Fonte: do autor.

Figura 20 – Dependência de $R_{DS(on)}$ com variação na temperatura T_J. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



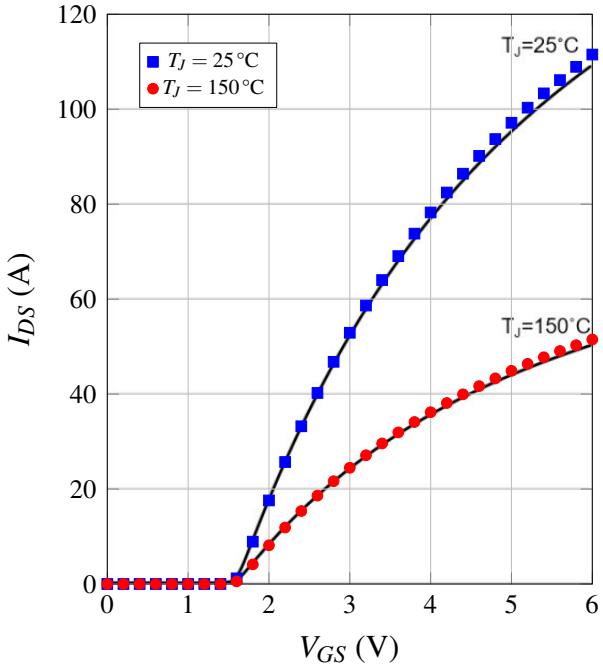
Fonte: do autor.

Figura 21 – Comparativo entre curvas simulado e teórico de corrente reversa, com: (a) $T_J = 25\,°C$ e (b) $T_J = 150\,°C$. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



Fonte: do autor.

Figura 22 – Comparativo entre curvas simuladas e teóricas V_{GS} vs I_{DS}. As curvas do catálogo e os resultados de simulação são representadas pelas linhas continuas pretas e pelos marcadores, respectivamente.



Fonte: do autor.

3.2 CÁLCULO DE PERDAS NOS SEMICONDUTORES

As principais perdas nos semicondutores são as perdas por comutação e por condução.

As perdas por comutação ocorrem devido às capacitâncias parasitas presentes no componente, assim quando dá-se o comando para passagem de corrente, a tensão entre o dreno e *source* do transistor tem uma rampa de descida, que é o descarregamento da capacitância parasita, de modo semelhante, a corrente que passa pelo componente, entre os terminais de dreno e *source*, tem também uma rampa de subida, as perdas por comutação ocorrem neste transitório, calculadas conforme a Equação 3.

$$P_{comut.} = \int_{t_1}^{t_2} v_{DS}(t) i_{DS}(t) dt \tag{3}$$

Já as perdas por condução ocorrem devido a oposição à passagem de corrente presente entre dreno e *source*, chamada $R_{DS_{(on)}}$, onde é criada uma diferença de potencial sobre estes terminais quando há a passagem de corrente. Isso causa uma dissipação de potência, que é calculada de forma simplificada conforme a Equação 4.

$$P_{cond.} = I_{DS}^2 R_{DS_{on}} \tag{4}$$

As perdas totais se dão pela soma das perdas de comutação com as de condução, conforme a Equação 5.

$$P_{total} = P_{comut.} + P_{cond.} \tag{5}$$

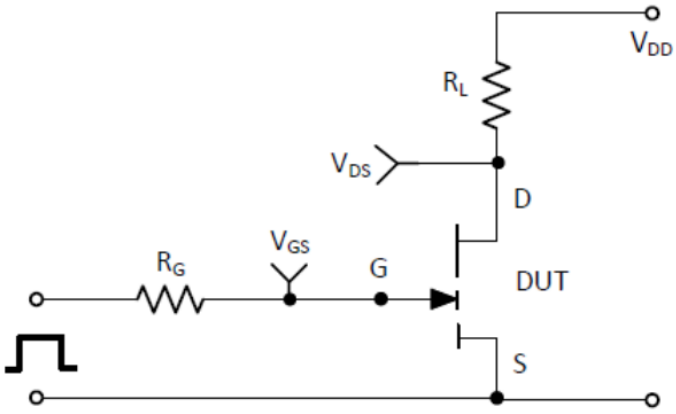
3.3 VERIFICAÇÃO DOS TEMPOS DE COMUTAÇÃO E PERDAS EM SIMULAÇÃO

Os tempos de comutação são importantes para dimensionamento do tempo morto, no caso de topologias com dois transistores em braço, e para os cálculos de perdas de comutação. Para validação da convergência entre os dados de catálogo e do comportamento do modelo de simulação, foi realizada uma simulação para avaliar dos tempos de comutação da chave. O circuito de simulação foi montado de acordo indicação do *datasheet*, como mostra a Figura 23. Os parâmetros utilizados para a simulação foram determinados de acordo com as condições de teste disponibilizadas pelo *datasheet*.

- $V_{DD} = 400\,\text{V}$;
- $I_{DS} = 16\,\text{A}$, para isso foi utilizado um resistor $R_L = 25\,\Omega$;
- $R_G = 5\,\Omega$;
- $V_{GS} = 0\,\text{V}$ a $6\,\text{V}$;

- $t_S = 100\,\text{ns}$, período de comutação;
- $D = 1/2$, razão cíclica.

Figura 23 – Circuito utilizado para testes dos tempos de comutação.

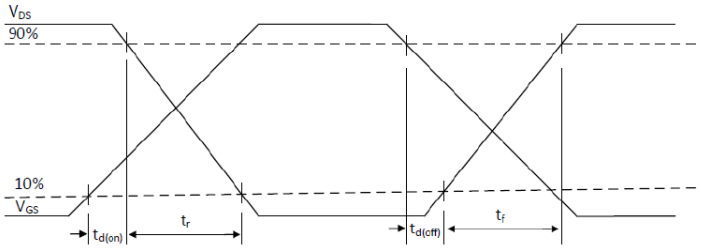


Fonte: (GANSYSTEMS, 2020a)

.

A simulação foi realizada com o modelo de simulação da chave em *spice*. A Tabela 5 apresenta tempos de comutação obtidos em simulação em cada intervalo da comutação, seus resultados são comparados aos tempos teóricos, com $T_J = 25\,°\text{C}$. A Tabela 6 mostra este comparativo com $T_J = 150\,°\text{C}$. Estas tabelas mostram, em termos percentuais o erro dos valores de simulação em relação aos valores disponibilizados no *datasheet*. As formas de onda indicando os tempos de comutação são mostradas na Figura 24.

Figura 24 – Forma de onda de comutação com seus intervalos de medição.



Fonte: (GANSYSTEMS, 2020a)

.

Tabela 5 – Tempos de comutação com $T_J = 25\,°C$.

		Simulação	Teórico	Erro (%)
Tempo *delay* no acionamento	$T_{d(on)}$	2,91 ns	4,10 ns	-29 %
Tempo de subida	T_r	2,68 ns	3,70 ns	-28 %
Tempo *delay* no bloqueio	$T_{d(off)}$	13,30 ns	8,00 ns	67 %
Tempo de descida	T_f	6,73 ns	5,29 ns	29 %

Fonte: do autor.

Tabela 6 – Tempos de comutação com $T_J = 150\,°C$.

		Simulação	Teórico	Erro (%)
Tempo *delay* no acionamento	$T_{d(on)}$	3,08 ns	4,30 ns	-28 %
Tempo de subida	T_r	3,52 ns	4,90 ns	-8 %
Tempo *delay* no bloqueio	$T_{d(off)}$	12,40 ns	8,20 ns	51 %
Tempo de descida	T_f	7,09 ns	3,49 ns	108 %

Fonte: do autor.

Os valores simulados em relação aos teóricos, dados pelo catálogo, tiveram uma diferença significativa, isso pode afetar os cálculos de perdas esperadas para uma montagem do conversor. Os tempos de *delay* $T_{d(off)}$ e $T_{d(on)}$, em um primeiro momento não serão considerados, como o objetivo do trabalho é o estudo de um protótipo em malha aberta, esses parâmetros podem ser desconsiderados. Esses parâmetros se tornam mais relevantes quando são utilizados métodos de controle para o conversor.

Na simulação com temperatura de junção a 25 °C, observou-se que os erros percentuais dos tempos de subida e descida, T_r e T_f, respectivamente, foram os mesmos em termos absolutos, porém com sinais opostos. Enquanto o tempo de subida em simulação foi menor que o teórico, o tempo de descida em simulação foi maior, no entanto na mesma proporção, isso significa que enquanto um pode apresentar um valor de perdas maior que o de catálogo, outro apresenta um valor de perda menor, isso pode trazer uma certa confiança no modelo de simulação, já que se compensam.

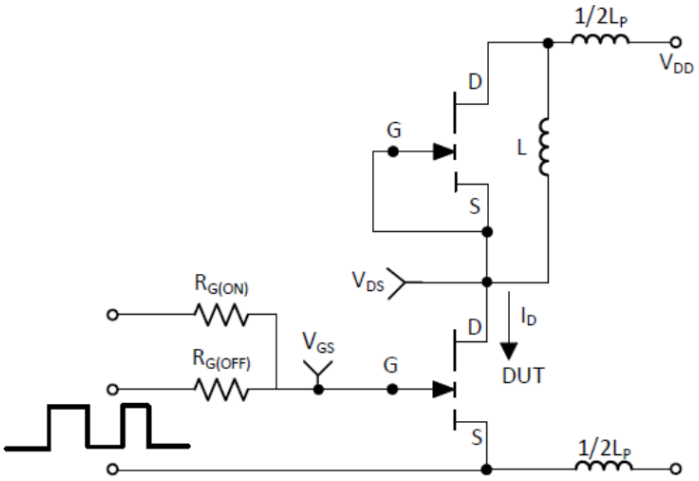
Já para o caso da temperatura de junção a 150 °C, houve uma diferença mais significativa entre os erros percentuais dos tempos subida e descida no valor de simulação em relação ao dado em catálogo, dessa forma este parâmetro necessita maior atenção.

Foi realizada também a simulação onde observou-se as perdas durante a comutação, empregando um circuito de dois transistores em braço, como mostra a Figura 25. Para este teste foram utilizados os seguintes parâmetros, com base nas condições de teste fornecidas pelo *datasheet* do fabricante (GANSYSTEMS, 2020a):

- $V_{DD} = 400\,V$;
- $I_{DS} = 15\,A$;

- $L = 2\,\mu H$;
- $L_P = 2\,nH$, indutância parasita;
- $R_{G(on)} = 10\,\Omega$;
- $R_{G(off)} = 1\,\Omega$;
- $V_{GS} = 0\,V$ a $6\,V$;
- $t_S = 2{,}5\,\mu s$, período de comutação;
- $t_{ON} = 1{,}5\,\mu s$, tempo em nível alto;
- $T_J = 25\,°C$, temperatura de junção.

Figura 25 – Circuito utilizado para testes de perdas de comutação.



Fonte: (GANSYSTEMS, 2020a)

A partir deste teste foi possível realizar um comparativo entre as perdas resultantes em simulação com as teóricas, como mostra a Tabela 7.

Tabela 7 – Perdas de comutação com $T_J = 25\,°C$.

	Simulado	Teórico	Erro (%)
Acionamento	42,20 μJ	47,50 μJ	-11,2 %
Bloqueio	9,26 μJ	8,00 μJ	15,8 %

Fonte: do autor.

Nesta simulação além de ver que os valores encontrados são próximos ao esperado, pode-se observar que, assim como a simulação dos tempos de comutação, esta possui as perdas

no acionamento menor que o dado pelo *datasheet* do componente já no bloqueio valor obtido pela simulação foi maior proporcionalmente.

3.4 COMPARATIVO ENTRE PERDAS DE TRANSISTORES DO TIPO INTENSIFICAÇÃO E *CASCODE*

Para comparação das perdas de um transistor do tipo intensificação e do tipo *cascode*, foi realizada uma simulação em *spice* utilizando dois modelos semelhantes de transistores GaN de cada tipo. Para o tipo intensificação, foi utilizado o modelo GS66508B da fabricante GaN Systems, já o transistor *cascode* utilizado, foi o modelo TP65H050WS da fabricante Transphorm. A Tabela 8 mostra as características dos dois modelos escolhidos, ambos possuem modelo de simulação em *spice* disponibilizados pelos fabricantes.

Tabela 8 – Valores de especificação entre um modelo intensificação e *cascode* com $T_J = 25\,^{\circ}\text{C}$.

	GS66508B (intensificação)	TP65H050WS (*cascode*)
V_{DS} (V)	650	650
I_{DS} (A)	30	36
$R_{DS_{on}}$ (Ω)	50	60

Fonte: (GANSYSTEMS, 2020a) (TRANSPHORM, 2021).

Para verificação das perdas entre os dois modelos foi realizado uma simulação com o uso do método *double-pulse test* (DPT), conforme mostra a Figura 26. Este teste é normalmente utilizado para caracterização da comutação de transistores (RIBEIRO, 2020), neste teste é possível avaliar o desempenho durante os períodos de transição de bloqueio e acionamento da chave sem a necessidade de rodar o teste em alta potência (GANSYSTEMS, 2020b).

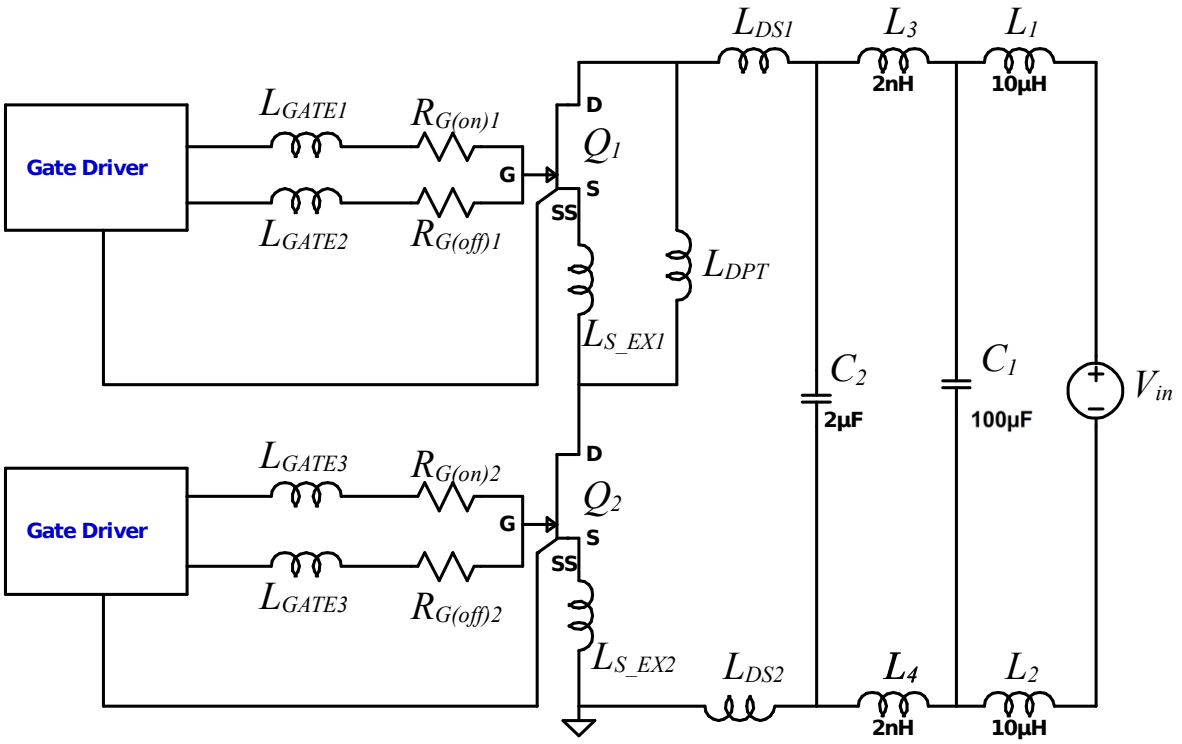
O teste se baseia nas formas de onda de acordo com o apresentado na Figura 27. Onde V_{GL} e V_{DS} são os sinais de comando e a tensão entre dreno e *source*, respectivamente, da chave de baixo do braço, chamada $Q2$. A corrente que passa pelo indutor L_{DPT} é chamada I_L. As etapas do teste são apresentadas a seguir.

Até o instante $t0$, não há sinal de comando e a tensão sobre a chave $Q2$ é igual a $V1$ e não há passagem de corrente.

Do instante $t0$ a $t1$ há o sinal de comando para que a chave $Q2$ inicie a condução, durante este período, a corrente I_L, que agora passa pela chave cresce linearmente. Ao chegar no instante $t1$, que é a transição de bloqueio, a corrente atinge seu ponto máximo, que é a corrente para o teste, este valor é ajustado em função da indutância do circuito e do tempo de condução do transistor.

Do instante $t1$ a $t2$, o sinal de comando realiza o bloqueio da chave $Q2$ e a tensão sobre ela sobe para o valor de $V1$. Nesse período a corrente do indutor praticamente se mantém e passa pela chave $Q1$.

Figura 26 – Circuito para teste *double-pulse test* utilizado no teste de simulação.

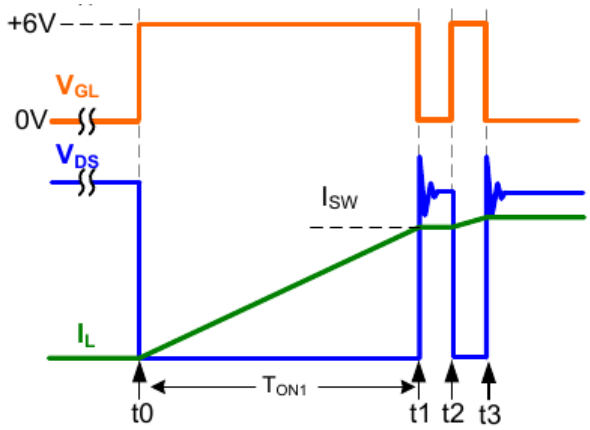


Fonte: do autor.

Do instante $t2$ a $t3$, a chave $Q2$ volta a conduzir, semelhante ao intervalo $t0$ a $t1$, contudo, neste período a corrente de condução da chave já se inicia alta e volta a aumentar linearmente. No instante $t2$ é possível avaliar a transição de acionamento do transistor $Q2$.

Do instante $t3$ em diante, a chave $Q2$ volta a bloquear e a corrente do indutor volta a passar pela chave $Q1$ até o fim do teste. Como o teste foi realizado somente em simulação, não é necessário descarregar a corrente do indutor L_{DPT}.

Figura 27 – Forma de onda de comando para a simulação de *double-pulse test*, além da forma de onda de tensão V_{DS} e a corrente que passa pelo indutor L_{DPT}.



Fonte: (GANSYSTEMS, 2020b).

O circuito utilizado para simulação foi baseado no disponibilizado pela GaN Systems em suas *application notes*, este circuito possui indutâncias e capacitâncias parasitas que aproximam este modelo de uma aplicação real, como C_2, L_1, L_2, L_3 e L_4. O indutores L_{GATE1}, L_{GATE2}, L_{GATE3} e L_{GATE4} representam a indutância do *gate*, para estes foram definidos para teste o valor de 3 nH, os indutores L_{EX1} e L_{EX2} representam a indutância externa do *source* no valor de 10 pH (GANSYSTEMS, 2021a). Os indutores L_{DS1} e L_{DS2} representam a indutância do circuito de alimentação, foram definidos com o valor de 1 nH, com base em informação das condições descritas no *datasheet* do componente da GaN Systems, como o componentes da Transphorm não possui esta informação, foi utilizada o mesmo valor para ambos os componentes.

As demais condições utilizadas nos testes seguiram as recomendações de catálogo de ambos os componentes. Para o transistor GaN intensificação GS66508B foram utilizados $R_{G(on)} = 10\,\Omega$ e $R_{G(off)} = 1\,\Omega$. Para o transistor GaN *cascode* TP65H050WS foi utilizado $R_{G(on)} = 22\,\Omega$, para este não foi utilizado $R_{G(off)}$. O valor de L_{DPT} foi utilizado o mesmo valor para os dois modelos, mas variável de acordo com a corrente da chave, I_{DS}, conforme a Equação 6 (VUKIĆ; MRVIĆ; KATIĆ, 2019).

$$L_{DPT} = \frac{V_{DD} \cdot (t_{ON} - 2 \cdot t_m)}{I_{DS}} \tag{6}$$

Onde foram definidos a tensão de alimentação $V_{DD} = 400\,\text{V}$, tempo morto $t_m = 100\,\text{ns}$, tempo de condução $t_{ON} = 1{,}7\,\mu\text{s}$.

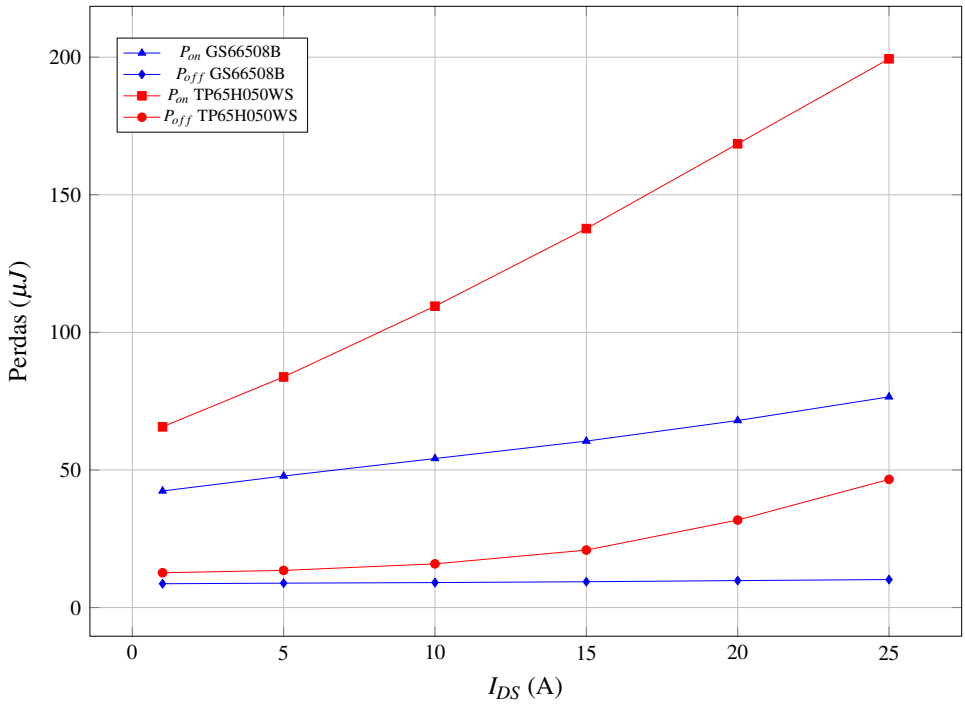
As perdas por comutação para cada um dos modelos foram simulados com as correntes de 1 A a 25 A, os resultados comparativos são mostrados na Tabela 9. Pode-se observar que o modelo do tipo *cascode*, mostrou perdas maiores, onde com o aumento da corrente, mais evidentes se tornam as diferenças entre as perdas de ambos os semicondutores. Apesar do limite de ambos os modelos serem em torno de 30 A, observou-se que durante a simulação de DPT, o modelo da Transphorm, apresentou dados de perdas incoerentes após 25 A, onde obteve-se valores próximos ou menores, inclusive, que a perda em 25 A, o que é incoerente. Para melhor comparativo, os dados obtidos foram plotados em um gráfico, que podem ser vistos na Figura 28.

Tabela 9 – Comparativo perdas em simulação entre modelos de transistor GaN tipo intensificação e *cascode*.

	GS66508B		TP65H050WS	
I_{DS} (A)	P_{on} (μJ)	P_{off} (μJ)	P_{on} (μJ)	P_{off} (μJ)
1	42,37	8,66	65,72	12,62
5	47,80	8,87	83,66	13,45
10	54,15	9,08	109,50	15,73
15	60,49	9,39	137,71	20,88
20	67,96	9,80	132,23	31,76
25	76,56	10,18	199,41	46,58

Fonte: do autor.

Figura 28 – Simulação de perdas de comutação, com os modelos de transistor GaN tipo intensificação e *cascode*.



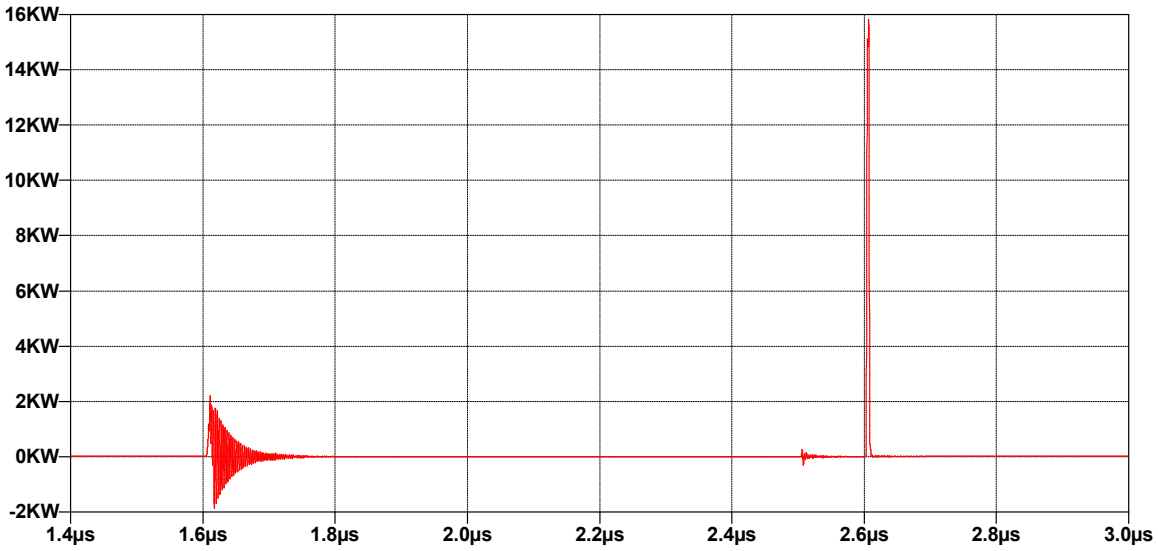
Fonte: do autor.

As formas de onda da simulação DPT são mostradas a seguir. Para o teste do transistor tipo intensificação a Figura 29a mostra a potência dissipada na chave e a Figura 29b mostra as formas de onda V_{DS} e I_{DS}, medidas na chave de baixo de baixo do braço, Q_2. Já para a simulação de DPT no transistor do tipo *cascode* a Figura 30a mostra a potência dissipada na chave e a Figura 30b mostra as formas de onda V_{DS} e I_{DS} na chave. Esta simulação foi realizada nos mesmos parâmetros porém com corrente I_{DS} de 15 A.

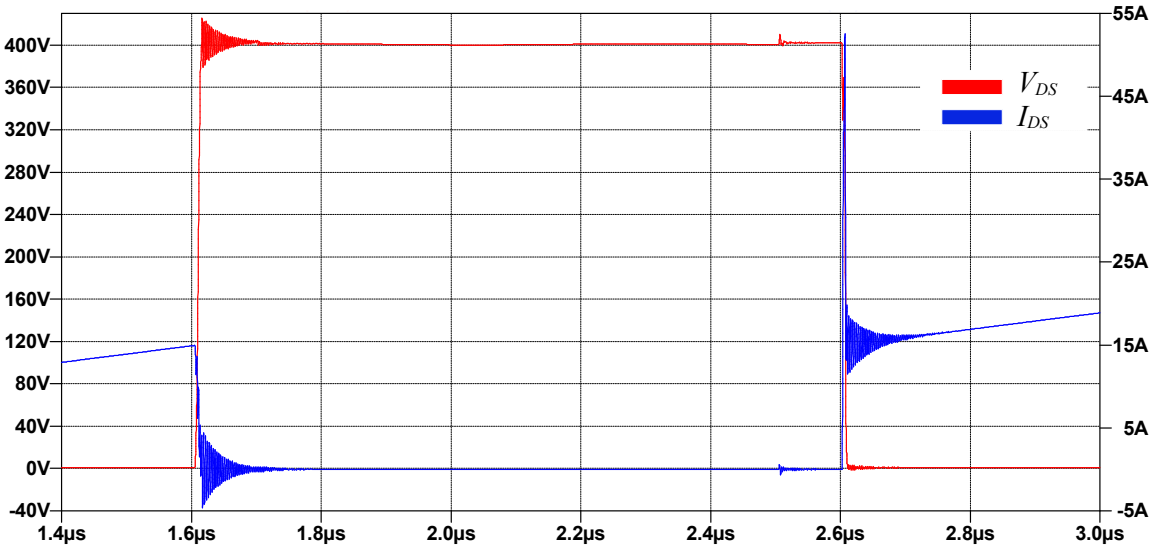
As formas de onda de tensão V_{DS} e corrente I_{DS} no teste DPT, mostram que há uma tendência de sobrecorrente em ambos os modelos testados, tanto para o tipo intensificação quanto para o *cascode*, durante o intervalo de acionamento do transistor, o que explica o desempenho pior no acionamento em relação ao bloqueio nos dois modelos. Apesar de apresentar perdas durante a comutação maior, o transistor do tipo *cascode* apresentou um pico de sobrecorrente menor, porém sua perda maior apresentada, se deve ao fato do tempo desta sobrecorrente ter sido mais demorada durante o teste. Este problema de sobrecorrente é um ponto de atenção que se deve tomar, pois isso pode causar queima do componente por passar do seu limite de corrente.

Destaca-se também que o transistor do tipo intensificação apresentou maiores oscilações durante a comutação comparado ao tipo *cascode*.

Figura 29 – Formas de onda da simulação teste DPT com o transistor GaN tipo intensificação: (a) Potência dissipada e (b) Tensão V_{DS} e corrente I_{DS}.



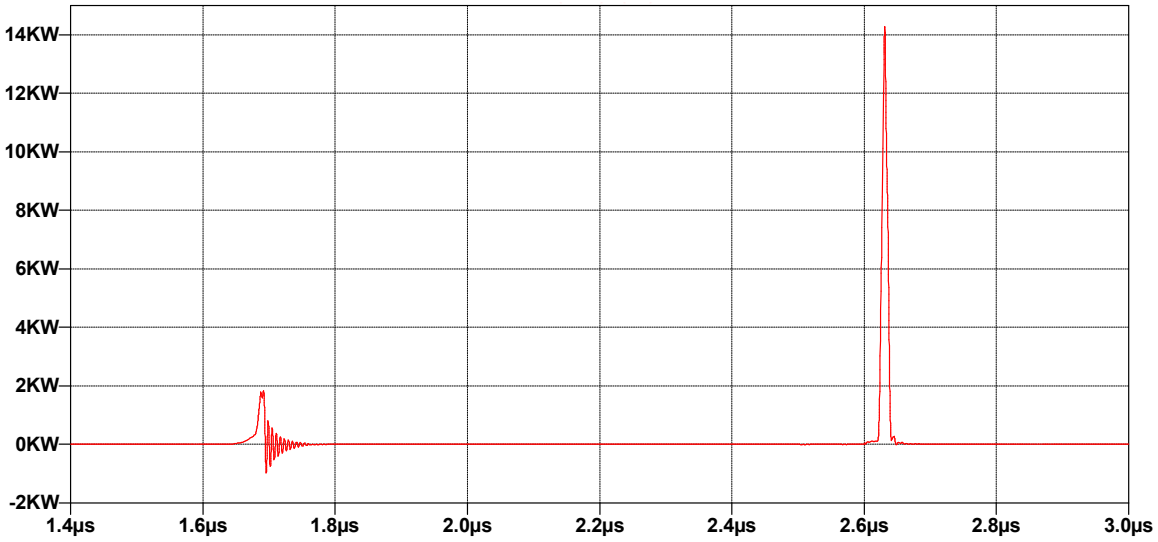
(a)



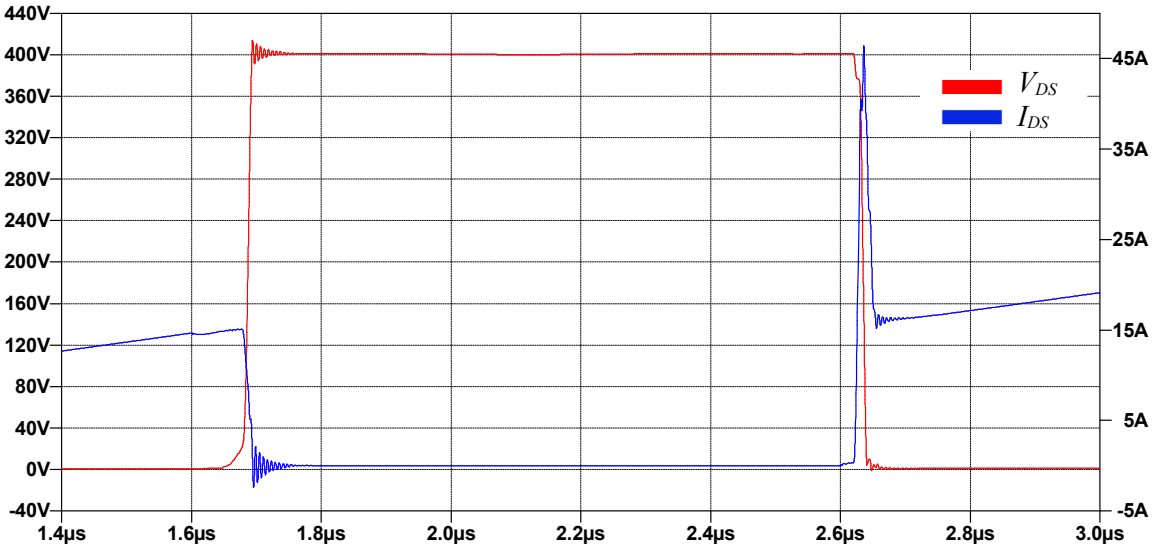
(b)

Fonte: do autor.

Figura 30 – Formas de onda da simulação teste DPT com o transistor GaN tipo *cascode*: (a) Potência dissipada e (b) Tensão V_{DS} e corrente I_{DS}.



(a)



(b)

Fonte: do autor.

3.5 SOBRECORRENTE DURANTE COMUTAÇÃO

A sobrecorrente de I_{DS} vista durante a comutação do acionamento da chave Q_2 se deve ao carregamento do capacitor de saída interno ao transistor Q_1, chamada C_{OSS}, como este transistor não está em condução, a corrente da carga deste passa pelo transistor Q_2. Além disso, neste instante há a descarga do capacitor interno de Q_2 também, porém isso acontece internamente dentro do transistor e não é possível ser medido por um osciloscópio (GANSYSTEMS, 2021c) (QIU et al., 2020).

Dessa forma, a corrente da carga do capacitor de $Q1$ se soma à corrente da carga, I_{carga}, que passa por $Q2$, no caso do teste DPT, é a corrente I_L, conforme a equação 7, isso resulta em uma sobrecorrente na chave $Q2$ (QIU et al., 2020), a Figura 31a ilustra este comportamento na área em azul.

$$i_D(t) = I_{qoss}(t) + I_{carga} \tag{7}$$

A corrente de carga do C_{OSS} durante o acionamento de $Q2$, pode ser calculado conforme a equação 8 (QIU et al., 2020). A carga em coulomb [C] do capacitor interno de saída da chave Q_1, chamada Q_{OSS}, pode ser calculado conforme a equação 9, ou seja, é obtido de forma pela área da sobrecorrente obtida no teste ou pela área sob a curva C_{OSS} tida pelo *datasheet* do componente.

Quando a sobrecorrente for superior ao esperado devido à carga do C_{OSS}, ocorre um evento chamado *cross conduction* que pode acontecer durante, após ou ainda durante a comutação da chave, conforme mostra a Figura 31b. Se não houver *cross conduction* a equação 10 deve ser satisfeita (QIU et al., 2020), onde a área da sobrecorrente reflete a carga do capacitor. Caso haja *cross conduction*, então a área da sobrecorrente será maior.

$$i_{qoss}(t) = C_{OSS}(V_{DS}) \frac{dV_{DS}}{dt} \tag{8}$$

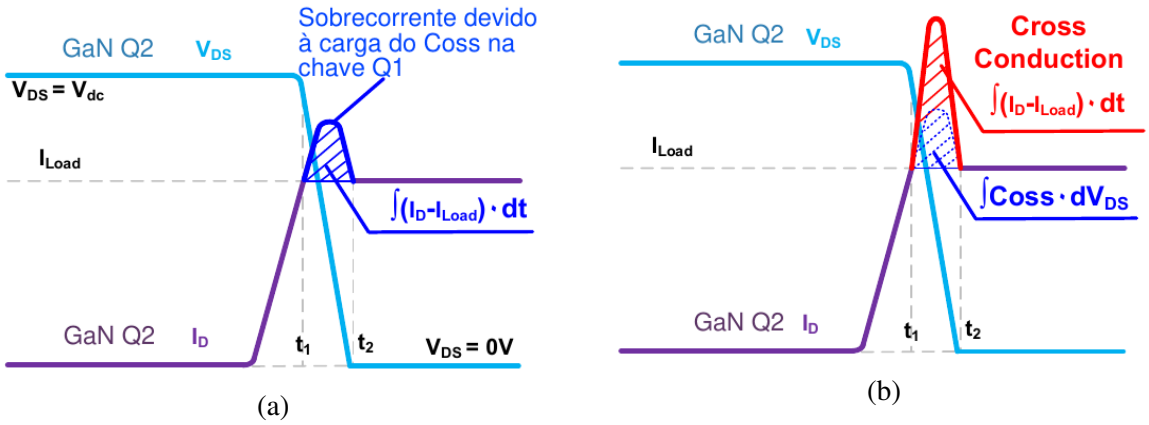
$$Q_{OSS} = \int_{t_1}^{t_2} i_{qoss}(t)\, dt = \int_0^{V_D} C_{OSS}(V_{DS})\, dV_{DS} \tag{9}$$

$$\int_{t_1}^{t_2} i_D(t) - I_{carga}\, dt = \int_0^{V_D} C_{OSS}(V_{DS})\, dV_{DS} \tag{10}$$

A curva do valor do capacitor C_{OSS} em função da tensão V_{DS} para o transistor GS66508B pode ser visto na Figura 32, para cálculo da carga do capacitor é calculada a área sob esta curva de acordo com o V_{DS} utilizado no teste. A figura mostra também a curva do valor do capacitor interno de entrada C_{ISS} e do capacitor de transferência reversa C_{RSS}.

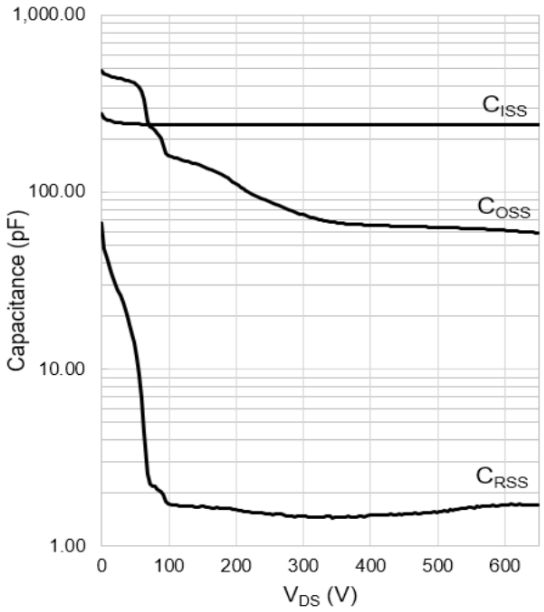
Para avaliar se há *cross conduction* na simulação de DPT é preciso calcular o valor de carga do C_{OSS} da chave $Q1$ para $V_{DS} = 400\,\text{V}$, este processo é calculado para o transistor do tipo

Figura 31 – (a) Sobrecorrente durante a comutação e (b presença de cross conduction na comutação.



Fonte: Adaptado de (QIU et al., 2020).

Figura 32 – Capacitância característica C_{oss} em função de V_{DS}.



Fonte: (GANSYSTEMS, 2020a).

intensificação, apenas. Dessa forma é calcula-se a área sob a curva C_{oss}, conforme a equação 11 e esta é comparada à área da curva da corrente $i_D(t)$, durante o acionamento, acima da corrente de carga que é 15 A, conforme a equação 12.

$$\int_0^{400} C_{oss}(V_{DS})\, dV_{DS} = 64{,}59\,\text{nC} \tag{11}$$

$$\int_{t_1}^{t_2} (i_D(t) - 15)\, dt = 115{,}12\,\text{nC} \tag{12}$$

Dessa forma, tem-se que a área da curva $i_D(t)$ deveria ser 64,59 nC, portanto a diferença que se dá é devido à presença de *cross conduction* durante a comutação. Pode haver uma interferência na medição deste valor, devido à outras capacitâncias parasitas, como a da placa e a do indutor do teste DPT, C_{pcb} e C_{pl}, respectivamente (QIU et al., 2020), porém esta diferença não é tão grande quanto a apresentada.

Isso se torna um ponto de atenção para os testes práticos, pois pode causar uma queima do resistor devido a um curto de braço devido a esta sobrecorrente. Porém, é realizada também uma simulação da topologia do projeto para avaliar se este problema persiste.

4 APLICAÇÃO EM TOPOLOGIA CONVERSOR CC-CC *BUCK* SÍNCRONO

A obtenção dos resultados de desempenho do transistor se deu com o uso da topologia *buck* síncrono, com o emprego da placa de desenvolvimento da GaN Systems, para comando das chaves é utilizado um gerador de sinais, com razão cíclica de 0,5, já o comando complementar das chaves se dá com a utilização do circuito de PWM da placa *mother board*, com tempo morto de 100 ns.

Para implementação do conversor, são calculados os componentes de filtro de saída, utilizando as seguintes equações, com base em (MARTINS, 2006), onde a equação (13) mostra o cálculo do indutor do filtro de saída e a equação (14) mostra o cálculo para o capacitor do filtro de saída:

$$L_{out} = \frac{V_{in} \cdot (1 - D) \cdot D}{\Delta I_{L_{max}} \cdot f_s} \tag{13}$$

$$C_{out} = \frac{V_{in} \cdot (1 - D) \cdot D}{8 \cdot f_s^2 \cdot L_{out} \cdot \Delta V_{out}} \tag{14}$$

Com base no cálculo destes componentes e nas limitações encontradas para execução dos testes são definidas as especificações para implementação do projeto, como apresentado na Tabela 10.

Tabela 10 – Condições para montagem.

Descrição	Símbolo	Valor
Tensão de entrada	V_{in}	200 V
Tensão de saída	V_{out}	100 V
Variação de tensão de saída	ΔV_{out}	$0{,}79\,\% \cdot V_{out}$
Freq. Comutação	f_s	100 kHz
Razão cíclica	D	0,5
Corrente Carga	I_{out}	8,4 A
Variação de corrente no indutor	ΔI_L	$16{,}5\,\% \cdot I_{out}$
Carga	R_{out}	11,9 Ω
Indutor saída	L_{out}	360,4 µH
Capacitor saída	C_{out}	2,2 µF

Fonte: do autor.

4.1 SIMULAÇÃO DO CONVERSOR

Antes de montagem da estrutura para testes práticos, são realizadas simulações no *software* LTspice. Para esta simulação é utilizado o modelo em *spice* do transistor GS66508B,

disponível no *site* do fabricante, assim como o *gate driver* ADuM4121, que está disponível na biblioteca do *software* LTspice por padrão na instalação.

O circuito de simulação é desenhado conforme os cálculos anteriores e condições já apresentadas. O circuito de potência de simulação do conversor é apresentado na Figura 33a, para haver uma proximidade maior com o comportamento prático, a temperatura de junção para ambas as chaves é definida como 70 °C, por meio das fontes de tensão V_{TJ1} e V_{TJ2}.

A Figura 33b mostra o circuito de comando PWM dos transistores, este circuito é montado para simulação com os mesmos componentes integrantes com a placa de desenvolvimento *daugther board*, como o *driver* e os componentes passivos, os resistores e capacitores são nomeados com o mesmo número de referência da placa. Porém, como as referências do lado de entrada e de saída de cada um dos *drivers* são isoladas da referência da potência, é utilizada nesta simulação um resistor de alta resistência entre cada uma das referências do *driver* com a referência da parte de potência, de forma a emular um curto circuito virtual entre elas.

O sinal de comando para o *driver* é feito com a comparação de um sinal de referência com uma onda triangular, de frequência igual à comutação, o sinal de referência é o que define a razão cíclica. Para esta simulação é utilizado um tempo morto entre os comando das duas chaves de 100 ns. O comando para as chaves é realizado pela diferença de tensão entre os pontos S1 e GNDH para a chave Q_1 e dos pontos S2 e GNDL para a chave Q_2. O comando V_{GS} é realizado de 0 V a 6 V, dessa forma a alimentação do lado de saída do *driver* deve ser 6 V, na entrada Vdd2.

A Figura 34 mostra as formas de onda de tensão de saída, corrente de saída e a corrente do indutor de saída, pode-se observar as ondulações de corrente e tensão, conforme o comportamento esperado.

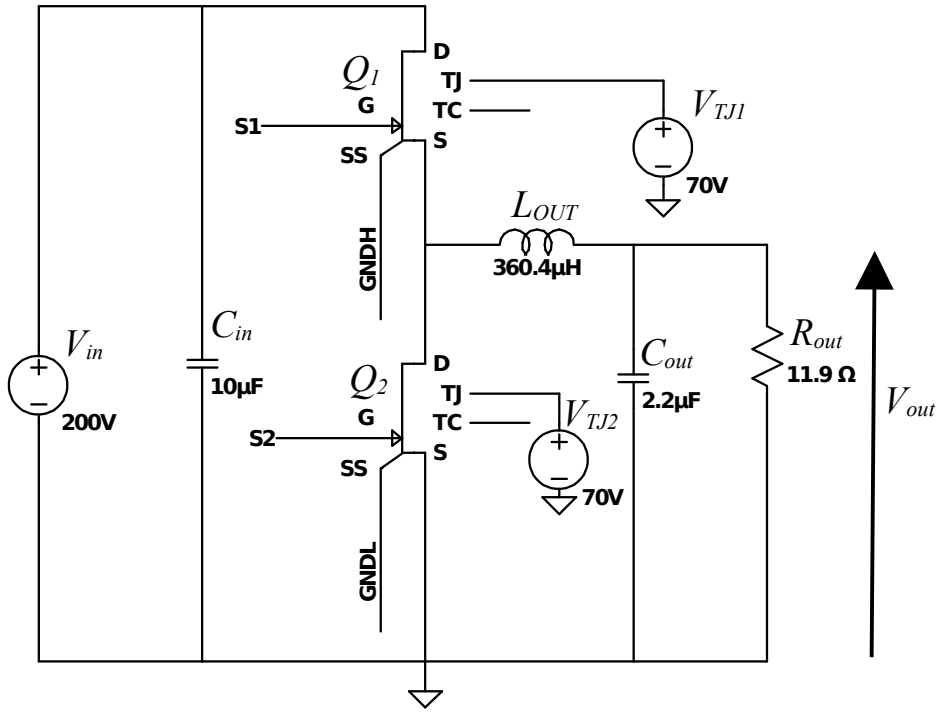
Os sinais de comando de ambas as chaves são mostrados na Figura 35a. Já os esforços de tensão e corrente são mostrados nas Figuras 35b e 35c, respectivamente. Observa-se que há um pico de sobrecorrente durante a comutação, especialmente na comutação de acionamento da chave Q_1 e bloqueio de Q_2, já na comutação seguinte não há uma sobrecorrente tão acentuada.

Este comportamento pode ser observado em detalhe na Figura 36 onde mostra os sinais de comando e a corrente de cada uma das chaves e durante a comutação.

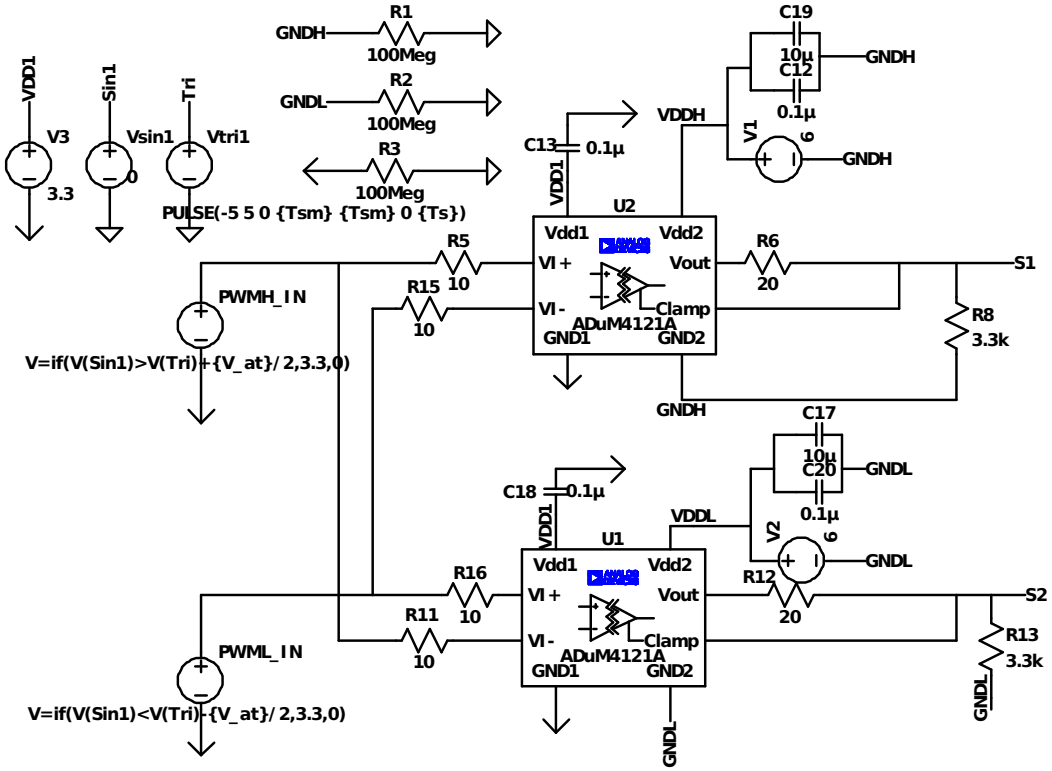
Na Figura 36a observa-se o comando de bloqueio da chave $Q2$ e acionamento de $Q1$, com o respectivo tempo morto, que não mostra um falso acionamento durante este intervalo, já a Figura 36c mostra a corrente em cada uma das chaves nesta mesma comutação. Inicialmente verifica-se o comportamento de condução reversa da chave Q_2 que se mantém em condução mesmo após seu bloqueio, como esta localiza-se na parte de baixo do meia ponte, se torna um caminho para a descarga da corrente do indutor do *buck*, que apesar de não possuir diodo interno interno, possui este comportamento, como já apresentado na seção 2.4.

Quando se dá início ao comando de acionamento da chave $Q1$ há a presença da sobre-corrente, devido à descarga da capacitor interno da chave $Q1$ e carga do capacitor da chave Q_2, durante o período deste carregamento, há um curto braço, quando o capacitor de Q_2 se carrega, a

Figura 33 – Circuito de simulação conversor cc-cc *buck* síncrono em (a) o circuito de potência e em (b) o circuito de Comando PWM com *driver* desenhado da mesma forma que a placa de desenvolvimento do projeto.



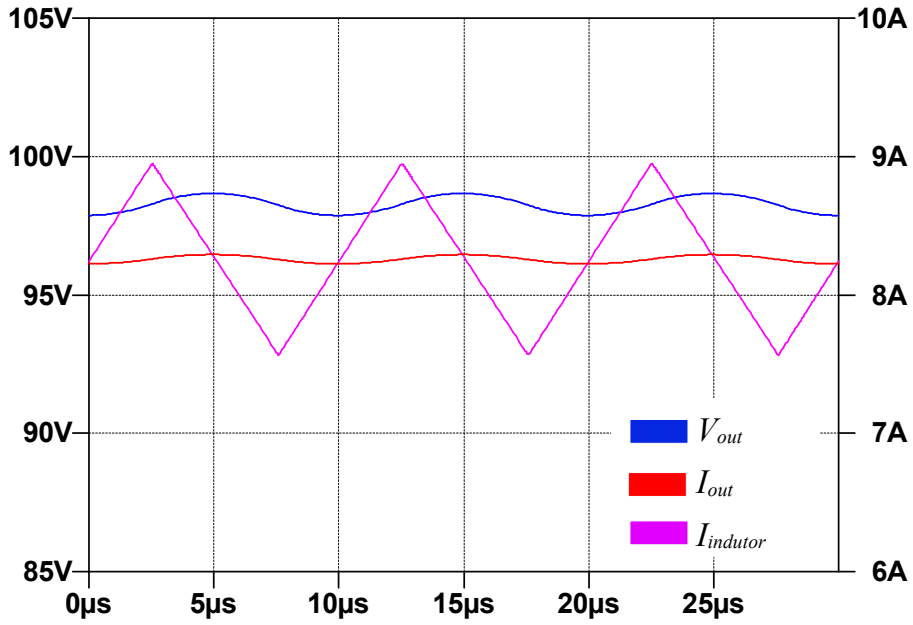
(a)



(b)

Fonte: do autor.

Figura 34 – Tensão de saída (rosa), corrente no indutor (azul) e corrente de saída na carga (vermelho).



Fonte: do autor.

corrente passa a fluir pelo indutor de saída novamente.

As Figuras 36b e 36d mostram as formas de onda de comando e de corrente nas chaves, respectivamente, durante o intervalo de bloqueio da chave Q_1 e acionamento de Q_2. Observa-se que também há condução reversa na chave Q_2, que ocorre após o bloqueio de Q_1, durante o tempo morto.

Já a sobrecorrente não possui uma atuação evidente. Quando a chave Q_1 é bloqueada, seu capacitor é carregado, porém sua corrente passa pelo indutor de saída, pois a chave Q_2 já está em condução reversa devido ao descarregamento da corrente do indutor. Mas observa-se uma oscilação devido à comutação.

Conforme já visto, deve ser avaliado se este comportamento é devido à carga da capacitância interna do transistor ou se há um *cross conduction*. A equação 15 mostra o cálculo da carga do capacitor interno da chave para uma tensão $V_{DS} = 200\,\mathrm{V}$ e equação 16 mostra o cálculo da área da corrente na chave acima da corrente no indutor neste instante.

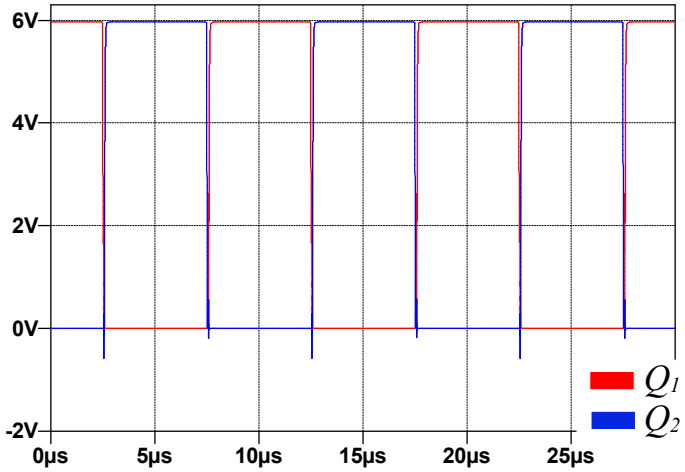
$$Q_{OSS}(200\,\mathrm{V}) = \int_0^{200} C_{oss}(V_{DS})\,dV_{DS} = 48,94\ nC \tag{15}$$

$$\int_{t_1}^{t_2} (i_D(t) - 7,565)\,dt = 56,62\ nC \tag{16}$$

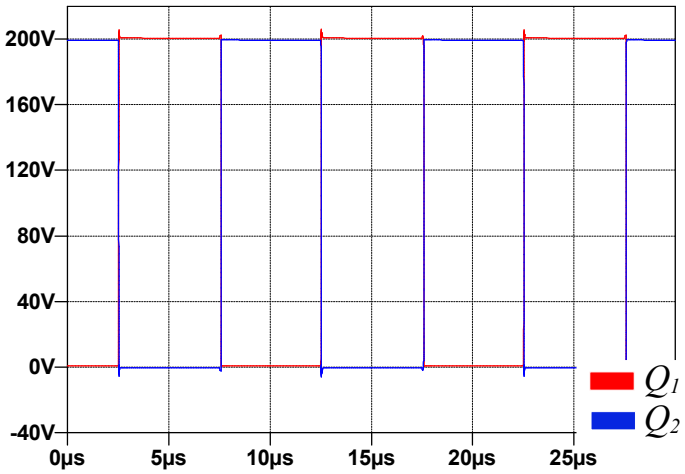
Como base nestes cálculos, observa-se que há pouca diferença entre o cálculo da carga C_{oss} e da área da sobrecorrente medida nesta simulação. Além disso o pico da sobre na simulação

para este caso ainda é abaixo de 30 A que é o limite da chave. Nas simulações desta topologia e nas mesmas condições, constatou-se que o pico desta sobrecorrente extrapola o limite da chave a uma tensão de entrada de aproximadamente 340 V, quando tem-se uma corrente de carga de 14,03 A. Com base nesta constatação é possível realizar os testes práticos nas condições próximas a estas.

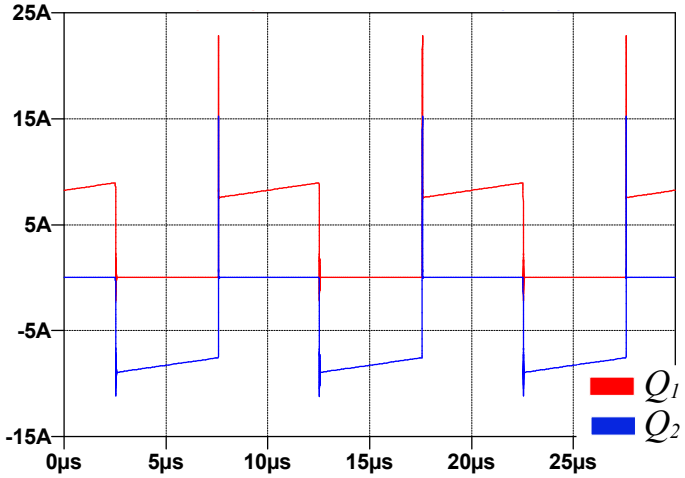
Figura 35 – Formas de onda nas chaves $Q1$ (vermelho) e $Q2$ (azul): (a) sinal de comando, (b) tensão V_{DS} e (c) corrente I_{DS} nas chaves.



(a)



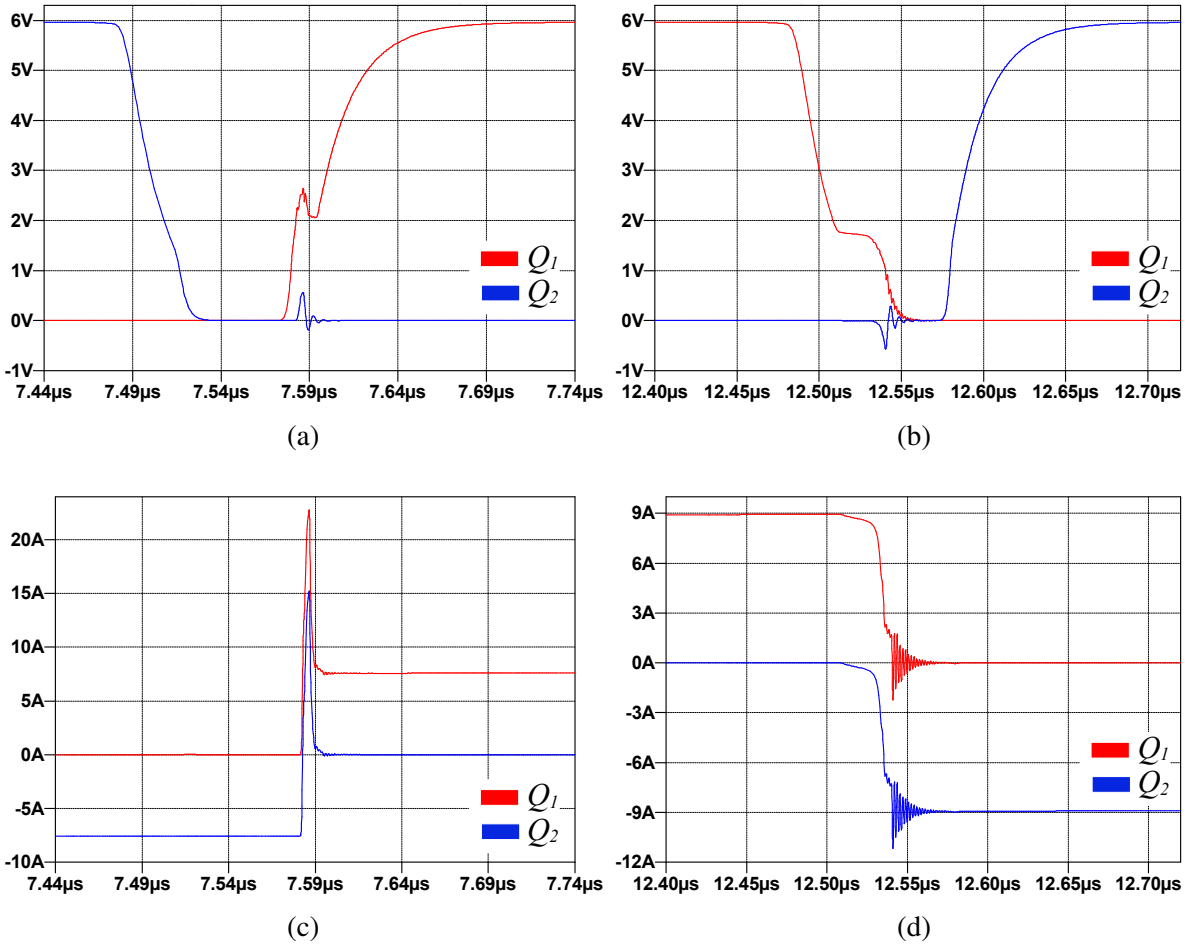
(b)



(c)

Fonte: do autor.

Figura 36 – Detalhe das formas de onda de sinal de comando: (a) acionamento de Q_1 e bloqueio de $Q2$, (b) acionamento de $Q2$ e bloqueio de $Q1$. E formas de onda da corrente I_{DS} nas chaves durante a comutação: (c) acionamento de Q_1 e bloqueio de $Q2$, (d) acionamento de $Q2$ e bloqueio de $Q1$. Onde, $Q1$ é representado por vermelho e $Q2$ azul.

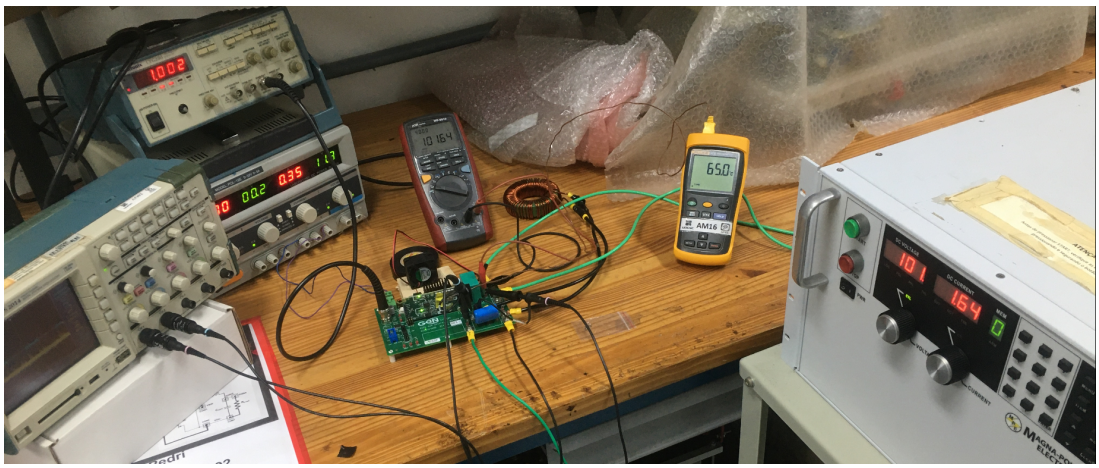


Fonte: do autor.

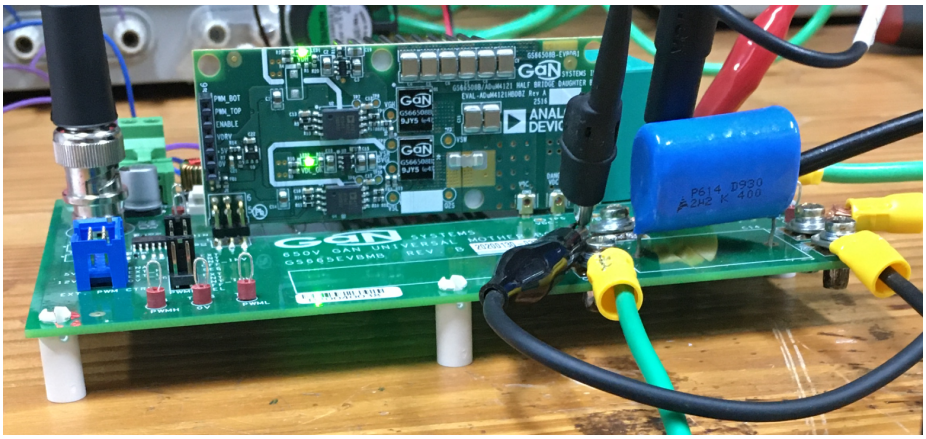
4.2 RESULTADOS PRÁTICOS

Para os testes foi montada a configuração conforme mostra a Figura 37a. A Figura 37b mostra em detalhe a placa de desenvolvimento durante os testes. Os testes práticos seguiram as condições de montagem mostradas na Tabela 10. Porém, os primeiros testes foram realizados com tensão de entrada mais baixa e carga de saída maior, para verificação do comportamento da placa inicialmente com esforços de corrente menor. Com os primeiros testes, verificou-se o comportamento do comando do *driver*, que estava dentro do esperado, como o tempo morto adequado para aplicação. Dessa forma há mais segurança para implementação dos testes.

Figura 37 – (a) Visão geral da montagem de testes. (b) Detalhe da placa de desenvolvimento durante os testes.



(a)



(b)

Fonte: do autor.

Os equipamentos utilizados nos testes são mostrados na Tabela 11.

Na prática não foi possível realizar a medição da corrente nas chaves. Para isso ser possível deveria ser usado um resistor *shunt* com valor de resistência bem preciso e que não acrescentasse mais elementos parasitas ao sistema e às medições, especialmente na aplicação

Tabela 11 – Equipamentos utilizados durantes os testes práticos.

Equipamento	Fabricante	Modelo
Fonte CC (Testes $V_{in} \leq 100\,\text{V}$)	Supplier	FCCT 400-10-i15451
Fonte CC (Testes $V_{in} > 100\,\text{V}$)	Magna Power	TDS1000-25/380+HS
Gerador de sinais	Tektronix	CFG280
Fonte auxiliar CC	Politerm	POL-16E 0-32 V 0-5 A
Osciloscópio isolado	Tektronix	TPS 2014
Termômetro Digital de Contato Termopar	Fluke	51 II
Ponteira de tensão	Tektronix	TPP0101

Fonte: do autor.

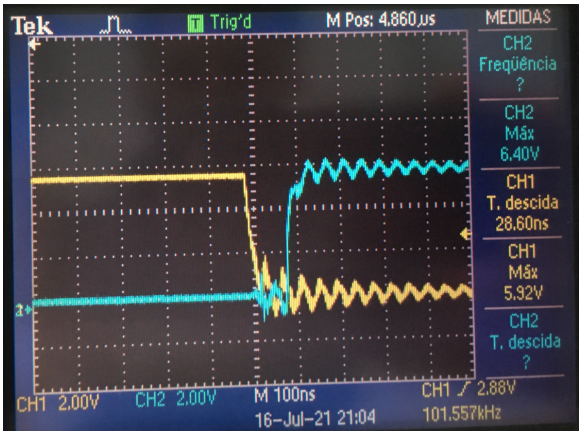
em alta frequência, porém com o alto custo deste componente torna-se inviável a obtenção dos dados de corrente na chave e, por consequência, as perdas de comutação do transistor.

Para verificar a possibilidade de haver curto de braço foi realizado um teste para verificação das formas de onda de comando das duas chaves, comparação da forma de onda tensão e comando da mesma sobre cada uma das chaves. A Figura 38 mostra estas formas de onda medidas durante os testes. Este teste foi realizado com tensão de entrada de 100 V, razão cíclica de 0,5, frequência de comutação de 100 kHz e carga de 11,9 Ω.

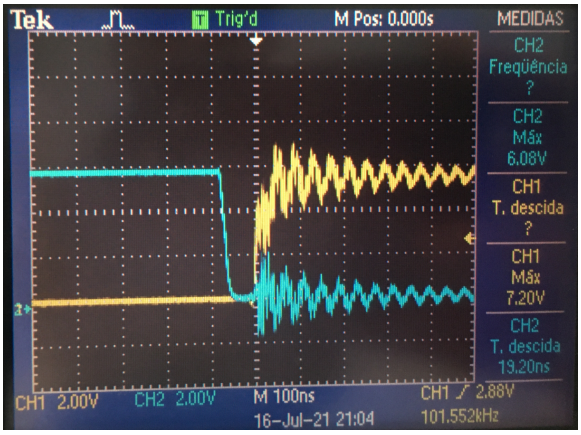
Observa-se que as formas de onda de comando, nas Figuras 38a e 38b, mostram que o circuito respeita o tempo morto definido, de 100 ns. As Figuras 38c e 38d mostram durante o período de bloqueio e acionamento, respectivamente, a tensão sobre a chave $Q1$, em azul, e o sinal de comando, em amarelo, é possível observar que no sinal de comando não há ruído intenso como nas imagens anteriores. As Figuras 38e e 38f mostram durante o período de acionamento e bloqueio, respectivamente, a tensão sobre a chave $Q2$, em azul, e o sinal de comando, em amarelo, assim como as imagens anteriores, também é possível observar as formas de onda com menor intensidade de ruído, para a chave $Q2$ observa-se que não há sinal de comando nem tensão sobre a chave, isso mostra seu comportamento de condução reversa.

Estas imagens dão um indicativo da sobrecorrente, nas imagens 38b e 38f, observa-se o sinal comando de bloqueio para a chave Q_2, nas cores azul e amarelo em cada uma, respectivamente, há uma oscilação neste sinal quando se dá inicio à condução na chave Q_1, apesar na primeira imagem mostrar um ruído, na segunda observa-se melhor este fenômeno, onde esta oscilação chega a aproximadamente 1,6 V, indicando um possível curto de braço.

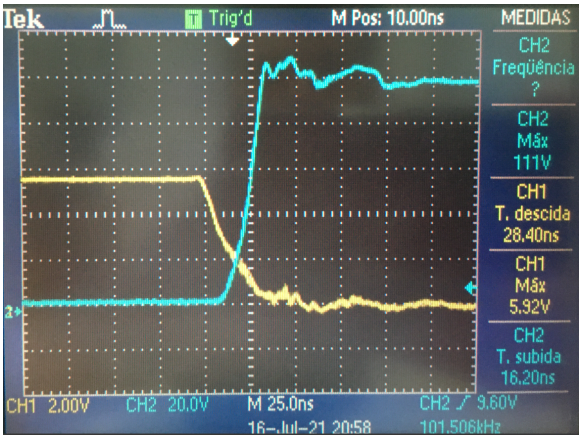
Figura 38 – Formas de onda obtidas durante os testes práticos. Sinais de comando nos instantes: (a) bloqueio de $Q1$ (amarelo) e de acionamento de $Q2$ (azul) e (b) bloqueio de $Q2$ (azul) e acionamento de $Q1$ (amarelo). (c) Tensão V_{DS} sobre a chave $Q1$ (azul) em comparação ao sinal de comando (amarelo) durante o bloqueio. (d) Tensão V_{DS} sobre a chave $Q1$ (azul) em comparação ao sinal de comando (amarelo) durante o acionamento. (e) Tensão V_{DS} sobre a chave $Q2$ (azul) em comparação ao sinal de comando (amarelo) durante o acionamento. (f) Tensão V_{DS} sobre a chave $Q2$ (azul) em comparação ao sinal de comando (amarelo) durante o bloqueio.



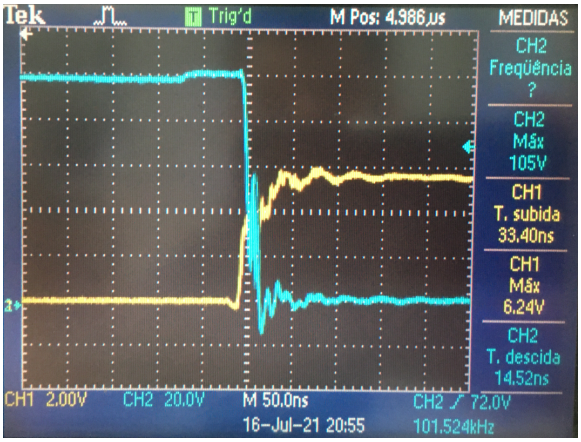
(a)



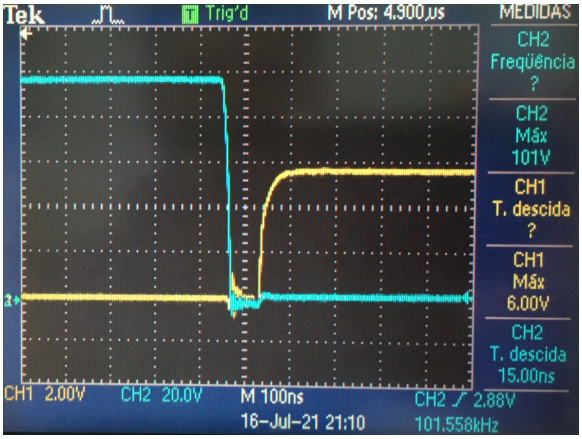
(b)



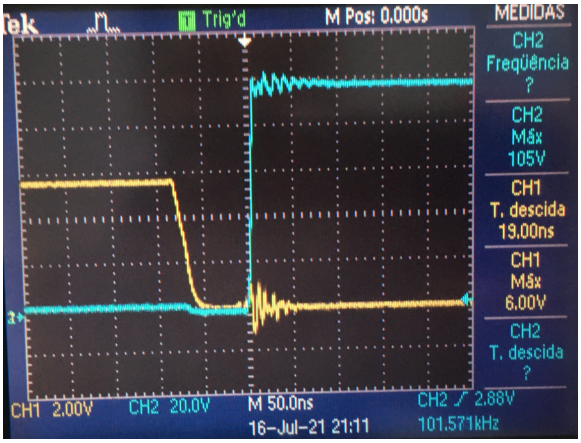
(c)



(d)



(e)



(f)

Fonte: do autor.

Para verificação de perdas, foi realizado apenas a medição da elevação de temperatura na cápsula do transistor devido ao aumento a frequência de comutação e posteriormente com o aumento de corrente.

Para estimativa das perdas por conta da comutação, foi realizado um teste afim de medir a temperatura na cápsula para diferentes frequências de comutação, esta é uma forma para apenas estimativa do comportamento. A Tabela 12 mostra a variação da temperatura, tempo de subida e descida de acordo com o aumento da frequência, este teste foi realizado conforme as condições mostradas na primeira coluna da tabela. Estes dados foram plotados em um gráfico para melhor visualização, como mostra a Figura 39. Observa-se que o aumento de temperatura se deu de forma linear, já os tempos de comutação ficaram praticamente inalterados com o aumento da frequência.

Em relação aos tempos de subida e descida da chave Q_1, observa-se que há uma tendência de diminuição desse tempo com o aumento da frequência, apesar de mostrar uma pequena diferença para mais nesse tempo na subida de frequência de comutação. Salienta-se que o valor do tempo de subida para 600 kHz há uma discrepância grande no valor, isso se deve a um provável erro de medição.

Tabela 12 – Aumento da temperatura devido ao aumento de frequência.

Condições de teste	Frequência (kHz)	T_{Q1}(°C)	tempo de descida (ns)	tempo de subida (ns)
	100	31,70	17,6	9,6
$V_{in} = 100\,\text{V}$	200	35,80	18,00	9,40
$V_{out} = 48{,}9\,\text{V}$	300	39,00	16,48	9,36
$R_{out} = 11{,}9\,\Omega$	400	42,50	16,30	8,84
$I_{out} = 4{,}37\,\text{A}$	500	46,00	16,80	9,28
$T_{amb} = 24{,}6\,°\text{C}$	600	49,20	17,48	11,20 [1]
	700	52,70	17,08	8,98
	800	56,20	17,32	8,53
	900	62,50	15,70	6,28
	1000	66,20	15,50	6,20

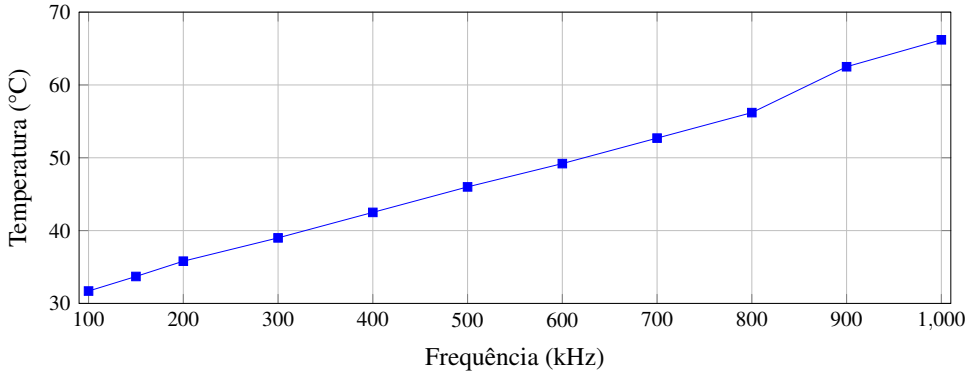
Fonte: do autor.

Para comparação do modelo do transistor para simulação e o modelo real, foi medido os tempos de subida e descida da tensão entre dreno e *source* da chave $Q2$ durante os testes e comparado com a medição na simulação, como mostra a Tabela 13. Este teste foi realizado com tensão de entrada de 200 V, razão cíclica de 0,5, frequência de comutação de 100 kHz e carga de 11,9 Ω.

Este é mais um indicativo da forma como o resultado prático segue o comportamento observado nas simulações. Como as chaves Q_1 e Q_2 são complementares, o tempo de descida na chave Q_2 é o mesmo tempo de subida na chave Q_1 e vice-versa. Observa-se que para Q_2, o tempo de subida é maior significativamente que o tempo de descida, logo, de acordo com os

[1] provável erro de medição.

Figura 39 – Aumento da temperatura em função da frequência de comutação.



Fonte: do autor.

Tabela 13 – Comparativo entre os tempos de comutação de simulação e testes práticos.

	Simulação	Testes práticos
tempo de descida (*ns*)	4,93	6,06
tempo de subida (*ns*)	16,80	11,08

Fonte: do autor.

resultados das simulações realizadas, há um indício da presença de sobrecorrente apenas nesta comutação, onde há o acionamento de Q_1 e bloqueio de Q_2.

Com o aumento da frequência, houve também um aumento das oscilações nas medições dos sinais. Quando medida a curva de tensão sobre cada uma das chaves simultaneamente, verificou-se ruídos nos sinais lidos. Porém, quando observado o sinal de tensão de apenas uma das chaves, este ruído cessou, como pode ser verificado na Figura 40, onde a conferência foi realizada durante os testes com tensão de entrada de 100 V, frequência de comutação de 500 kHz e carga de 11,9 Ω. Este problema se deve à utilização de ponteiras de tensão inapropriadas para medição nestas faixas de frequência.

Além do teste de verificação da temperatura devido ao aumento da frequência de comutação, foi realizado um testes para verificação da elevação da temperatura em decorrência da aumento da corrente de carga. Para isso manteve-se a carga e frequência constante e observou-se este comportamento por meio do aumento da tensão de entrada, V_{in}, a Tabela 14 mostra este comportamento com a medição da temperatura na cápsula da chave Q_1.

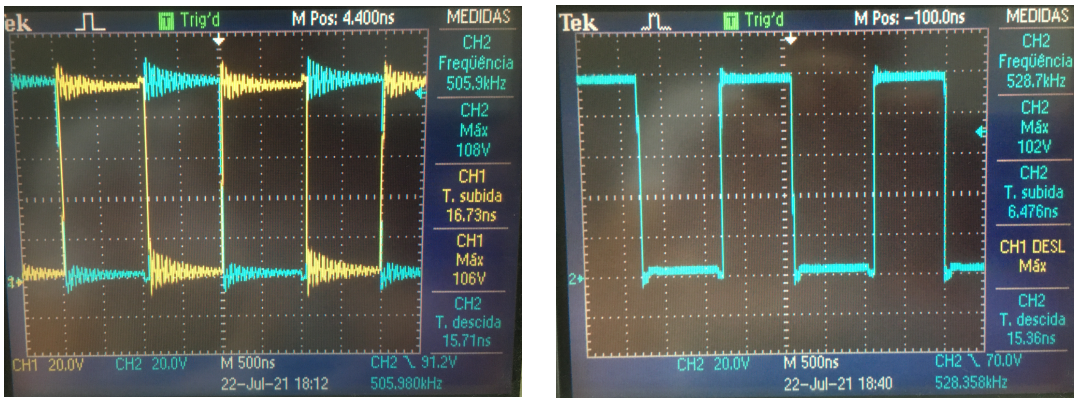
Tabela 14 – Aumento da temperatura com o aumento da corrente de carga.

Condições de teste	V_{in} (V)	V_{out} (V)	I_{out} (A)	T_{Q1}(°C)
$R_{out} = 11{,}9\,\Omega$	100	48,90	4,37	31,70
$f_s = 100\,\text{kHz}$	150	73,32	6,15	46,60
$T_{amb} = 21{,}7\,°\text{C}$	200	97,71	8,21	61,20

Fonte: do autor.

Durante os testes de verificação com o aumento da temperatura pela corrente, ocorreu

Figura 40 – Comparação de ruídos na medição da tensão V_{DS} durante os testes. (a) Medida nas duas chaves simultâneas, $Q1$ (amarelo) e $Q2$ (azul), (b) Apenas na chave $Q2$.

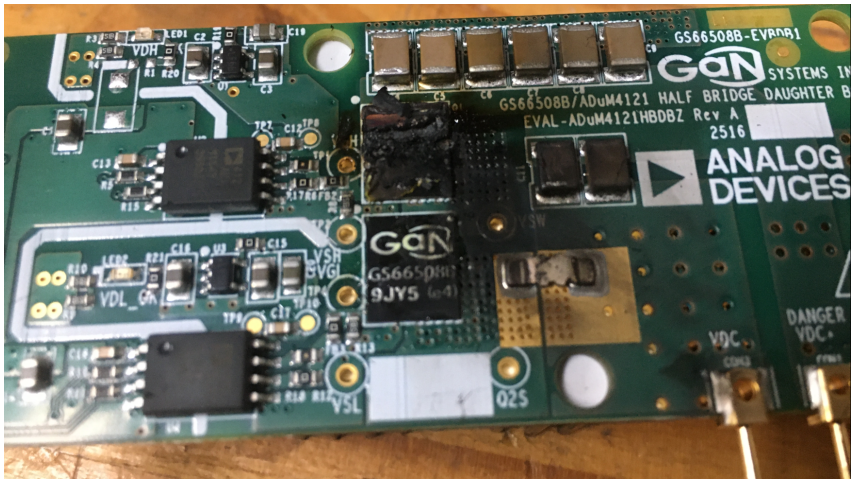


(a) (b)

Fonte: do autor.

uma queima na chave de cima do braço. A Figura 41 mostra a imagem da placa que mostra o estado do transistor Q_1 após a queima. No momento da falha ocorreu uma chama, que em poucos segundos, se extinguiu, isso mostra uma segurança em caso de falhas para a não ocorrência de problemas maiores.

Figura 41 – Foto da placa após queima do transistor Q_1.



Fonte: do autor.

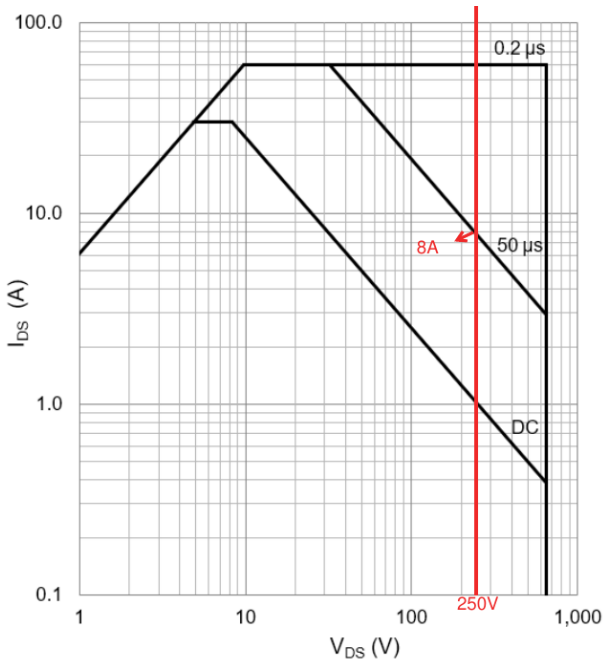
No momento da queima, a tensão de entrada estava próxima a 250 V, como a carga utilizada era $R_{out} = 11{,}9\,\Omega$, logo a corrente na chave estava em aproximadamente 10,5 A, valor bem distante da especificação máxima da chave. Além disso, o valor medido de temperatura no momento da queima era de aproximadamente 70,5 °C, valor distante também da especificação máxima de $T_J = 150\,°C$, apesar de a temperatura ser medida na cápsula, há pouca variação do valor de temperatura da junção para a cápsula.

O indicativo que a causa da queima da chave seja a sobrecorrente vista durante as simulações e pelo comportamento das formas de onda do comando. Infelizmente, como não foi

possível fazer medições de corrente durante os testes para comprovar este comportamento na medições práticas. Como o efeito da sobrecorrente ocorre de fato, este pode ter extrapolado o limite da chave, causando esta queima.

Outra possível causa da queima na chave, pode ser que houve uma ultrapassagem dos limites operação segura do componente. O *datasheet* mostra um gráfico com a área de operação segura, para uma temperatura de cápsula de 25 °C, como mostra a Figura 42. Nesta curva, observa-se que para $V_{DS} = 250\,\text{V}$, condição no momento da queima, e para uma duração de pulso de 50 µs, o limite de corrente é de aproximadamente 8 A, portanto para a frequência de operação de 100 kHz este limite seria maior. Porém, como no momento a temperatura medida era de aproximadamente 70,5 °C, este limite pode ser menor.

Figura 42 – Área de operação segura, para $T_C = 25\,°\text{C}$.



Fonte: Adaptado de (GANSYSTEMS, 2020a).

5 CONCLUSÃO

O presente trabalho viabilizou aprofundar o conhecimento na evolução dos materiais semicondutores utilizados em eletrônica de potência, em especial o potencial de desenvolvimento nos novos materiais, como o nitreto de gálio e o carbeto de silício. Apesar de possuírem custo maior que os materiais que são mais utilizados atualmente, estes vêm ganhando aos poucos espaço no mercado, já que suas vantagens são expressivas frente ao silício.

O nitreto de gálio possui resistência específica bem mais baixa que os demais materiais estudados, isso permite aplicação com o mesmo tamanho de componente, mas que permitam trabalhar com temperaturas de bloqueio mais elevadas. Sua rápida velocidade e baixas perdas de comutação permitem trabalhar com frequências de comutação elevadas, o que possibilita diminuição dos demais componentes e diminuição do volume do conversor.

Apesar de existir três formas construtivas do transistor GaN, uma delas, o tipo depleção, não é utilizado comercialmente, devido à sua desvantagem em relação ao comando. Os transistores GaN do tipo *cascode* e intensificação, são as formas do GaN que se apresentam ao mercado. Porém como, visto o transistor intensificação apresenta menores perdas conforme o teste apresentado, apesar de requerer cuidados extras em relação aos seus requisitos de comando.

Os estudos voltados ao modelo da GaN Systems, GaN tipo intensificação, possibilitaram a observação da aproximação do modelo de simulação em *spice* fornecida pelo fabricante do transistor, que mostrou-se bem próximo às características informadas pelo catálogo.

As simulações usando uma topologia de conversor, mostraram que a presença da sobrecorrente durante a comutação é um fator importante a ser considerado no dimensionamento de um conversor, que se confirmou durante os testes, com a queima do transistor.

Esse comportamento das simulações valida o modelo *spice* do transistor da GaN Systems, isso traz uma certa confiança nas simulações de projetos utilizando este modelo.

Os testes realizados mostraram um bom comportamento do transistor GaN com o aumento da frequência de comutação, que apresentou uma elevação temperatura considerada baixa para altas frequências, com um bom comportamento quando submetida à uma frequência de comutação de 1 GHz.

Apenas em relação ao aumento da corrente que não se mostrou válido, sua queima coloca-se um ponto de atenção quanto aos esforços de corrente na chave devido à sobrecorrente que se torna possível fator de queima do componente. Como não foi possível verificar a corrente na chave durante os testes, não se pôde investigar o comportamento da corrente dos transistores na prática. Dessa forma, não fica claro se este problema se dá devido a um curto de braço ou pela extrapolação dos limites de operação segura.

O transistor GaN possui ainda uma vasta possibilidade de desenvolvimento e para ser possível dominá-lo, mais estudos se fazem necessários. Portanto para trabalhos futuros, coloca-se as seguintes pospostas.

- Implementação de uma forma de medição das perdas de forma real do transistor GaN;

- Estudo de componentes para uso em altas frequências;
- Projeto em malha fechada do conversor, para estudo do controle aplicado ao transistor GaN em altas frequências;
- Projeto e implementação de um protótipo próprio de um conversor com utilização do mesmo modelo do transistor GaN e *driver*, para estudo do dimensionamento de um *layout* eficiente para aplicação GaN.

REFERÊNCIAS

ANALOG DEVICES. **High Voltage, Isolated Gate Driver with Internal Miller Clamp, 2 A Output. ADuM4121/ADuM4121-1**. Disponível em <https://www.analog.com/media/en/technical-documentation/data-sheets/ADuM4121_4121-1.pdf>, 2016. Rev 0. Citado 3 vezes nas páginas 26, 27 e 28.

BALIGA, B. Jayant. **Fundamentals of Power Semiconductor Devices**. 2nd ed.. ed. [S.l.]: Springer International Publishing, 2019. ISBN 978-3-319-93987-2;978-3-319-93988-9. Citado na página 14.

CHELIKOWSKY, J. (auth.); SIFFERT, E. F. Krimmel (eds.) P. **Silicon: Evolution and Future of a Technology**. 1. ed. [S.l.]: Springer-Verlag Berlin Heidelberg, 2004. ISBN 978-3-642-07356-4,978-3-662-09897-4. Citado 2 vezes nas páginas 14 e 15.

CHEN, Kevin J. et al. Gan-on-si power technology: Devices and applications. **IEEE Transactions on Electron Devices**, IEEE, v. 64, 3 2017. Citado 4 vezes nas páginas 20, 21, 22 e 23.

COLINO, Stephen L.; BEACH, Robert A. **Fundamentals of Gallium Nitride Power Transistors**. 2020. Disponível em <https://epc-co.com/epc/Portals/0/epc/documents/product-training/appnote_ganfundamentals.pdf>. Acesso em: 7 abr. 2021. Citado 2 vezes nas páginas 17 e 18.

DUARTE, Renan Rodrigo. **ESTUDO COMPARATIVO ENTRE SEMICONDUTORES DE SILÍCIO E NITRETO DE GÁLIO EM CIRCUITOS DE ACIONAMENTO DE LEDS**. Dissertação (Mestrado) — Universidade Federal de Santa Maria, Santa Maria, RS, 2017. Citado 6 vezes nas páginas 14, 15, 16, 19, 20 e 22.

FELIPE, Carlos. Carregador gan de 67w da xiaomi passa por certificação técnica na alemanha. **Mundo Conectado**, 2021. Disponível em: <https://mundoconectado.com.br/noticias/v/17295/carregador-gan-de-67w-da-xiaomi-passa-por-certificacao-tecnica-na-alemanha>. Acesso em: 29 mar. 2021. Citado na página 12.

GANSYSTEMS. **GN001 Application Brief. How to drive GaN Enhancement mode HEMT**. 2016. Disponível em <https://www.mouser.com/pdfDocs/343654_GaNSystems__GN001_How_To_drive_GaN_EHEMT_Rev_20160426.pdf>. Acesso em: 06 out. 2020. Citado na página 28.

GANSYSTEMS. **GS66508B. Bottom-side cooled 650 V E-mode GaN transistor. Datasheet**. 2020. Disponível em <https://gansystems.com/wp-content/uploads/2020/04/GS66508B-DS-Rev-200402.pdf>. Acesso em: 7 abr. 2020. Citado 10 vezes nas páginas 22, 23, 29, 31, 37, 38, 39, 40, 47 e 62.

GANSYSTEMS. **GS66508B-EVBDB1. 650V GaN E-HEMT Evaluation Board Technical Manual**. 2020. Disponível em <https://gansystems.com/wp-content/uploads/2020/05/GS66508B-EVBDB1_Technical-Manual_Rev_200526.pdf>. Acesso em: 6 jul. 2020. Citado 2 vezes nas páginas 40 e 41.

GANSYSTEMS. **Application Brief. GaN Switching Loss Simulation using LTSpice**. 2021. Disponível em <https://gansystems.com/wp-content/uploads/2021/07/GN008-GaN_Switching_Loss_Simulation_LTspice_20210720.pdf>. Acesso em: 14 ago. 2021. Citado na página 42.

GANSYSTEMS. **GN001 Application Note. An Introduction to GaN Enhancement-mode HEMTs**. 2021. Disponível em <https://gansystems.com/wp-content/uploads/2021/07/GN001_An-Introduction-to-GaN-E-HEMTs-210720.pdf>. Acesso em: 01 ago. 2021. Citado 2 vezes nas páginas 25 e 26.

GANSYSTEMS. **GN003 Application Note. Measurement Techniques for High-Speed GaN E-HEMTs**. 2021. Disponível em <https://gansystems.com/wp-content/uploads/2021/07/GN003-Measurement-Techniques-for-High-Speed-GaN-E-HEMTs_20210720.pdf>. Acesso em: 14 ago. 2021. Citado na página 46.

GANSYSTEMS. **GN012 Application Note. A Gate Driver Circuit Design with GaN E-HEMTs**. 2021. Disponível em <https://gansystems.com/wp-content/uploads/2021/07/GN012_Gate-Driver-Design-with-GaN-E-HEMTs_210720.pdf>. Acesso em: 01 ago. 2021. Citado 2 vezes nas páginas 24 e 25.

JESKE, Edson. **ESTUDO DE UM RETIFICADOR BRIDGELESS DE ALTO FATOR DE POTÊNCIA EMPREGANDO SEMICONDUTORES DE NITRETO DE GÁLIO E CONTROLE DIGITAL**. Dissertação (Mestrado) — Universidade do Estado de Santa Catarina, Joinville, SC, 2016. Citado 3 vezes nas páginas 12, 14 e 20.

LIDOW, Alex et al. **GaN transistors for efficient power conversion**. 2 ed.. ed. Chichester: Ed. Wiley, 2015. Disponível em: <https://static.mr-wu.cn/doc/GaNTransistorsforEfficientPowerConversion.pdf>. Acesso em: 15 fev. 2021. Citado 8 vezes nas páginas 14, 15, 16, 18, 20, 21, 24 e 25.

MARTINS, Ivo Barbi Denizar Cruz. **Eletrônica de potência: conversores CC-CC básicos não isolados**. 2. ed. [S.l.]: Edição dos Autores, 2006. ISBN 9788590520320. Citado na página 49.

MASO, Peter Di; XU, Jason; GANSYSTEMS. Why gan e-hemts are a power designer's transistor of choice. 2019. Disponível em: <https://gansystems.com/wp-content/uploads/2019/06/GaNSystems_PSD201903_DesignersTransistorOfChoice.pdf>. Acesso em: 25 abr. 2021. Citado na página 22.

MENGATTO, Alisson. **ANÁLISE DE PERDAS EM DIFERENTES TIPOS DE DISPOSITIVOS SEMICONDUTORES DE POTÊNCIA E APLICAÇÃO EM CONVERSOR ESTÁTICO**. 142 p. Monografia (Bacharelado em Engenharia Elétrica – área: Eletrônica de Potência) — Universidade do Estado de Santa Catarina, Joinville, Brasil, 2015. Citado 2 vezes nas páginas 12 e 16.

NATARAJAN, Ramanan. Automotive gan fets engineered for high frequency and robustness in hev/evs. **Texas Instruments Incorporated**, 2020. Disponível em: <https://e2e.ti.com/blogs_/b/powerhouse/posts/charge-faster-and-drive-farther-with-gan-based-onboard-charger-in-electric-vehicles>. Acesso em: 29 mar. 2021. Citado na página 18.

QIU, Yajie et al. Diagnosing for cross-conduction in gan half-bridge. In: **2020 IEEE Applied Power Electronics Conference and Exposition (APEC)**. [S.l.: s.n.], 2020. p. 2577–2583. Citado 3 vezes nas páginas 46, 47 e 48.

RIBEIRO, FABIANO MENDES. **ESTUDO E CARACTERIZAÇÃO DO INTERRUPTOR DE GAN HEMT ATRAVÉS DO CIRCUITO DPT**. Dissertação (Mestrado) — Universidade do Estado de Santa Catarina, Joinville, SC, 2020. Citado 5 vezes nas páginas 18, 19, 21, 22 e 40.

ROCCAFORTE, Fabrizio et al. An overview of normally-off gan-based high electron mobility transistors. **Materials**, Multidisciplinary Digital Publishing Institute, v. 12, n. 10, p. 1599, 2019. Citado na página 18.

RODRíGUEZ, Miguel et al. Simulation and characterization of gan hemt in high-frequency switched-mode power converters. In: IEEE. **2012 IEEE 13th Workshop on Control and Modeling for Power Electronics (COMPEL)**. [S.l.], 2012. p. 1–6. Citado na página 17.

STYLES, Julian. **Common misconceptions about the body diode**. 2019. Disponível em <https://gansystems.com/wp-content/uploads/2020/01/Common-misconceptions-about-the-MOSFET-body-diode.pdf>. Acesso em: 27 de agosto de 2021. Citado na página 25.

TRANSPHORM. **TP65H050WS. 650V Cascode GaN FET in TO-247 (source tab)**. 2021. Disponível em <https://www.transphormusa.com/en/document/datasheet-tp65h050ws-650v-gan-fet/>. Acesso em: 24 mai. 2021. Citado na página 40.

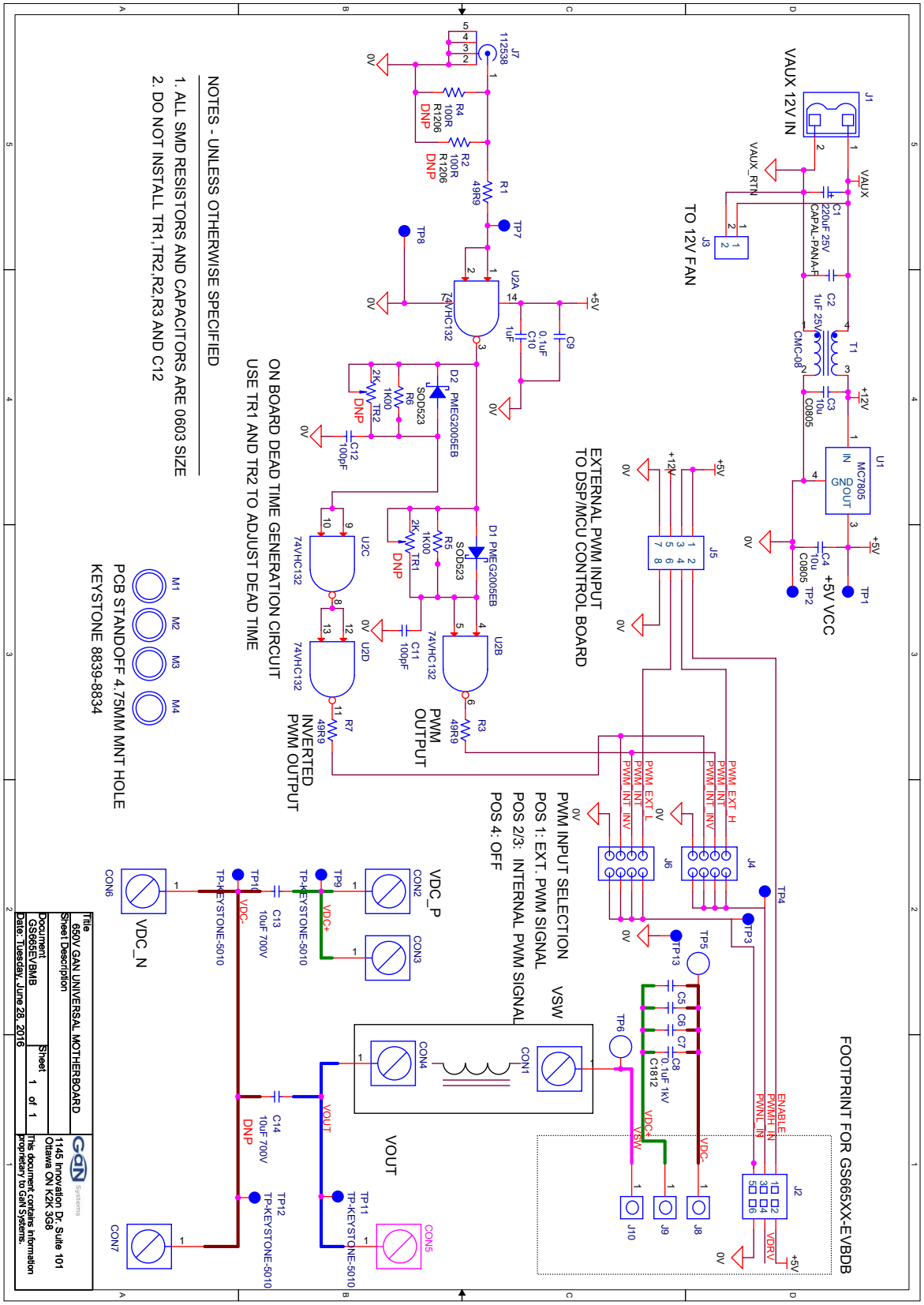
UEMOTO, Y. et al. Gate injection transistor (git)—a normally-off algan/gan power transistor using conductivity modulation. **IEEE Transactions on Electron Devices**, IEEE, v. 54, 2007. Citado 2 vezes nas páginas 21 e 22.

VITORINO, M.A. **Eletrônica De Potência: FUNDAMENTOS, CONCEITOS E APLICAÇÕES**. 1ª. ed. [S.l.]: APPRIS, 2019. ISBN 9788547337933. Citado na página 22.

VUKIĆ, Vladimir Dj; MRVIĆ, Jovan; KATIĆ, Vladimir A. Comparison of the switching energy losses in cascode and enhancement-mode gan hemts. In: IEEE. **2019 20th International Symposium on Power Electronics (Ee)**. [S.l.], 2019. p. 1–5. Citado 2 vezes nas páginas 23 e 42.

XIE, Ruiliang et al. An analytical model for false turn-on evaluation of high-voltage enhancement-mode gan transistor in bridge-leg configuration. **IEEE Transactions on Power Electronics**, IEEE, v. 32, n. 8, p. 6416–6433, 2016. Citado na página 24.

ANEXO A – ESQUEMÁTICO *MOTHER BOARD*



ANEXO B – ESQUEMÁTICO *DAUGHTER BOARD*

