Neste trabalho é apresentada a investigação científica do conversor CA - CC monofásico elevador bidirecional, que permite reduzir o requisito de capacitância necessário, denominado conversor θ (Theta). A redução do valor total de capacitância se dá por meio do uso de um capacitor de desacoplamento de potência ativa (CDPA) em adição ao capacitor conectado em paralelo com o lado CC. Isto é possível pois o CDPA opera com tensão média mais elevada e sua ondulação de tensão é intencionalmente projetada para possuir maior magnitude, uma vez que o mesmo não alimenta nenhuma carga diretamente. Também é investigada a estratégia de controle denominada *Enhanced Automatic Power Decoupling* (EAPD), a qual permite simplificar o projeto dos controladores e utilizar uma referência não-senoidal para a corrente do lado CA. Neste trabalho investiga-se especialmente a utilização de referência de corrente contendo 3ª harmônica até o limite máximo permitido pela classe A da norma IEC61000-3-2, de modo a reduzir ainda mais a ondulação de tensão no CDPA, e permitir a redução ainda maior do valor de capacitância deste capacitor. O trabalho também apresenta uma estratégia numérica e iterativa de projeto dos indutores e escolha dos semicondutores e cálculo de perdas. Por fim é apresentado um protótipo do conversor θ com potência nominal de saída de 1kW, para tensão CA de 220Vrms/50Hz e tensão CC de 400V. Os resultados experimentais demonstraram que é possível a utilização de um CDPA de filme de polipropileno de 22µF, para o conversor operando com potência de saída de 903W, com 50% de 3ª harmônica na referência de corrente CA, e utilizando a tensão média do CDPA de 820V, com valor de pico-a-pico da ondulação de tensão no CDPA de 125V. Nestas mesmas condições o fator de potência é de 0,8841 com rendimento de 94,89 %.

Orientador: Sérgio Vidal Garcia Oliveira

Coorientador: Yales Rômulo de Novaes

Joinville, 2019

ANO
2019

LEANDRO DA SILVA | REDUÇÃO DE CAPACITÂNCIA EM CONVERSOR CFP MONOFÁSICO DO TIPO THETA



UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
PROGRAMA DE PÓS GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGEEL

DISSERTAÇÃO DE MESTRADO

REDUÇÃO DE CAPACITÂNCIA EM CONVERSOR CFP MONOFÁSICO DO TIPO THETA

LEANDRO DA SILVA

JOINVILLE, 2019

LEANDRO DA SILVA

REDUÇÃO DE CAPACITÂNCIA EM CONVERSOR CFP MONOFÁSICO DO TIPO THETA

Dissertação apresentada ao Programa de Pós–Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, como requisito parcial para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Sérgio Vidal Garcia Oliveira
Coorientador: Yales Rômulo de Novaes

Joinville
2019

da Silva, Leandro
Redução de Capacitância em Conversor CFP Monofásico do Tipo Theta / Leandro da Silva. - Joinville, 2019.
174 p. : il. ; 30 cm.

Orientador: Sérgio Vidal Garcia Oliveira
Coorientador: Yales Rômulo de Novaes
Dissertação (Mestrado) - Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica, Joinville, 2019.

1. conversores ca-cc. 2. conversor θ. 3. electrolytic capacitor-less. 4. correção de fator de potência. I. Oliveira, Sérgio Vidal Garcia . II. de Novaes, Yales Rômulo . III. Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica. IV. Título

Redução de Capacitância em Conversor CFP Monofásico do Tipo Theta

por

Leandro da Silva

Esta dissertação foi julgada adequada para obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

Área de concentração em "Sistemas Eletroeletrônicos"
e aprovada em sua forma final pelo

CURSO DE MESTRADO ACADÊMICO EM ENGENHARIA ELÉTRICA
DO CENTRO DE CIÊNCIAS TECNOLÓGICAS DA
UNIVERSIDADE DO ESTADO DE SANTA CATARINA.

Banca Examinadora:

Prof. Dr. Sérgio Vidal Garcia Oliveira
CCT/UDESC (Orientador/Presidente)

Prof. Dr. Ademir Nied
CCT/UDESC

Prof. Dr. Carlos Henrique Illa Font
UTFPR-Ponta Grossa

Joinville,SC, 29 de agosto de 2019.

Este trabalho é dedicado à minha família,
sem a qual eu não teria chegado até aqui.

AGRADECIMENTOS

Agradeço aos meus pais Natal da Silva e Cirlei Aparecida Koscianski da Silva por todo o suporte durante este trabalho e por toda minha vida.

Ao meu orientador Sérgio Vidal Garcia Oliveira, pelo conhecimento e suporte oferecidos durante a execução deste trabalho.

Ao meu coorientador Yales Rômulo de Novaes, pelo suporte em oferecer a direção aos rumos deste trabalho. Naturalmente suas observações se mostraram válidas a cada etapa do desenvolvimento.

Aos demais professores do Programa de Pós-Graduação em Engenharia Elétrica, em particular aos do Núcleo de Processamento de Energia Elétrica, pela contribuição à minha formação acadêmica.

Ao professor Alessandro Batschauer e a Supplier pela contribuição com os isoladores elétricos de alumina.

A todos do Núcleo de Processamento de Energia Elétrica, especialmente ao meu colega Eduardo Falchetti Sovrani pelo trabalho conjunto ao longo do mestrado, e também ao meu colega Murilo Brunel da Rosa, pelo apoio durante os testes experimentais.

Ao time da Embraco, por proporcionar a oportunidade de trabalho conjunto entre Universidade e Empresa, especialmente aos engenheiros Gustavo Ceretta Flores e Douglas Pereira da Silva. Agradeço também a oportunidade de trabalhar com os colegas Amanda Franzoi, Fabiano Mendes Ribeiro e Rodrigo Heinrich dentro do projeto realizado com a Embraco.

À FAPESC e Embraco pelo recurso financeiro disponibilizado para compra de materiais para realização deste trabalho, e à CAPES pela bolsa de estudos que me permitiu a dedicação em tempo integral a este trabalho.

Finalmente agradeço à UDESC, nPEE e CMEAR por oferecer as condições necessárias à realização do presente trabalho.

"Daria tudo que sei pela metade do que ignoro.
(René Descartes)

"The first principle is that you must not fool
yourself and you are the easiest person to fool.
(Richard P. Feynman)

RESUMO

Neste trabalho é apresentada a investigação científica do conversor CA - CC monofásico elevador bidirecional, que permite reduzir o requisito de capacitância necessário, denominado conversor θ (Theta). A redução do valor total de capacitância se dá por meio do uso de um capacitor de desacoplamento de potência ativa (CDPA) em adição ao capacitor conectado em paralelo com o lado CC. Isto é possível pois o CDPA opera com tensão média mais elevada e sua ondulação de tensão é intencionalmente projetada para possuir maior magnitude, uma vez que o mesmo não alimenta nenhuma carga diretamente. Também é investigada a estratégia de controle denominada *Enhanced Automatic Power Decoupling* (EAPD), a qual permite simplificar o projeto dos controladores e utilizar uma referência não-senoidal para a corrente do lado CA Neste trabalho investiga-se especialmente a utilização de referência de corrente contendo 3ª harmônica até o limite máximo permitido pela classe A da norma IEC61000-3-2, de modo a reduzir ainda mais a ondulação de tensão no CDPA, e permitir a redução ainda maior do valor de capacitância deste capacitor. O trabalho também apresenta uma estratégia numérica e iterativa de projeto dos indutores e escolha dos semicondutores e cálculo de perdas. Por fim é apresentado um protótipo do conversor θ com potência nominal de saída de 1 kW, para tensão CA de 220 V_{rms}/50 Hz e tensão CC de 400 V. Os resultados experimentais demonstraram que é possível a utilização de um CDPA de filme de polipropileno de 22 μF, para o conversor operando com potência de saída de 903 W, com 50 % de 3ª harmônica na referência de corrente CA, e utilizando a tensão média do CDPA de 820 V, com valor de pico-a-pico da ondulação de tensão no CDPA de 125 V. Nestas mesmas condições o fator de potência é de $0,8841$ com rendimento de $94,89$ %.

Palavras-chave: Conversor Theta. CFP. EAPD. Harmônicas.

ABSTRACT

This work presents the scientific investigation of the single-phase bidirectional step-up a.c. - d.c. converter, namely *Theta* (θ) converter, which can reduce the total capacitance required. The capacitance requirement reduction occurs through the use of an *Active Power Decoupling Capacitor* (APDC) in addition to the capacitor connected in parallel with the d.c. side. This is possible because the APDC operates with higher average voltage and its voltage ripple is intentionally designed to have greater magnitude since it does not directly feed any load. It is also investigated the control strategy called *Enhanced Automatic Power Decoupling* (EAPD), which allows the simplification of controllers design and the use of a non-sinusoidal reference for the a.c. side current. This work proposes the use of a current reference containing 3rd harmonic up to the maximum limit allowed by class A of IEC61000-3-2 standard to further reduce the voltage ripple in the APDC, and allow the capacitance value of this capacitor to be reduced even further. The work also presents a numerical and iterative strategy for inductors design, selection of semiconductors and losses calculation. Finally, a 1 kW θ converter prototype is built, with 220 V_{rms}/50 Hz nominal a.c. voltage and 400 V nominal d.c. voltage. Experimental results demonstrated the possibility of using a 22 μF polypropylene film capacitor as the APDC, for the converter operating at 903 W, with 50 % of 3rd harmonic in a.c. current reference, and with 820 V APDC average voltage and 125 V peak-to-peak APDC voltage. Also, under the same conditions, the power factor is $0,8841$ with an efficiency of $94,89$ %.

Keywords: Theta converter. PFC. EAPD. Harmonics.

LISTA DE ILUSTRAÇÕES

Figura 1 – Formas de onda de tensão e corrente quando a potência de entrada é constante e igual à potência de saída em um retificador CFP monofásico. 37
Figura 2 – Conversor CFP buck-boost com CDPA (capacitor C_s) integrado à estrutura. 39
Figura 3 – Estratégia de modulação do conversor apresentado na Figura 2. 39
Figura 4 – Topologia com desacoplamento de potência ativa apresentada em (TANG et al., 2015a). 42
Figura 5 – Topologia de desacoplamento de potência ativa com melhor eficiência apresentada em (CAMPONOGARA et al., 2015). 43
Figura 6 – Topologia de desacoplamento de potência ativa com melhor eficiência apresentada em (TANG et al., 2015b). 43
Figura 7 – Conversor θ tal como proposto em (MING; ZHONG, 2017) 46
Figura 8 – Primeiro estado topológico 48
Figura 9 – Segundo estado topológico 48
Figura 10 – Terceiro estado topológico 49
Figura 11 – Quarto estado topológico 49
Figura 12 – Esquema de modulação para o conversor-θ. De cima para baixo: portadora e sinais modulantes dos interruptores S_1 e S_3 (d_1 e d_3), pulsos de gatilho dos interruptores, tensão entre os pontos A e B, e os estados topológicos. 50
Figura 13 – Formas de onda para o semiciclo positivo da rede elétrica, $v_g > 0$. Os números dentro da primeira forma de onda representam os estados topológicos, como apresentados nas Figuras 8, 9, 10 e 11. 51
Figura 14 – Formas de onda para o semiciclo negativo da rede elétrica, $v_g < 0$. Os números dentro da primeira forma de onda representam os estados topológicos, como apresentados nas Figuras 8, 9, 10 e 11. 52
Figura 15 – Tensão e corrente no CDPA. Parâmetros: $P_o = 1\,kW, V_{grms} = 220\,V, f_g = 50\,Hz, L_g = 1\,mH, FP = 1$. 56
Figura 16 – Tensão e corrente no CDPA. Parâmetros: $P_o = 1\,kW, V_{grms} = 220\,V, f_g = 50\,Hz, L_g = 1\,mH$, corrente de entrada com terceira harmônica $I_{3pk} = 2,3\sqrt{2}\,A$ 58
Figura 17 – Capacitância versus tensão máxima no capacitor C_{dc}. 59
Figura 18 – Tensão e corrente no indutor L_o e tensão no capacitor C_o. 63
Figura 19 – Formas de onda das correntes nos indutores L_g e L_o. 68
Figura 20 – Fluxograma para projeto dos indutores (parte A). 77
Figura 21 – Fluxograma para projeto dos indutores (parte B). 78
Figura 22 – Processo de *turn-on*. 84
Figura 23 – Processo de *turn-off*. 85

Figura 24 – Processo de *turn-on* e recuperação reversa. Gráfico de cima: corrente de dreno e tensão dreno-*source* no MOSFET, gráfico de baixo: corrente e tensão no diodo do MOSFET complementar. 87
Figura 25 – Etapas de operação para o semiciclo positivo da tensão da rede elétrica. 90
Figura 26 – Etapas de operação para o semiciclo negativo da tensão da rede elétrica. 91
Figura 27 – Perdas totais nos 4 interruptores, para as especificações dadas na Tabela 4. 93
Figura 28 – Modelo elétrico análogo ao modelo térmico utilizado para dimensionamento dos dissipadores. 95
Figura 29 – Dissipador HS14050-70 da HS dissipadores. Todas as dimensões em *mm*. 95
Figura 30 – Perdas teóricas com o aumento da potência de saída. 96
Figura 31 – Rendimento teórico com o aumento da potência de saída. 97
Figura 32 – Validação da modelo da planta de corrente em L_g pela ação de controle u_a. 101
Figura 33 – Validação da modelo da planta de corrente em L_o pela ação de controle u_b. 102
Figura 34 – Validação da modelo da planta de tensão em C_o pela corrente em L_o. . 102
Figura 35 – Estratégia de controle do valor médio da tensão no capacitor de desacoplamento de potência v_c 104
Figura 36 – Referência do valor de pico da corrente através de L_g, e resposta do modelo e da planta para v_c 105
Figura 37 – Diagrama de blocos das malhas de controle das correntes em L_g e L_o. . 105
Figura 38 – Esquema de controle do conversor θ. LPF: *Low Pass Filter*. 106
Figura 39 – Diagramas de Bode de malha aberta para o controle da corrente i_{Lg}. . 108
Figura 40 – Diagramas de Bode de malha aberta para o controle da corrente i_{Lo}. . 109
Figura 41 – Diagramas de Bode de malha aberta para o controle da tensão V_o. . . . 111
Figura 42 – Resposta em frequência para os filtros $H_{2\omega}(z)$ e $H_{4\omega}(z)$. 113
Figura 43 – Diagramas de Bode de malha aberta para o controle da tensão V_c. . . . 114
Figura 44 – Diagrama de blocos do PLL. 116
Figura 45 – Modelo linearizado do PLL. 117
Figura 46 – Degrau de fase na entrada do PLL. 118
Figura 47 – Degrau de frequência na entrada do PLL. 119
Figura 48 – Esquema de ligação do conversor para os testes experimentais. 121
Figura 49 – Foto do protótipo. 123
Figura 50 – Funcionamento do PLL. Canal 1: Tensão de entrada distorcida (v_g), canal 2: referência unitária de corrente contendo 50% de 3ª harmônica (i_{gref}), canal 3: ângulo da rede elétrica em radianos (θ). 124
Figura 51 – Tempos de subida e descida do interruptor utilizado. 125
Figura 52 – Sinais de *gate* dos interruptores S_3 (canal 2) e S_4 (canal 4). 125
Figura 53 – Procedimento de *soft-start* do conversor. 126

Figura 54 – Acréscimo de 3ª harmônica à referência de corrente da rede elétrica e redução da ondulação de tensão no capacitor C_{dc}. Canal 1: Tensão da rede elétrica, canal 2: tensão no capacitor C_{dc}, canal 3: corrente da rede elétrica, canal 4: tensão de saída. 127
Figura 55 – Fator de potência, rendimento, potência de saída e distorção harmônica para o conversor operando a 935 W com corrente senoidal. 128
Figura 56 – Conversor operando a 935 W com corrente senoidal. Canal 1: tensão da rede elétrica (v_g), canal 2: tensão no barramento CC (v_c), canal 3: corrente da rede elétrica (i_g), canal 4: tensão na carga (v_o). 128
Figura 57 – Fator de potência, rendimento, potência de saída e distorção harmônica para o conversor operando a 903 W com corrente contendo 50% de 3ª harmônica. 129
Figura 58 – Conversor operando a 903 W com corrente contendo 50% de 3ª harmônica. Canal 1: tensão da rede elétrica (v_g), canal 2: tensão no barramento CC (v_c), canal 3: corrente da rede elétrica (i_g), canal 4: tensão na carga (v_o). 129
Figura 59 – Comparativo entre rendimento teórico e experimental com a variação da potência de saída. 130
Figura 60 – Valores máximo e mínimo da tensão no CDPA com e sem 50% de 3ª harmônica na corrente da rede elétrica. 131
Figura 61 – Ondulação da da tensão no CDPA com e sem 50% de 3ª harmônica na corrente da rede elétrica. 131
Figura 62 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 132
Figura 63 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.133
Figura 64 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª e 5ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 133
Figura 65 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª, 5ª e 7ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 134
Figura 66 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª, 5ª, 7ª e 9ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 135
Figura 67 – Degrau de $P_o = +105\ W$ para $P_o = -130\ W$ com referência de corrente senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 136
Figura 68 – Degrau de $P_o = -130\ W$ para $P_o = +105\ W$ com referência de corrente senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 136

Figura 69 – Degrau de $P_o = +105\ W$ para $P_o = -130\ W$ com referência de corrente com 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.137
Figura 70 – Degrau de $P_o = -130\ W$ para $P_o = +105\ W$ com referência de corrente com 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.137
Figura 71 – Fator de potência experimental para referência de corrente senoidal e contendo 50% de 3ª harmônica. 138
Figura 72 – Distorção harmônica total da corrente experimental para referência de corrente senoidal e contendo 50% de 3ª harmônica. 138
Figura 73 – Comparativo dos valores das componentes harmônicas obtidos experimentalmente com a classe A da norma IEC61000-3-2 para corrente de entrada com referência senoidal. Conversor operando à $P_o = 902W$. . . 139
Figura 74 – Comparativo dos valores das componentes harmônicas obtidos experimentalmente com a classe A da norma IEC61000-3-2 para corrente de entrada com referência contendo 50% de 3ª harmônica. Conversor operando à $P_o = 902W$. 139
Figura 75 – Forma de onda da corrente no indutor L_g para o conversor operando à $P_o = 900\ W$. Canal 3: i_g. 140
Figura 76 – Forma de onda da corrente no indutor L_o para o conversor operando à $P_o = 900\ W$. Canal 1: v_g, canal 3: i_{Lo}. 140
Figura 77 – Instante em que é aplicado um degrau de carga de 0 W para 680 W com corrente de entrada senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 141
Figura 78 – Instante em que é aplicado um degrau de carga de 0 W para 680 W com corrente de entrada contendo 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o. 142
Figura 79 – Temperaturas dos encapsulamentos dos interruptores e temperaturas dos indutores. Temperatura ambiente $T_{amb} = 27,2$ °C. Potência de carga $P_o = 900\ W$. Corrente i_g senoidal. 143
Figura 80 – Imagens térmicas do conversor ao final do teste térmico, com $P_o = 900\ W$ e $T_{amb} = 27,2$ °C. 143
Figura A.1 – Esquemático geral do conversor 158
Figura A.2 – Fontes Auxiliares 159
Figura A.3 – Estágio de Potência 160
Figura A.4 – Gate Driver 161
Figura A.5 – Condicionamento de Sinais 162
Figura A.6 – Circuitos do DSP 163
Figura A.7 – *Layout* do Conversor θ 164
Figura A.8 – *Layout* - Camada Superior (*Top Layer*) 165
Figura A.9 – *Layout* - Camada Inferior (*Bottom Layer*) 166

LISTA DE TABELAS

Tabela 1 – Limites definidos na classe A da IEC61000-3-2 de 2014. 35
Tabela 2 – Referências que apresentam a estratégia de aumento de ondulação de tensão sobre capacitor de desacoplamento em CFP monofásico, com corrente de entrada senoidal. Todas as referências utilizaram capacitores de filme. 40
Tabela 3 – Relação entre componentes harmônicas da corrente de entrada e capacitância C_{dc} mínima teórica. 60
Tabela 4 – Especificações utilizadas para projeto do conversor θ. 65
Tabela 5 – Especificações utilizadas no projeto do indutor L_g. 75
Tabela 6 – Especificações utilizadas no projeto do indutor L_o. 75
Tabela 7 – Resultado do algoritmo de minimização de volume dos indutores 76
Tabela 8 – Valores eficazes das correntes nos interruptores obtidos pelas equações (3.63), (3.66), (3.69), e (3.72) e por simulação. 83
Tabela 9 – Equipamentos utilizados durante os testes. 121
Tabela 10 – Uso de harmônicas ímpares para redução de ondulação da tensão no CDPA. DHTs e FP calculados considerando 40 harmônicas. 132

LISTA DE ABREVIATURAS E SIGLAS

AMPOP	amplificador operacional
APD	*active power decoupling*
AWG	*american wire gauge*
c.a.	corrente alternada
c.c.	corrente contínua
CDPA	capacitor de desacoplamento de potência ativa
CFP	correção de fator de potência
DF	*dissipation factor*
DHT	distorção harmônica total
DSP	*digital signal processor*
EAPD	*enhanced automatic power decoupling*
FP	fator de potência
FTMA	função de transferência de malha aberta
GSE	*generalized Steinmetz equation*
HVDC	*high voltage direct current*
IGBT	*insulated-gate bipolar transistor*
IGSE	*improved generalized Steinmetz equation*
IIR	*infinite impulse response*
IPMSM	*interior permanent magnet synchronous motor*
LED	*light-emitting diode*
MCC	modo de condução contínuo
MCD	modo de condução descontínuo
MMC	*modular multilevel converter*
MOSFET	*metal oxide field-effect transistor*
MSE	*modified Steinmetz equation*

NPC	*neutral point clamped*
PI	proporcional integral
PLL	*phase-locked loop*
PWM	*pulse-width modulation*
RES	resistência equivalente série
Si	*silicon*
SiC	*silicon carbide*
SiC-SBD	*silicon carbide-schottky barrier diode*
ZOH	*zero-order hold*

LISTA DE SÍMBOLOS

Símbolo	Descrição	Unidade
α_{cu}	coeficiente de temperatura do cobre	$1/°C$
ε	erro de fase na saída do multiplicador do PLL	°
$\bar{\varepsilon}$	valor médio de ε	°
ΔB	ondulação de pico a pico da densidade de fluxo magnético	T
Δi_{Lg}	valor de pico a pico da ondulação de corrente em L_g	A
ΔI_{Lgmax}	máximo valor da ondulação de pico a pico da corrente em L_g	A
Δi_{Lo}	valor de pico a pico da ondulação de corrente em L_o	A
ΔI_{Lomax}	máximo valor da ondulação de pico a pico da corrente em L_o	A
ΔQ	máxima carga armazenada no capacitor C_o	C
ΔT	elevação de temperatura do indutor	$°C$
ΔV_c	ondulação de pico a pico da tensão no capacitor C_{dc}	V
Δv_o	ondulação da tensão no capacitor C_o	V
$\delta_w(f)$	profundidade de penetrada da corrente para a frequência f	m
η_w	fator de porosidade do enrolamento	-
$\frac{dI_{sd}}{dt}$	derivada da corrente entre source e dreno	A/s
$\mu_{@Ipk}$	permeabilidade magnética no valor de pico da corrente	H/m
μ_{pu}	permeabilidade magnética relativa	-
μ_i	permeabilidade magnética relativa inicial do material do núcleo	-
μ_o	permeabilidade magnética do vácuo	H/m
ω	frequência angular da rede	rad/s
ω_{ref}	frequência angular de referência do PLL	rad/s
ϕ	defasagem	rad
π	letra grega pi minúsculo, $\pi \approx 3,14159$	-
ρ	letra grega ro minúsculo	-
ρ_{cu20}	resistividade do cobre a $20°C$	Ωm
ρ_T	resistividade do cobre corrigida para temperatura	Ωm
θ	letra grega teta minúsculo	-
$\tilde{i}_{gpk}$	variação de pequena amplitude em i_{gpk}	A
$\tilde{i}_{grms}$	variação de pequena amplitude em i_{grms}	A

Símbolo	Descrição	Unidade
$\tilde{v}_c$	variação de pequena amplitude do valor médio de tensão em v_c	V
a, b, c	parâmetros de curve-fit, usados na relação entre H e μ_{pu}	-
A_L	indutância por espira ao quadrado	H/esp^2
A_t	área de superfície do indutor	cm^2
B_{pk}	valor de pico da densidade de fluxo magnético	T
B_{sat}	densidade de fluxo de saturação	T
C_{dc}	capacitor de desacoplamento de potência	F
$C_{dc\ 3}$	capacitância mínima C_{dc} necessária, considerando i_g com 3ª harmônica	F
$C_{dc\ fund}$	capacitância mínima C_{dc} necessária, considerando i_g senoidal	F
C_{gd}	capacitância entre gate e dreno do MOSFET	F
C_{gs}	capacitância entre gate e source do MOSFET	F
C_{iss}	capacitância de entrada do MOSFET	F
$C_{iss\ at\ V_{DS}}$	capacitância de entrada com tensão dreno source máxima	F
C_{rss}	capacitância de transferência reversa	F
C_o	capacitor de filtragem de alta frequência	F
$d_{e1}, d_{e2}, d_{e3}, d_{e4}$	razões cíclica dos estados topológicos $1, 2, 3$, e 4	-
d_1, d_2, d_3, d_4	razões cíclica dos interruptores S_1, S_2, S_3, S_4	-
d_b	diâmetro do condutor sem isolação	m
d_i	diâmetro do condutor com isolação	m
$e(t)$	energia instantânea armazenada em C_{dc}	J
e_{max}	valor máximo da energia armazenada em C_{dc}	J
e_{min}	valor mínimo da energia armazenada em C_{dc}	J
E_{off}	perdas de turn-off no interruptor	J
E_{on}	perdas de turn-on no interruptor	J
E_{on+rr}	perdas no interruptor devido à turn-on e recuperação reversa	J
$E_{rrdiode}$	perda de recuperação reversa no diodo intrínseco	J
E_{rrsw}	perdas no interruptor causadas somente pela recuperação reversa	J
f_{ci}	frequência de corte da malha da corrente i_{Lo}	Hz

Símbolo	Descrição	Unidade
F_{OL}	FTMA compensada do PLL	rad/rad
f_g	frequência da rede	Hz
f_o	frequência de rejeição do filtro rejeita faixa	Hz
$F_p(f)$	parcela de $F_r(f)$ relacionada ao efeito de proximidade	-
$F_r(f)$	razão entre resistência ca e cc do enrolamento na frequência f	-
f_s	frequência de comutação dos interruptores	Hz
$F_s(f)$	parcela de $F_r(f)$ relacionada ao efeito pelicular	-
f_u	frequência superior de corte do filtro rejeita faixa	Hz
G_C	FTMA da planta da tensão em C_{dc}	V/A
G_{Co}	FTMA da planta da tensão em C_o	V/A
G_{iLg}	controlador da corrente i_{Lg}	V/A
G_{iLo}	controlador da corrente i_{Lo}	V/A
G_{Lg}	FTMA da planta da corrente em i_{Lg}	A/V
G_{Lo}	FTMA da planta da corrente em i_{Lo}	A/V
G_{PI}	controlador PI do PLL	$rad/(s \cdot rad)$
G_{vC}	controlador da tensão v_c	A/V
G_{vCo}	controlador da tensão v_{Co}	A/V
$H_{2\omega}$	função de transferência do filtro rejeita faixa em 2ª harmônica	V/V
$H_{4\omega}$	função de transferência do filtro rejeita faixa em 4ª harmônica	V/V
H_{pk}	intensidade de campo magnético na corrente de pico	A/m
$i_{Co\ rms}$	valor eficaz da corrente em C_o	A
$i_{Co\ rms}$	valor eficaz da corrente no capacitor C_o	A
I_{crms}	valor eficaz da corrente no capacitor C_{dc}	A
$i_{crms\ high}$	componente de alta frequência do valor eficaz da corrente em C_{dc}	A
$i_{crms\ low}$	componente de baixa frequência do valor eficaz da corrente em C_{dc}	A
I_{DSoff}	valor da corrente no semicondutor no instante de turn-off	A
I_{DSon}	valor da corrente no semicondutor no instante de turn-on	A
i_{gpk}	valor de pico da corrente da rede	A

Símbolo	Descrição	Unidade
i_{grms}	valor eficaz de corrente da rede	A
I_{grms}	valor eficaz médio de corrente da rede	A
I_{Lgmax}	valor máximo da corrente em L_g dentro de um período de comutação	A
I_{Lgmin}	valor mínimo da corrente em L_g dentro de um período de comutação	A
I_{Lomax}	valor máximo da corrente em L_o dentro de um período de comutação	A
I_{Lomin}	valor mínimo da corrente em L_o dentro de um período de comutação	A
i_{Loref}	referência da corrente i_{Lo}	A
I_{Lpk}	valor de pico da corrente no indutor L	A
I_{Lrms}	valor eficaz da corrente no indutor L	A
I_{max}	máxima corrente que produz J_{max} no condutor	A
I_{rr}	valor de pico da corrente de recuperação reversa	A
I_{sd}	corrente direta entre source e dreno	A
I_{Snrms}	valor eficaz de corrente no interruptor S_n	A
i_c	corrente instantânea no capacitor C_{dc}	A
i_g	corrente instantânea da rede	A
I_g	valor de pico da corrente da rede	A
i_L	corrente instantânea no indutor L	A
I_n	valor de pico da corrente da n-ésima harmônica	A
ID	diâmetro interno do núcleo toroidal	cm
J_{max}	máxima densidade de corrente considerada no condutor	A/m^2
k	número de condutores em paralelo	-
k_c, α, β	parâmetros da equação de Steinmetz	W/m^3, -, -
K_{height}	fator de correção da altura do dissipador	-
K_{qrr}	razão entre Q_{rr} e $\sqrt{I_{sd}}$	$C/\sqrt{A}$
K_{temp}	fator de correção da temperatura do dissipador	-
K_{umax}	máximo fator de utilização da janela desejado	-
K_1, K_2	constantes de integração	-
k_i	ganho integral	-

Símbolo	Descrição	Unidade
k_p	ganho proporcional	-
K_u	fator de utilização da janela	-
L	indutância	H
$L_{@Ipk}$	indutância calculada no valor de pico da corrente	H
L_{min}	indutância mínima desejada	H
l_c	comprimento magnético do núcleo	m
L_g	indutor do lado da rede	H
L_i	indutância inicial (quando a corrente é nula)	H
L_o	indutor do lado cc	H
l_t	comprimento médio de uma espira	m
l_w	comprimento total de fio utilizado no enrolamento	m
n	n-ésima camada de enrolamento	-
n	n-ésima harmônica	-
N	número de espiras do indutor	-
$N_{max}(n)$	número máximo de espiras na camada n	-
N_{maxB}	número de espiras que leva o núcleo à 80% da saturação	-
P_c	perdas no capacitor C_{dc}	W
$P_{c\ high}$	perdas em C_{dc} em alta frequência	W
$P_{c\ low}$	perdas em C_{dc} em baixa frequência	W
p_{cc}	potência recebida pelo lado cc do conversor CFP	W
P_{Co}	perdas no capacitor C_o	W
P_{cond}	perdas por condução no semicondutor	W
P_{cvol}	perda volumétrica do núcleo	W
P_{Lg}	perdas totais no indutor L_g	W
P_{Lo}	perdas totais no indutor L_o	W
P_{loss}	perdas totais no semicondutor	W
P_{rr}	perdas por recuperação reversa no semicondutor	W
P_{sw}	perdas por comutação no semicondutor	W
P_c	parcela constante da potência de saída	W
P_c	perdas no núcleo	W

Símbolo	Descrição	Unidade
p_g	potência instantânea da rede	W
P_i	perda volumétrica dentro de cada major ou minor loop	W
P_L	perdas totais no indutor	W
p_L	potência instantânea no indutor	W
P_n	potência dissipada no interruptor S_n	W
P_o	potência de saída do conversor	W
p_r	parcela oscilatória da potência de saída	W
$Q_{GD(D)}$	carga de gate especificada em datasheet	C
Q_{rr}	carga de recuperação reversa do diodo intrínseco	C
$Q_{rrD}, I_{sdD}, \frac{dI_{sd}}{dt}_D, t_{rrD}, I_{rrD}$	valores especificados em datasheet	-
R_{ca}	resistência do enrolamento em corrente alternada	Ω
R_{cc}	resistência do enrolamento em corrente contínua	Ω
R_{ch}	resistência térmica entre encapsulamento e dissipador	$°C/W$
R_{dson}	resistência do canal quando o MOSFET está conduzindo	Ω
$R_{gextoff}$	resistor de gate externo usado no turn-off	Ω
R_{gexton}	resistor de gate externo usado no turn-on	Ω
R_{gint}	resistor interno ao gate	Ω
R_{Goff}	resistor equivalente de gate no turn-off	Ω
R_{Gon}	resistor equivalente de gate no turn-on	Ω
R_{ha}	resistência térmica entre dissipador e ambiente	$°C/W$
R_{jc}	resistência térmica entre junção e encapsulamento	$°C/W$
R_{thJA}	resistência térmica entre a junção e o ambiente	$°C/W$
R_o	resistência de carga	Ω
S	fator snapiness do diodo intrínseco	-
s	frequência complexa contínua	rad/s
S_1, S_2, S_3, S_4	interruptores ativos	-

Símbolo	Descrição	Unidade
T_{amb}	temperatura ambiente	$°C$
T_{cn}	temperatura do encapsulamento do interruptor S_n	$°C$
T_{hn}	temperatura do dissipador n	$°C$
t_{if}	tempo de descida da corrente	s
t_{ir}	tempo de subida da corrente	s
T_{Jmax}	máxima temperatura desejada na junção do semicondutor	$°C$
T_{jn}	temperatura da junção do interruptor S_n	$°C$
T_{max}	máxima temperatura desejada no indutor	$°C$
T_{oper}	temperatura de operação do indutor	$°C$
t_{rr}	tempo de recuperação reversa	s
t_{vf}	tempo de descida da tensão	s
t_{vr}	tempo de subida da tensão	s
t_a	tempo de armazenamento de carga da recuperação reversa	s
t_b	tempo transiente na recuperação reversa	s
T_g	período da rede	s
T_J	temperatura da junção do semicondutor	$°C$
T_s	período de comutação	s
V_{cavg}	valor médio da tensão no capacitor C_{dc}	V
V_{cmax}	valor máximo da tensão no capacitor C_{dc}	V
V_{cmin}	valor mínimo da tensão no capacitor C_{dc}	V
$V_{DS(D)}$	tensão para a qual a carga $Q_{GD(D)}$ foi especificada	V
v_{ds}	tensão entre dreno e source no MOSFET	V
V_{dson}	queda de tensão entre dreno e source quando o MOSFET está conduzindo	V
V_{gp}	tensão de plateau	V
V_{grms}	valor eficaz de tensão da rede	V
V_{GS}	tensão máxima do driver	V
v_{Lg}	tensão sobre o indutor L_g	V
v_{Lo}	tensão sobre o indutor L_o	V
V_{TH}	tensão de threshold do MOSFET	V

Símbolo	Descrição	Unidade
V_c	valor médio de tensão no capacitor C_{dc}	V
v_c	tensão no capacitor C_{dc}	V
V_c	volume do núcleo	m^3
V_f	queda de tensão direta no diodo	V
V_g	tensão de pico da rede	V
v_g	tensão instantânea da rede	V
v_L	tensão instantânea no indutor L	V
V_n	valor de pico da tensão da n-ésima harmônica	V
v_o	tensão instantânea na saída do conversor	V
V_o	valor médio de tensão na saída do conversor	V
w	análogo da frequência complexa discreta no plano complexo contínuo	rad/s
z	frequência complexa discreta	-

SUMÁRIO

1 INTRODUÇÃO 33

2 ANÁLISE ESTÁTICA DO CONVERSOR θ 45

2.1 ETAPAS DE OPERAÇÃO **46**

2.2 DIMENSIONAMENTO DO CAPACITOR C_{dc} **53**

2.2.1 Tensão e Corrente da Rede Elétrica Senoidais 53

2.2.2 Tensão e Corrente da Rede Elétrica Genéricas 56

2.3 DIMENSIONAMENTO DO INDUTOR L_g **60**

2.4 DIMENSIONAMENTO DO INDUTOR L_o **61**

2.5 DIMENSIONAMENTO DO CAPACITOR C_o **62**

3 PROJETO DO CONVERSOR θ 65

3.1 DETERMINAÇÃO DOS CAPACITORES **65**

3.2 PROJETO DOS INDUTORES PARA O CONVERSOR θ **67**

3.2.1 Perdas no Enrolamento 71

3.2.2 Perdas no Núcleo 72

3.2.3 Minimização do Volume 74

3.3 DIMENSIONAMENTO DOS SEMICONDUTORES PARA O CONVERSOR θ **79**

3.3.1 Valores Eficazes das Correntes nos Semicondutores 80

3.3.2 Perdas nos semicondutores 83

3.4 DIMENSIONAMENTO DOS DISSIPADORES **92**

3.5 PERDAS E RENDIMENTO **96**

4 CONTROLE DO CONVERSOR θ EMPREGANDO *ENHANCED AUTOMATIC POWER DECOUPLING* (EAPD) . . . 99

4.1 CONTROLADOR DA CORRENTE i_{Lg} **107**

4.2 CONTROLADOR DA CORRENTE i_{Lo} **108**

4.3 CONTROLADOR DA TENSÃO V_o **110**

4.4 FILTRO DA TENSÃO V_c **111**

4.5 CONTROLADOR DA TENSÃO V_c **113**

4.6 *FEED-FORWARD* DA CORRENTE i_{Lg} **115**

4.7 *PHASE-LOCKED LOOP* **115**

5 RESULTADOS EXPERIMENTAIS 121

6 CONCLUSÃO 145

REFERÊNCIAS **149**

APÊNDICES **155**

APÊNDICE A – ESQUEMÁTICO E *LAYOUT* DO CONVERSOR θ **157**

APÊNDICE B – CÓDIGO EM MATLAB PARA DETERMINAÇÃO DA CAPACITÂNCIA C_{dc} . . . **167**

APÊNDICE C – CÓDIGO EM MATLAB: RELAÇÃO ENTRE CAPACITÂNCIA C_{dc} E HARMÔNICAS DE i_g **169**

APÊNDICE D – CÓDIGO EM MATLAB: CORRENTES EFICAZES NOS INTERRUPTORES **173**

1 INTRODUÇÃO

Devido ao baixo custo, circuitos simples em ponte de diodos com filtro capacitivo têm sido preferidos para conversão de energia CA - CC. Todavia, devido ao filtro capacitivo, tais circuitos apresentam elevado conteúdo harmônico na corrente drenada da rede elétrica, produzindo um baixo fator de potência, e com isto não conseguem atender normas internacionais, tais como a IEC61000-3-2. Como forma de resolver este problema são utilizados circuitos de correção de fator de potência (CFP) cujo controle permite que a corrente drenada da rede elétrica seja senoidal e em fase com a tensão (NGUYEN; LEE, 2018; WANG et al., 2012; IEC61000-3-2, 2014).

Circuitos do tipo boost CFP são geralmente empregados em aplicações práticas pois a corrente de entrada pode facilmente seguir uma referência senoidal, entretanto a tensão de saída é sempre maior que o valor de pico da tensão de entrada da rede elétrica. Por outro lado, um conversor buck CFP produz uma tensão de saída mais baixa que o valor de pico da tensão da rede elétrica em sua saída, contudo o mesmo precisa de um grande indutor para desacoplar a ondulação de potência, e garantir baixa distorção harmônica total (DHT) na corrente drenada da rede elétrica (OHNUMA; ITOH, 2014).

Um problema inerente aos circuitos retificadores monofásicos que utilizam CFP é a ondulação de baixa frequência da potência drenada da rede elétrica, que oscila em duas vezes a frequência da rede elétrica, enquanto a potência drenada pela carga é constante (GU et al., 2009; NGUYEN; LEE, 2015). Esta ondulação de potência drenada da rede elétrica aparece como uma ondulação de tensão no barramento CC de saída do conversor. Como forma de absorver esta ondulação de baixa frequência geralmente empregam-se capacitores eletrolíticos (WANG et al., 2012).

O capacitor eletrolítico tem sido a escolha preferida em conversores CFP devido à sua elevada capacitância e baixo custo. Contudo, ao longo de sua vida útil, sua capacitância se reduz e sua RES aumenta com a volatilização do eletrólito. Um capacitor eletrolítico é geralmente considerado como tendo sua vida útil finalizada quando sua capacitância atinge 80% do valor inicial ou sua RES aumenta 2 a 3 vezes em relação ao valor inicial. Desta forma, a vida útil do capacitor eletrolítico costuma definir a vida útil do conversor. Em (YAO et al., 2016) é proposto um método de monitoramento não-invasivo da RES e capacitância para capacitores eletrolíticos em circuitos CFP monofásicos, no qual a tensão sobre o capacitor é amostrada em 0 rad e $\frac{\pi}{4}$ rad [1], e com base nestas amostras e nos dados de potência do conversor, valor médio de tensão no capacitor e frequência da rede elétrica é possível estimar os valores de RES e capacitância.

Diversos são os problemas atrelados ao uso de capacitores eletrolíticos em conversores para CFP: elevados volume e peso, vida útil limitada, baixa confiabilidade, dentre outros

[1] Em relação à fase inicial da tensão da rede elétrica.

(NGUYEN; LEE, 2018; MING; ZHONG, 2014). A vida útil teórica dos capacitores eletrolíticos sob condições nominais apresentada na literatura é estimada como sendo 2000 h ($T_{amb} = 85°C$) (DIANOV; SU; KWAN, 2015), 5000 h (PANG; PONG, 2013; WANG et al., 2012), 10000 h (HE; RUAN; ZHANG, 2017; YANG et al., 2014; CAMPONOGARA et al., 2015), 20000 h (LIU et al., 2018b) e 30000 h (GU et al., 2009). Em geral, a degradação dos capacitores eletrolíticos se deve à vaporização do eletrólito, levando a um aumento do valor de RES e aumento das perdas, o que por sua vez promove o aumento da temperatura (LAHYANI et al., 1998; PANG; PONG, 2013). O aumento da RES é o melhor indicador de falha dos capacitores eletrolíticos (BRAHAM et al., 2010), sendo a soma das resistências do óxido de alumínio, eletrólito, espaçador e eletrodos. O aumento da RES leva a um aumento no auto-aquecimento do capacitor e a sua degradação mais acelerada (LAHYANI et al., 1998; WANG et al., 2012). Enquanto isto, a vida útil de capacitores de filme é em torno de 10 anos[2] (DIANOV; SU; KWAN, 2015).

Nos conversores CFP monofásicos a diferença entre as potências instantâneas dos lados CA e CC flui através do capacitor de desacoplamento de potência ativa (CDPA[3]). Visando a redução da capacitância, existe a necessidade de isolar o CDPA do barramento de CC na saída, para que o mesmo possa ter sua ondulação de tensão aumentada, permitindo o acúmulo e liberação de maior quantidade de energia. Uma das formas convencionais de se obter isto é com o uso de dois conversores em cascata, em que o primeiro faz a retificação e correção do fator de potência, e o segundo controla a tensão de saída com elevada banda passante. O valor médio da tensão no CDPA é então utilizado para controlar a amplitude da corrente de entrada, utilizando um controlador de tensão com banda passante da ordem de 5 a 20 Hz (ERICKSON; MAKSIMOVIC, 2004).

O CDPA também é responsável pela manutenção da tensão de saída durante falta da tensão da rede elétrica. O tempo durante o qual a tensão de saída é mantida regulada após a tensão de entrada da rede elétrica se tornar nula é conhecido como *hold-up time*, sendo tipicamente de 1 ciclo completo da rede elétrica (ERICKSON; MAKSIMOVIC, 2004).

De acordo com (DIANOV; SU; KWAN, 2015) o próximo passo significante no desenvolvimento de *drives* para equipamentos domésticos é a eliminação do capacitor eletrolítico do barramento CC. Ele é o componente menos confiável do inversor, reduzindo sua vida útil, podendo inclusive iniciar um incêndio em consequência de sua falha. Sua

[2] Capacitores de filme metalizado de polipropileno possuem a característica de auto-cura (*self-healing*): micro furos no filme de polipropileno causados por descargas elétricas locais fazem com que a metalização dos dois lados do filme evapore, produzindo uma região local isolada (Dai Xin et al., 2000). Uma das razões mais frequentes para a falha nos capacitores de filme é o desacoplamento dos terminais dos *sprayed-ends*, causado principalmente pelo estresse mecânico devido ao valor de pico da corrente (Fuchang Lin et al., 2003).

[3] Ao longo deste trabalho será utilizada a nomenclatura *capacitor de desacoplamento de potência ativa*, ou CDPA, para denotar o capacitor responsável por armazenar as ondulações de potência de baixa frequência causadas pela diferença instantânea entre as potências de entrada e saída no conversor CFP monofásico.

remoção permite a redução do volume e custo do conversor, ao mesmo tempo em que aumenta a confiabilidade do mesmo.

Em geral, eletrodomésticos contendo inversores são classificados dentro da classe A da IEC 61000-3-2[4] (IEC61000-3-2, 2014; DIANOV; SU; KWAN, 2015). Como mostrado na Tabela 1, tal classe define limites absolutos para as componentes harmônicas da corrente drenada da rede elétrica, e como consequência é mais restritiva para equipamentos de maior potência. Isto significa que com o aumento da potência do equipamento, mais próximo da unidade deve ser o fator de potência, enquanto equipamentos de potência mais baixa, mesmo com forma de onda muito distorcida, ainda são capazes de satisfazer a norma.

Tabela 1 – Limites definidos na classe A da IEC61000-3-2 de 2014.

Ordem Harmônica [n]	**Máximo Valor Eficaz Permitido da Corrente Harmônica [A]**
Harmônicas Ímpares	
3	$2,30$
5	$1,14$
7	$0,77$
9	$0,40$
11	$0,33$
13	$0,21$
$15 \leq n \leq 39$	$0,15\frac{15}{n}$
Harmônicas Pares	
2	$1,08$
4	$0,43$
6	$0,30$
$8 \leq n \leq 40$	$0,23\frac{8}{n}$

Fonte: (IEC61000-3-2, 2014).

Em (DIANOV; SU; KWAN, 2015) propõe-se a substituição do capacitor eletrolítico por um capacitor de filme no barramento CC de um inversor para motor síncrono de ímãs internos (interior permanent magnet synchronous motor IPMSM). Para isso, o controle do inversor é feito considerando-se a grande flutuação da tensão do barramento CC e limitando-se as correntes nas coordenadas d e q. O fator de potência obtido é de 96%, satisfazendo a IEC61000-3-2. Como consequência, a eficiência é reduzida em $1,5\%$. Além disso, surgem ondulações de torque no motor, as quais, segundo os autores, são perfeitamente aceitáveis em aplicações domésticas, tais como aparelhos de ar-condicionado e refrigeradores.

[4] A IEC 61000-3-2 define os limites para as correntes harmônicas para equipamentos com tensão nominal eficaz de alimentação igual ou superior a $220V$, e máximo valor eficaz de corrente de até $16A$ por fase.

Em capacitores eletrolíticos, o valor da RES diminui com o aumento da temperatura e da frequência e aumenta com o tempo de operação. Considerando um capacitor eletrolítico com vida útil t_1 horas a uma temperatura T_1 (em $°C$), sua vida útil t_2 a uma temperatura T_2 pode ser estimada pela lei de Arrhenius, conforme eq. (1.1) (LAHYANI et al., 1998; PANG; PONG, 2013; DIANOV; SU; KWAN, 2015). Em geral, para se aumentar a vida útil do capacitor eletrolítico pode-se reduzir a ondulação de corrente sobre o mesmo. Por este motivo, conversores operando em modo de condução contínuo (MCC) tem vida útil mais longa do que os conversores operando em modo de condução descontínuo (MCD) (PANG; PONG, 2013).

$$\frac{t_2}{t_1} = e^{4700 \cdot \frac{T_1 - T_2}{(T_1+273)\cdot(T_2+273)}} \tag{1.1}$$

Um modelo de predição da RES para capacitores eletrolíticos é o modelo linear inverso da eq. (1.2), onde T_c é a temperatura do capacitor em graus celsius, t é o tempo de envelhecimento em horas, $RES(0)$ é a RES inicial no tempo $t = 0$ e $RES(t)$ é a RES no tempo t. A constante k depende do tipo e construção do capacitor (LAHYANI et al., 1998).

$$\frac{1}{RES(t)} = \frac{1}{RES(0)} \left(1 - k \cdot t \cdot e^{\frac{-4700}{T_c+273}}\right) \tag{1.2}$$

Visando reduzir os requisitos de capacitância em retificadores CFP monofásicos, de modo a permitir o uso de capacitores de filme ou cerâmicos com maior vida útil, diversas abordagens têm sido propostas na literatura. Estas abordagens podem ser categorizadas em quatro tipos:

1. O uso de indutor, ao invés de capacitor, como elemento armazenador de energia: não é uma solução eficaz, pois o indutor apresenta baixa densidade de energia e elevadas perdas quando utilizado como elemento armazenador de energia, aumentando o peso, o volume e reduzindo a eficiência do conversor (WANG et al., 2012; WONG et al., 2017; YANG et al., 2014; NGUYEN; LEE, 2015; TANG et al., 2015a; HE; RUAN; ZHANG, 2017);

2. Uso de um SSC (*Stacked Switched Capacitor*) no qual capacitores de filme e/ou cerâmicos são associados em série ou removidos do circuito por meio de interruptores (PERVAIZ; KUMAR; AFRIDI, 2018a; PERVAIZ; KUMAR; AFRIDI, 2018b). Contudo tais circuitos envolvem grande número de interruptores e capacitores, requerendo um circuito de pré-carga, e não conseguem teoricamente obter desacoplamento total da ondulação de potência, existindo sempre alguma ondulação na tensão de saída (TANG et al., 2015a).

3. O aumento intencional da ondulação de tensão sobre o CDPA (GU et al., 2009). Um dos métodos utilizados é o emprego de desacoplamento ativo de potência (*Active*

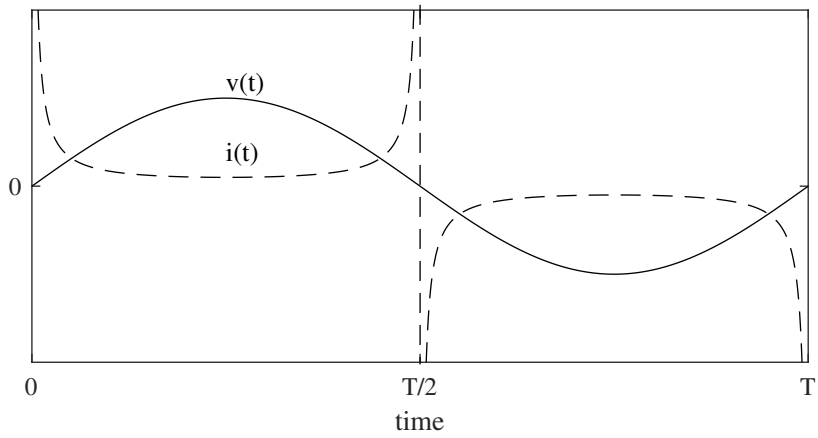
Power Decoupling, ou APD) (TANG et al., 2015a). Este aumento da ondulação de tensão permite o uso de capacitores de filme ou cerâmicos de longa vida útil (HE; RUAN; ZHANG, 2017), porém acarreta um aumento na tensão de bloqueio a ser suportada pelos interruptores, desta forma o valor mínimo de capacitância utilizado deve ser limitado para que a tensão máxima de bloqueio dos semicondutores seja aceitável (GU et al., 2009);

4. O emprego de referência para a corrente da rede elétrica contendo harmônicas ímpares (GU et al., 2009): para a remoção completa do CDPA é necessário drenar uma potência constante da rede elétrica. Neste caso a forma de onda de corrente de entrada é dada pela eq. (1.3) e mostrada na Figura 1. O fator de potência nesta condição é zero. É possível observar o compromisso existente no qual para se obter fator de potência unitário, uma elevada capacitância é necessária, enquanto que a remoção do capacitor leva a um fator de potência nulo. Desta forma, é possível reduzir a capacitância injetando apenas algumas harmônicas ímpares, até os limites permitidos pela norma IEC 61000-3-2. A terceira harmônica é a mais efetiva em reduzir a amplitude da ondulação de potência (GU et al., 2009; WANG et al., 2010).

$$i_{in}(t) = \frac{P_o}{V_m sen(\omega t)} \tag{1.3}$$

Como forma de distorcer a corrente drenada da rede elétrica, é possível a utilização de referência de corrente contendo 3ª, 5ª, etc harmônicas (GU et al., 2009); o cálculo da razão cíclica variável (para conversores em modo de condução descontínuo, MCD), (WANG et al., 2010; RUAN et al., 2011; YAO et al., 2012); e o aumento intencional da banda passante do controlador de tensão de saída (YANG et al., 2014; LAMAR et al., 2012).

Figura 1 – Formas de onda de tensão e corrente quando a potência de entrada é constante e igual à potência de saída em um retificador CFP monofásico.



Fonte: Autor.

A literatura científica tem sugerido grande interesse nos retificadores CFP monofásicos sem capacitor eletrolítico para iluminação LED. Isto se deve sobretudo à elevada vida útil do LED que é em torno de 100 000 h, sendo muito mais longa que a dos capacitores eletrolíticos que é de apenas dezenas de milhares de horas. A aplicação de corrente com ondulação de segunda harmônica sobre os LEDs leva ao uso pobre de suas características, portanto um meio de reduzir esta ondulação sem empregar capacitores eletrolíticos é desejável[5] (GU et al., 2009; WANG et al., 2010; RUAN et al., 2011; WANG et al., 2012; YANG et al., 2014; CAMPONOGARA et al., 2015; HE; RUAN; ZHANG, 2017; REDDY; NARASIMHARAJU, 2017; SOARES et al., 2017; PERVAIZ; KUMAR; AFRIDI, 2018a; PERVAIZ; KUMAR; AFRIDI, 2018b; WU et al., 2018).

Em (WANG et al., 2010; RUAN et al., 2011) um método de redução de capacitância é apresentado, pelo qual a razão entre o valor de pico e o valor médio de corrente sobre a carga (LED) é minimizada. Isto é feito por intermédio da inserção dos harmônicos 3 e 5 na corrente drenada da rede elétrica. Como o conversor utilizado é um flyback CFP operando em MCD, a forma de onda da razão cíclica é determinada de modo a se obter o mínimo fator de potência requerido pela ENERGY STAR que é 0,90, simultaneamente reduzindo a razão entre o valor de pico e o valor médio da corrente de saída de 2 para 1,34.

Em (LAMAR et al., 2012) demonstra-se que a ondulação da tensão de saída pode ser reduzida com a distorção adequada da corrente de entrada. A referência de corrente senoidal passa a ser multiplicada por um sinal composto de uma parcela constante e uma parcela senoidal com o dobro da frequência da rede elétrica e fase de $-90°$. O ganho da parcela senoidal é dado de modo a atender a norma EN 61000-3-2 para cada classe. Reportam-se reduções máximas de capacitância de 50% para as classes A e B, 23% para a classe C, e 38% para a classe D. A conclusão dos autores é de que não é possível a remoção do capacitor eletrolítico apenas distorcendo a forma de onda da corrente de entrada, sendo sugerido que além de distorcer a corrente de entrada ainda seja aumentada a amplitude da ondulação de tensão sobre o capacitor de desacoplamento de potência.

Em (WANG et al., 2012) é apresentado um conversor CFP monofásico do tipo flyback MCD com filtro ativo do tipo buck-boost conectado ao barramento de saída do conversor.

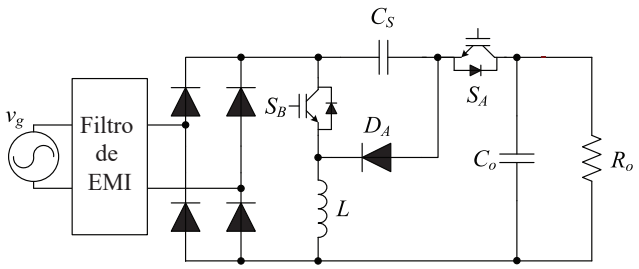
A fase das harmônicas inseridas na corrente drenada da rede elétrica também é importante na redução da capacitância. Em (YAO et al., 2012) demonstra-se que um conversor boost CFP operando em MCD possui grande distorção na corrente de entrada quando o valor de pico da tensão de entrada se aproxima da tensão de saída, sendo esta distorção causada principalmente pela 3ª harmônica com fase de 180°. Com a aplicação de

[5] O brilho de um LED é proporcional ao valor médio da corrente, mas o valor de pico da corrente deve ser limitado a fim de evitar danos ao componente. Desta forma, caso a razão entre o valor de pico e o valor médio da corrente seja muito elevada, o brilho do LED terá que ser muito limitado, subutilizando o componente.

razão cíclica variável de modo a introduzir 3ª harmônica com fase de 0° é possível reduzir o valor de capacitância necessário no barramento CC do conversor mantendo-se o mesmo valor de ondulação de tensão de saída. Constatou-se que a componente de 3ª harmônica com fase de 180° contribui com o aumento da ondulação de potência instantânea de entrada, enquanto a componente de 3ª harmônica com fase de 0° reduz esta ondulação de potência instantânea.

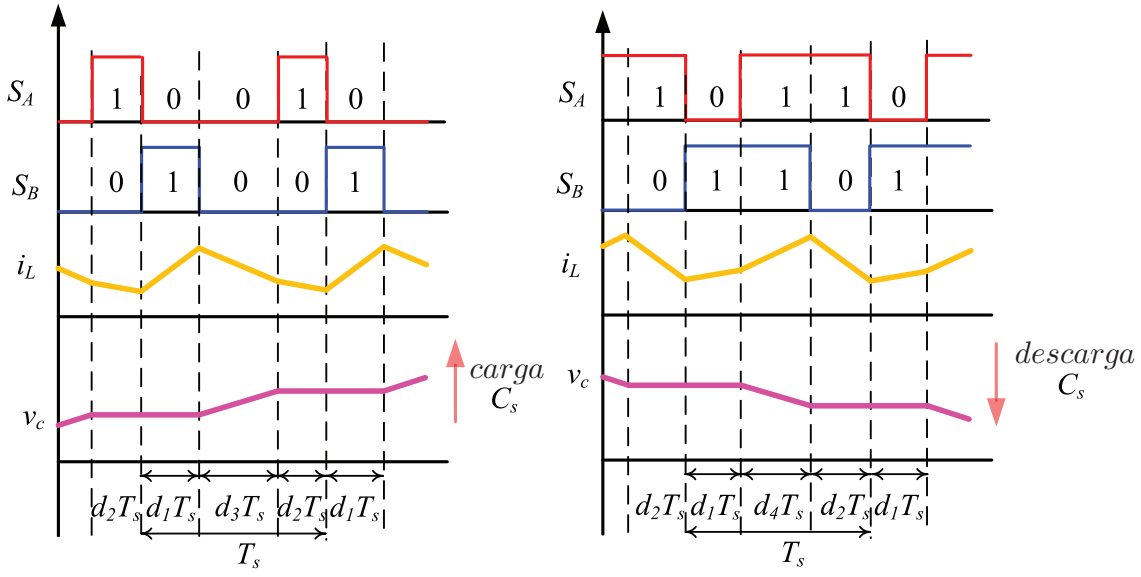
Alguns conversores possuem o CDPA embutido em sua estrutura, sendo sua carga e descarga controladas pelas etapas de operação, tais como os conversores apresentados em (OHNUMA; ITOH, 2014), e (ZHONG; MING, 2016). Como exemplo, o conversor CFP buck-boost da Figura 2 proposto em (LI et al., 2017) incorpora a função de desacoplamento de potência ativa com a adição de um interruptor e um capacitor à topologia convencional. A modulação do conversor da Figura 2 é apresentada na Figura 3, para a carga e a descarga do capacitor C_s.

Figura 2 – Conversor CFP buck-boost com CDPA (capacitor C_s) integrado à estrutura.



Fonte: (LI et al., 2017).

Figura 3 – Estratégia de modulação do conversor apresentado na Figura 2.



Fonte: Adaptado de (LI et al., 2017).

O controle direto da tensão sobre o CDPA apresentado em (OHNUMA; ITOH, 2014) não é robusto contra variações paramétricas do circuito. Caso a tolerância do capacitor seja grande ocorrerão distorções na corrente de entrada e na tensão de saída, pois a referência de tensão para o capacitor de desacoplamento é baseada em cálculo teórico.

Nos conversores boost CFP com fator de potência unitário, o valor de capacitância do CDPA necessário é diretamente proporcional à potência da carga P_o, e inversamente proporcional ao valor médio de sua tensão V_{cavg}, a sua ondulação de pico-a-pico ΔV_c, e à frequência angular da rede elétrica ω, conforme equação (1.4) e Tabela 2 (OHNUMA; ITOH, 2014; OHNUMA; ITOH, 2012).

$$C_{dc} = \frac{P_o}{\omega \Delta V_c V_{cavg}} \tag{1.4}$$

Tabela 2 – Referências que apresentam a estratégia de aumento de ondulação de tensão sobre capacitor de desacoplamento em CFP monofásico, com corrente de entrada senoidal. Todas as referências utilizaram capacitores de filme.

Referência	$f_g(Hz)$	$P_o(W)$	$V_{max}(V)$	$V_{min}(V)$	$C(\mu F)$
(HE; RUAN; ZHANG, 2017)	50	33,6	240	70	4,7
(WANG et al., 2012)	50	33,6	136	85	20
(GU et al., 2009)	50	60	514	334	3
(REDDY; NARASIMHARAJU, 2017)	50	100	300	250	15
(LI et al., 2018)	60	100	300	250	20
(QI et al., 2016)	50	100	300	250	15
(QI et al., 2018)	60	110	225	190	40
(LI et al., 2016)	50	210	250	0	25
(LIU et al., 2018b)	50	480	224	142	90
(LIU et al., 2018a)	50	500	423	370	100
(LIU; SUN; SU, 2017)	50	500	320	260	100
(LIU et al., 2017)	50	600	330	270	100
(OHNUMA; ITOH, 2014)	50	750	357	283	100
(TANG et al., 2015a)	60	1000	348	34	45
(NGUYEN; LEE, 2018)	60	1600	262,5	125	150

Fonte: Autor.

O controle dos conversores que possuem CDPA dedicado é especialmente importante na eficácia em desacoplar a ondulação entre potência instantânea de entrada e saída. Conforme demonstrado em (YANG et al., 2014), a tensão teórica que surge sobre o CDPA contém, além da parcela CC e de 2ª harmônica, múltiplos da 2ª harmônica da frequência da rede elétrica. Como muitos controladores de corrente são projetados para inserir apenas a componente de 2ª harmônica na referência de corrente ou tensão para este capacitor

(como por exemplo em (NGUYEN; LEE, 2015) que passa a corrente de saída por um compensador ressonante sintonizado na 2ª harmônica para gerar a referência de corrente), as outras componentes harmônicas continuam sendo aplicadas na corrente ou tensão de carga fazendo com que ainda persista a ondulação de tensão. Em (YANG et al., 2014) é sugerido um método para solucionar este problema, em que faz-se o *feedforward* do valor teórico de razão cíclica calculado no sinal modulante. O mesmo problema é observado em (CAMPONOGARA et al., 2015), no qual os autores também propõem um controle com ação *feedforward* para o sinal modulante. Além disso, é comum o uso de controladores de corrente repetitivos e ressonantes para garantir o elevado fator de potência da corrente drenada da rede elétrica (NGUYEN; LEE, 2015).

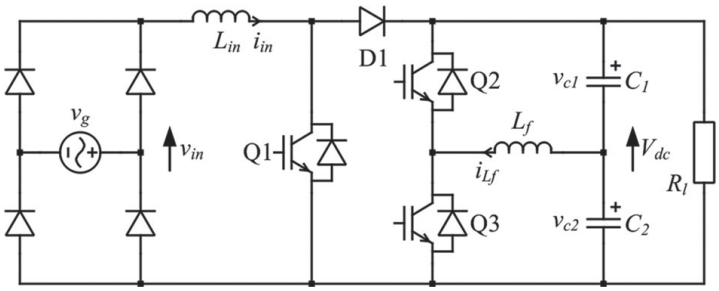
Nos conversores CFP que não possuem desacoplamento ativo de ondulação de potência o controlador do valor médio da tensão no capacitor de saída deve possuir reduzido ganho na segunda harmônica da frequência da rede elétrica, sob pena de distorções na corrente de entrada. No limite em que o controlador de tensão regula a tensão de saída em seu valor exato, sem ondulações, o capacitor perde sua função de armazenamento de energia e a potência drenada da rede elétrica é constante, levando à forma de onda de corrente mostrada na Figura 1, com DHT infinita e fator de potência igual a zero (ERICKSON; MAKSIMOVIC, 2004). O projeto deste controlador pode levar em conta apenas a dinâmica de baixa frequência, sendo desnecessário modelar o comportamento do conversor na frequência de comutação. Considera-se que os controladores de corrente de elevada banda passante se comportam idealmente em baixa frequência, isto é, a corrente controlada é igual à sua referência.

Conforme apresentado em (WANG et al., 2011), a medida que o valor médio da tensão no capacitor de desacoplamento aumenta, sua forma de onda tende a ficar menos parecida com uma senoide retificada, e mais próxima à uma senoide com frequência de duas vezes a frequência da rede elétrica. Isto facilita o controle (por reduzir a quantidade de harmônicos na referência de tensão), porém leva a subutilização do capacitor (por reduzir a ondulação de tensão) (TANG et al., 2015a).

Em (TANG et al., 2015a) é proposto um circuito, mostrado na Figura 4, para desacoplamento ativo de potência que emprega dois capacitores de filme conectados em série no barramento CC, sendo seu ponto médio conectado por meio de indutor à um circuito em meia ponte. A vantagem deste circuito é que ele permite modular a tensão nos capacitores entre 0 e a tensão máxima no barramento, utilizando os mesmos capacitores como suporte e filtro da ondulação de comutação para o conversor CFP. No artigo demonstra-se que a capacitância teórica necessária para um retificador CFP com $f_g = 60\ Hz$ e tensão de saída $V_o = 380\ V$ é de $C_{eq}/P_o = 36,7\ \mu F/kW$ ou $C_1/P_o = C_2/P_o = 73,4\ \mu F/kW$ para cada capacitor conectado em série. Um conversor CFP com capacitor eletrolítico na saída com mesma frequência da rede elétrica e tensão de saída e sem circuito de desacoplamento ativo de potência precisaria de $C_{dc}/P_o = 918,4\ \mu F/kW$ para 1% de ondulação de tensão

de saída. Isto representa uma redução teórica de 6,25 vezes. O mesmo circuito é proposto pelos autores para desacoplamento de potência em circuitos T-Type NPC para inversores fotovoltaicos e MMC usados em HVDC.

Figura 4 – Topologia com desacoplamento de potência ativa apresentada em (TANG et al., 2015a).



Fonte: (TANG et al., 2015a).

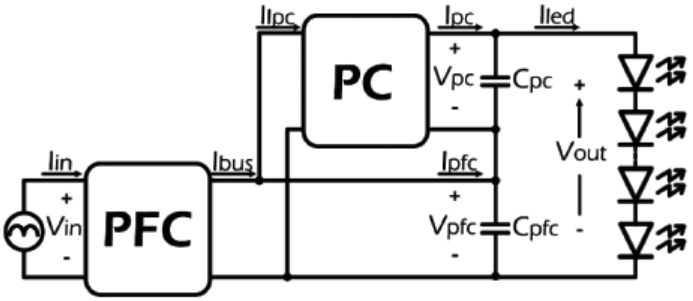
A redução de capacitância em alguns casos não é limitada pelo ondulação de tensão admissível pela carga, mas pelo requisito de *hold-up time* de certas aplicações como, por exemplo, fontes de computadores (PANG; PONG, 2013; TANG et al., 2015a; SARTORI, 2004). Mesmo nestes casos o requisito de capacitância pode ser reduzido, visto que o capacitor de desacoplamento de potência pode ser descarregado até uma tensão menor em comparação à um capacitor conectado diretamente ao barramento de saída CC (LI et al., 2018).

Dado que os conversores que utilizam filtro ativo CC possuem rendimento menor, Camponogara et al. propõem uma estrutura em cascata otimizada de um conversor CFP e um conversor unidirecional auxiliar, de modo que o conversor unidirecional é responsável apenas por processar a parcela de ondulação de potência, sem redundância no processamento de energia, conforme apresentado na Figura 5. A entrada deste conversor é ligada à saída do conversor CFP, e sua saída é conectada em série com a saída do CFP para alimentar a carga. Para reduzir a ondulação de tensão de saída, empregam-se controles *feedback* e *feedforward*. Ainda para aumentar o rendimento Tang et al. sugerem o uso de dispositivos *widebandgap* que possuem baixa resistência de canal e baixas perdas de comutação.

Em (TANG et al., 2015b) também é apresentado um conversor CFP *quasi-two-stage* com desacoplamento de potência ativa, mostrado na Figura 6. Este conversor permite obter tensões de saída maiores ou menores que a tensão de pico da rede elétrica. Nesta topologia o conversor buck processa apenas parte da potência total, aumentando o rendimento em cerca de 1% em comparação com um sistema tradicional de dois estágios.

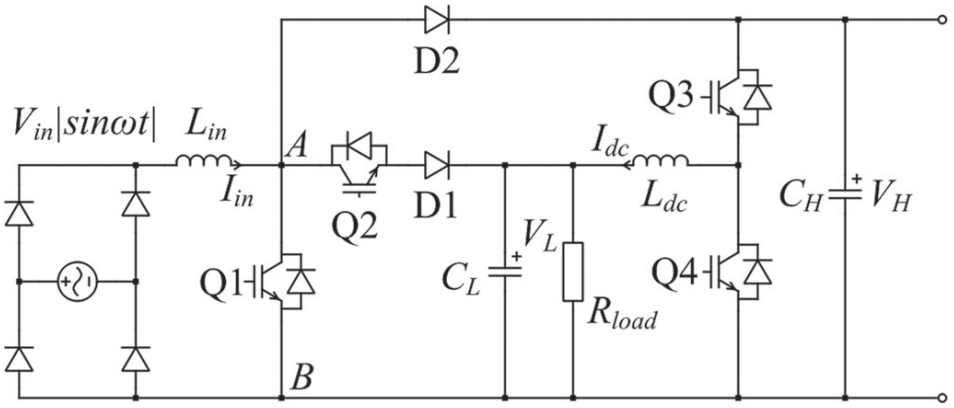
Em retificadores CFP, o uso de controle *feedforward* torna o sistema mais robusto contra variações de tensão de entrada (TANG et al., 2015b).

Figura 5 – Topologia de desacoplamento de potência ativa com melhor eficiência apresentada em (CAMPONOGARA et al., 2015).



Fonte: (CAMPONOGARA et al., 2015).

Figura 6 – Topologia de desacoplamento de potência ativa com melhor eficiência apresentada em (TANG et al., 2015b).



Fonte: (TANG et al., 2015b).

Em geral, circuitos CFP do tipo *boost* MCC operam com duas malhas de controle em cascata: a malha de corrente responsável por controlar a forma de onda da corrente da rede elétrica, com grande banda passante, e a malha de tensão, que regula o valor médio da tensão de saída. A saída do controlador de tensão é utilizada para modular a amplitude de um sinal senoidal que serve como referência para a malha de corrente. Em geral faz-se o controlador de tensão com banda passante muito lenta, da ordem de 5 a 20 Hz, de modo a suprimir as componentes oscilatórias da tensão no capacitor do barramento CC, evitando que as mesmas apareçam na saída do controlador de tensão e multipliquem a referência senoidal, o que poderia ocasionar um baixo fator de potência. Entretanto a baixa banda passante do controlador de tensão leva a um desempenho ruim no controle da tensão do barramento CC (LEUNG; LOO; LAI, 2016).

A fim de aumentar a banda passante do controlador de tensão sem distorcer a forma de onda da corrente de entrada é possível o uso de filtros do tipo *notch*, ou rejeita-faixa, de modo a remover as componentes oscilatórias da tensão de saída. Devido à dificuldade na sintonia de tais filtros e variações paramétricas, em geral os mesmos são implementados de

forma digital. Outra forma de remover a ondulação da tensão de saída é por meio do uso de um circuito estimador de ondulação (*ripple estimator*), conforme (LEUNG; LOO; LAI, 2016), que reproduz a parcela CA da tensão de saída e subtrai este valor da amostra de tensão de saída, fornecendo um sinal livre de ondulações para a entrada do controlador de tensão. O circuito eliminador de ondulações proposto é adaptativo às variações de potência de carga, tensão da rede elétrica, frequência da rede elétrica e capacitância de saída.

Em geral retificadores CFP com desacoplamento ativo de potência requerem um circuito de filtro ativo auxiliar, aumentando o número de componentes ativos. Como forma de solucionar este problema, (QI et al., 2016) propõe um retificador CFP monofásico buck-boost com desacoplamento ativo de potência, usando apenas dois interruptores. Neste artigo os autores propõem um controle automático para o desacoplamento de potência ativa. Com esta abordagem, controlam-se apenas a corrente de entrada e a tensão de saída, sendo a tensão do capacitor de desacoplamento obtida automaticamente, sem necessidade de geração de sua referência e controle. Contudo os autores propõem que a corrente de entrada é controlável por meio de uma das chaves, e a tensão de saída é controlável por meio da outra chave, existindo acoplamento dinâmico entre as malhas de controle. Desta forma é necessário o emprego de dois controladores proporcionais ressonantes para garantir erro nulo em regime permanente. O erro no valor médio de tensão no CDPA é utilizado para o controle da amplitude da corrente drenada da rede elétrica.

Um esquema de controle da tensão do CDPA para um filtro ativo bidirecional do tipo buck/boost conectado à saída de um CFP para melhorar o rendimento em baixa carga é proposto em (HE; RUAN; ZHANG, 2017). Neste esquema o valor médio da tensão no CDPA é reduzido à medida que a carga se torna menor, a fim de reduzir as perdas. A ideia fundamental é de que a ondulação de tensão sobre o capacitor de desacoplamento é proporcional a potência de saída caso o valor médio de tensão neste capacitor seja constante, e portanto em baixa carga a ondulação de tensão é menor, sendo possível reduzir o valor médio da tensão neste capacitor de forma adaptativa. Isto faz com que a ondulação de corrente no indutor seja reduzida, levando à menores perdas no indutor e menores perdas de comutação nos interruptores. Para implementar este controle adaptativo, a tensão mínima do capacitor é controlada em um valor constante. O valor mínimo da tensão no capacitor é determinado por um circuito de detecção de vale. Conforme resultados experimentais, a eficiência pode ser aumentada em 3% em um conversor com $P_o = 33,6W$ operando a 20% da carga nominal.

Neste trabalho será investigada a redução de capacitância no conversor θ (MING; ZHONG, 2017) com o uso de referência de corrente não-senoidal, tornando prático o uso de capacitores de filme ao invés de capacitores eletrolíticos. Para que isto seja possível é empregada uma estratégia de controle denominada *enhanced automatic power decoupling*, ou EAPD, na qual as malhas de controle de corrente e tensão são desacopladas (LI et al., 2018).

2 ANÁLISE ESTÁTICA DO CONVERSOR θ

O conversor-θ mostrado na Figura 7 é um conversor CA-CC monofásico bidirecional, composto de quatro interruptores dispostos em dois braços, com capacidade de desacoplamento de potência ativa, por meio do capacitor C_{dc}. Este conversor é derivado da topologia proposta pelos mesmos autores em (MING; ZHONG, 2014) e (MING; ZHONG; ZHANG, 2016) denominada conversor-ρ, tendo sido primeiramente proposta em (ZHONG et al., 2016) e aprimorada em (MING; ZHONG, 2017) com a alteração do posicionamento do indutor L_o, reduzindo seu valor eficaz de corrente.

A ondulação de tensão sobre o capacitor C_{dc} é aumentada intencionalmente, de modo que o valor de capacitância necessário para filtrar a ondulação de potência de baixa frequência seja reduzido. Isto é possível, pois o capacitor C_{dc} não alimenta nenhuma carga diretamente.

O capacitor de saída C_o é responsável pela filtragem da ondulação de alta frequência da corrente de comutação, sendo de baixo valor.

Além disso a conexão comum entre as referências de tensão de entrada e saída reduz as correntes de modo comum, pois ela curto-circuita os capacitores parasitas.

O circuito de driver do conversor θ é o mesmo do conversor *Full-bridge*, tendo S_2 e S_4 a mesma referência, e S_1 e S_3 referências flutuantes.

Este conversor pode operar com qualquer fator de potência, podendo trocar potência ativa e reativa com a rede elétrica (ZHONG; MING, 2016).

A tensão instantânea sobre o capacitor C_{dc} neste conversor é sempre maior do que a soma das tensões de entrada e saída instantâneas, conforme equação (2.1).

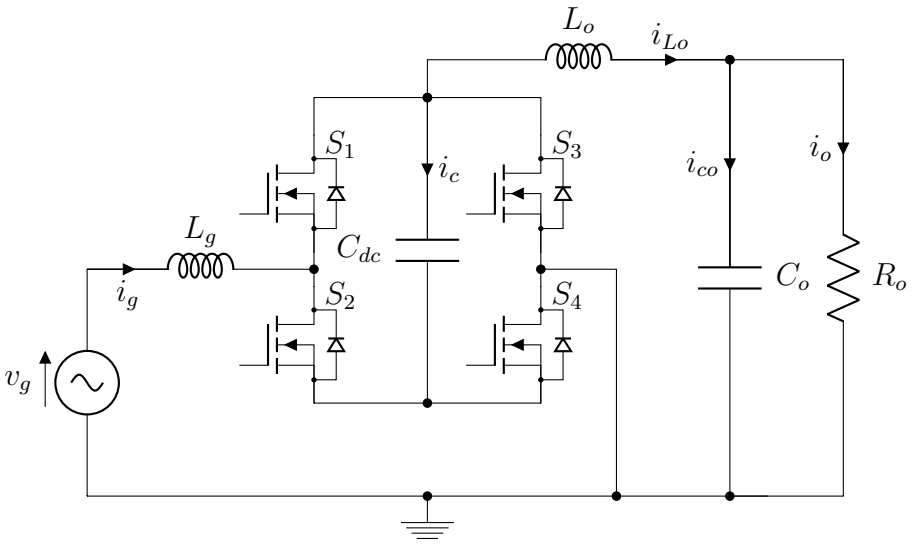
$$v_c(t) \geq V_o + v_g(t) \tag{2.1}$$

Além disso a tensão de saída do conversor-θ é sempre maior do que a tensão de pico da rede elétrica, conforme equação (2.2).

$$V_o > V_g \tag{2.2}$$

Os semicondutores devem suportar uma tensão de bloqueio maior do que a tensão máxima sobre o capacitor C_{dc}, acrescida de uma margem de segurança. Segundo os autores, a tensão de bloqueio dos interruptores costuma ser da ordem de 1200 V para aplicações com tensão de entrada de $110 - 220\ Vrms$. Como o esforço de tensão está diretamente ligado às perdas por comutação nos interruptores, há um compromisso entre redução da capacitância C_{dc} e redução das perdas por comutação.

Figura 7 – Conversor θ tal como proposto em (MING; ZHONG, 2017)



Fonte: Autor.

2.1 ETAPAS DE OPERAÇÃO

O conversor θ apresenta quatro estados topológicos, conforme apresentado nas Figuras 8, 9, 10 e 11. Os interruptores S_1 e S_2 operam de forma complementar, assim como os interruptores S_3 e S_4.

A Figura 12 apresenta o esquema de modulação do conversor θ, os sinais de gatilho e a tensão entre os pontos A e B. A Figura 13 apresenta as formas de onda da tensão v_{AB}, as tensões e correntes nos indutores e as correntes nos interruptores para cada etapa de operação durante o semiciclo positivo da rede elétrica. A Figura 14 apresenta as mesmas formas de onda para o semiciclo negativo da tensão da rede elétrica.

A análise das etapas de operação irá considerar os capacitores C_{dc} e C_o como fontes de tensão ideal. Isto pode ser feito uma vez que não há variação significativa de tensão em C_{dc} e C_o dentro de cada período de comutação. Além disso, considera-se que $v_c > V_o > v_g$.

Durante o semiciclo positivo da rede elétrica ocorrem sequencialmente os estados topológicos 1, 2, 3 e 2.

Durante o estado topológico 1 os interruptores S_2 e S_4 estão em condução, enquanto S_1 e S_3 encontram-se bloqueados. Desta maneira a corrente em L_g aumenta linearmente com derivada $di_{Lg}/dt = v_g/L_g$ enquanto a corrente em L_o aumenta com derivada $di_{Lo}/dt = (v_c - V_o)/L_o$.

No estado topológico 2, S_1 passa a conduzir e S_2 bloqueia. Desta forma a corrente em L_g passa a reduzir-se com derivada $di_{Lg}/dt = (v_g - v_c)/L_g$, enquanto a corrente em L_o continua aumentando.

Durante o estado topológico 3, S_3 entra em condução e S_4 bloqueia. Desta maneira a corrente em L_g volta a aumentar com derivada $di_{Lg}/dt = v_g/L_g$, enquanto a corrente em L_o passa a reduzir-se, com derivada $di_{Lo}/dt = -V_o/L_o$.

Por fim, com o estado topológico 2 ocorrendo novamente, a corrente em L_g volta a reduzir-se com derivada $di_{Lg}/dt = (v_g - v_c)/L_g$, enquanto a corrente em L_o aumenta de forma linear com derivada $di_{Lo}/dt = (v_c - V_o)/L_o$.

Durante o semiciclo negativo da rede elétrica ocorrem sequencialmente os estados topológicos 1, 4, 3, e 4.

Durante o estado topológico 1 os interruptores S_2 e S_4 estão em condução, enquanto S_1 e S_3 encontram-se bloqueados. Desta maneira a corrente em L_g reduz-se linearmente com derivada $di_{Lg}/dt = v_g/L_g$ enquanto a corrente em L_o aumenta com derivada $di_{Lo}/dt = (v_c - V_o)/L_o$.

No estado topológico 4 o interruptor S_3 passa a conduzir e S_4 bloqueia, levando a corrente em L_g a aumentar com derivada $di_{Lg}/dt = (v_g + v_c)/L_g$, enquanto a corrente em L_o reduz-se com derivada $di_{Lo}/dt = -V_o/L_o$.

No estado topológico 3, o interruptor S_1 entra em condução e S_2 bloqueia. A corrente em L_g reduz-se com derivada $di_{Lg}/dt = v_g/L_g$, enquanto a corrente em L_o continua reduzindo-se.

De volta ao estado topológico 4, o interruptor S_2 entra em condução e S_1 bloqueia. A corrente em L_g aumenta com derivada $di_{Lg}/dt = (v_g + v_c)/L_g$, enquanto a corrente em L_o continua em queda.

Sejam as razões cíclicas de cada estado topológico representadas por d_{e1}, d_{e2}, d_{e3}, e d_{e4}, e definidas por (2.3), onde t_{en} é o intervalo de tempo em que ocorre o enésimo estado topológico, e T_s é o período de comutação. As razões cíclicas dos interruptores são representadas por d_1, d_2, d_3, e d_4, e definidas por (2.4), onde t_n é o intervalo de tempo em que o interruptor S_n conduz dentro do período de comutação. Considerando as Figuras 8, 9, 10, e 11, é possível escrever as relações mostradas nas equações (2.5), (2.6), e (2.7).

$$d_{en} = \frac{t_{en}}{T_s} \tag{2.3}$$

$$d_n = \frac{t_n}{T_s} \tag{2.4}$$

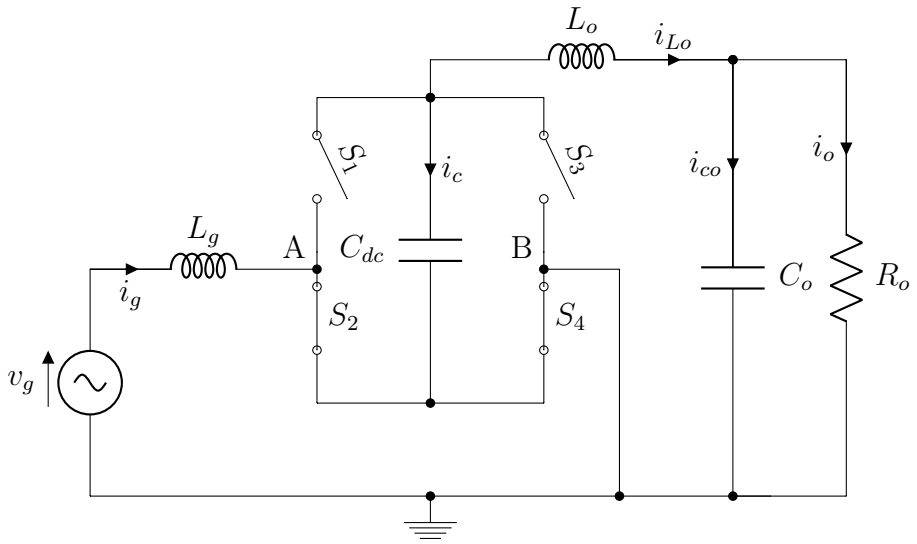
$$d_2 = d_{e1} + d_{e4} \tag{2.5}$$

$$d_4 = d_{e1} + d_{e2} \tag{2.6}$$

$$1 = d_{e1} + d_{e2} + d_{e3} + d_{e4} \tag{2.7}$$

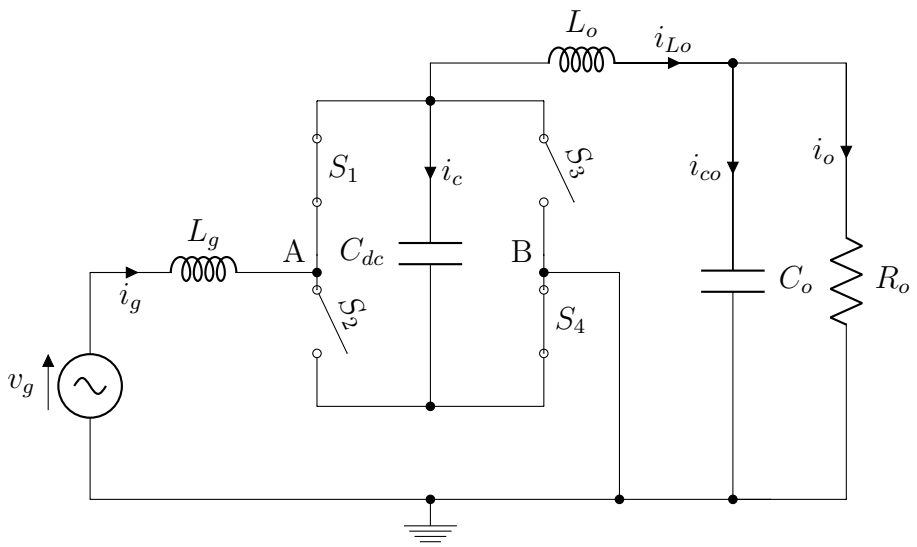
Considerando que a frequência de comutação é muito maior que a frequência da rede elétrica, isto é $f_s >> f_g$, então é possível assumir que não há incremento ou decremento

Figura 8 – Primeiro estado topológico



Fonte: Autor.

Figura 9 – Segundo estado topológico



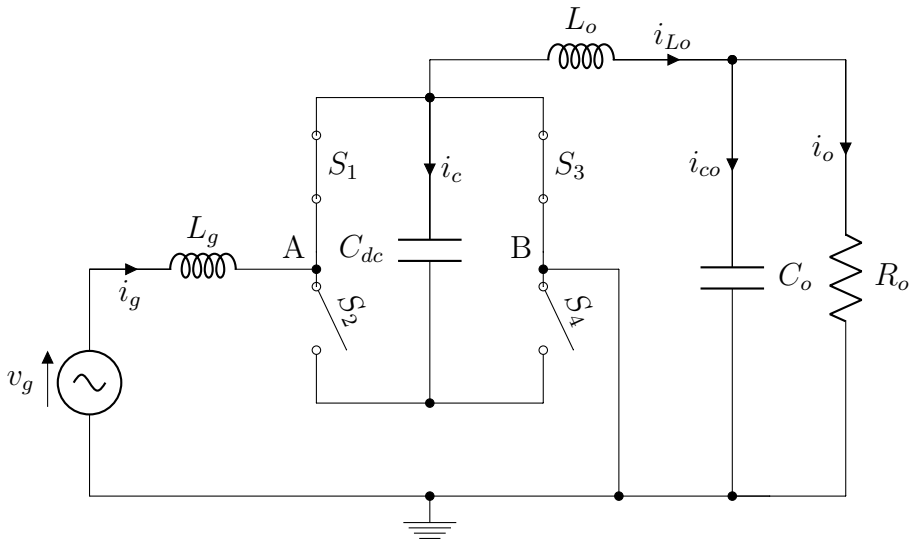
Fonte: Autor.

líquido nas correntes dos indutores dentro de um período de comutação. Isto significa que é possível considerar que o valor médio de tensão sobre cada indutor é nulo dentro de um período de comutação, conforme equações (2.8) e (2.9).

$$\langle v_{Lg} \rangle_{T_s} = \frac{1}{T_s} \int_0^{T_s} v_{Lg} dt = v_g + (d_{e4} - d_{e2}) v_c = v_g + (d_2 - d_4) v_c = 0 \tag{2.8}$$

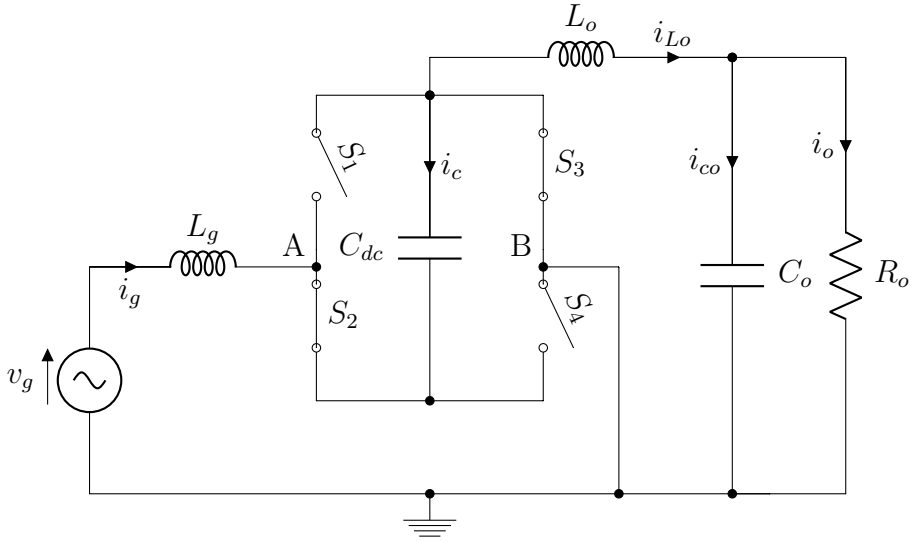
$$\langle v_{Lo} \rangle_{T_s} = \frac{1}{T_s} \int_0^{T_s} v_{Lo} dt = (d_{e1} + d_{e2}) v_c - V_o = d_4 v_c - V_o = 0 \tag{2.9}$$

Figura 10 – Terceiro estado topológico



Fonte: Autor.

Figura 11 – Quarto estado topológico



Fonte: Autor.

A partir destas equações podem-se isolar as razões cíclicas dos interruptores, conforme as equações (2.11), (2.10), (2.12) e (2.13).

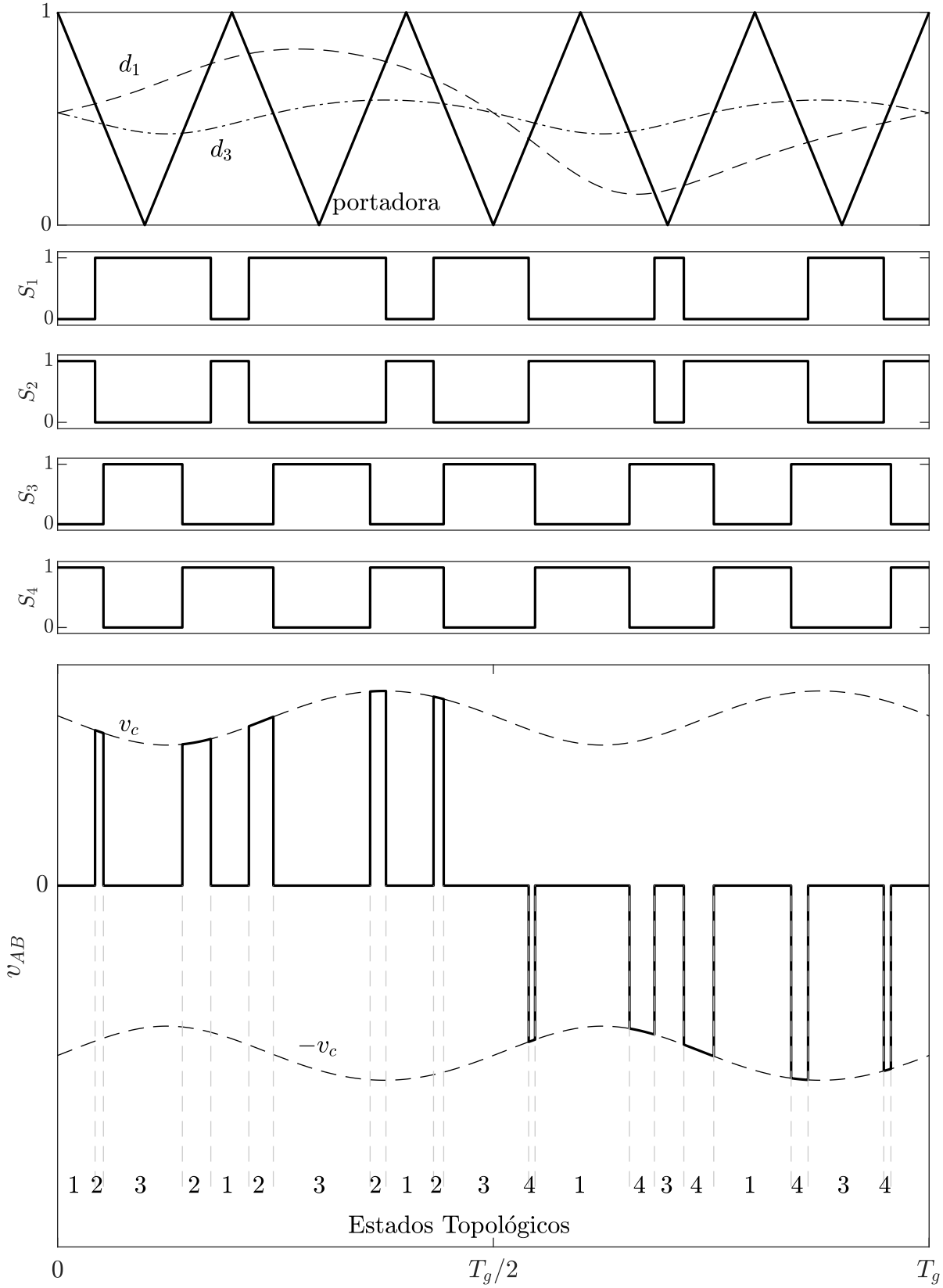
$$d_4 = \frac{V_o}{v_c} \tag{2.10}$$

$$d_2 = d_4 - \frac{v_g}{v_c} = \frac{V_o - v_g}{v_c} \tag{2.11}$$

$$d_1 = 1 - d_2 = 1 - \frac{V_o - v_g}{v_c} \tag{2.12}$$

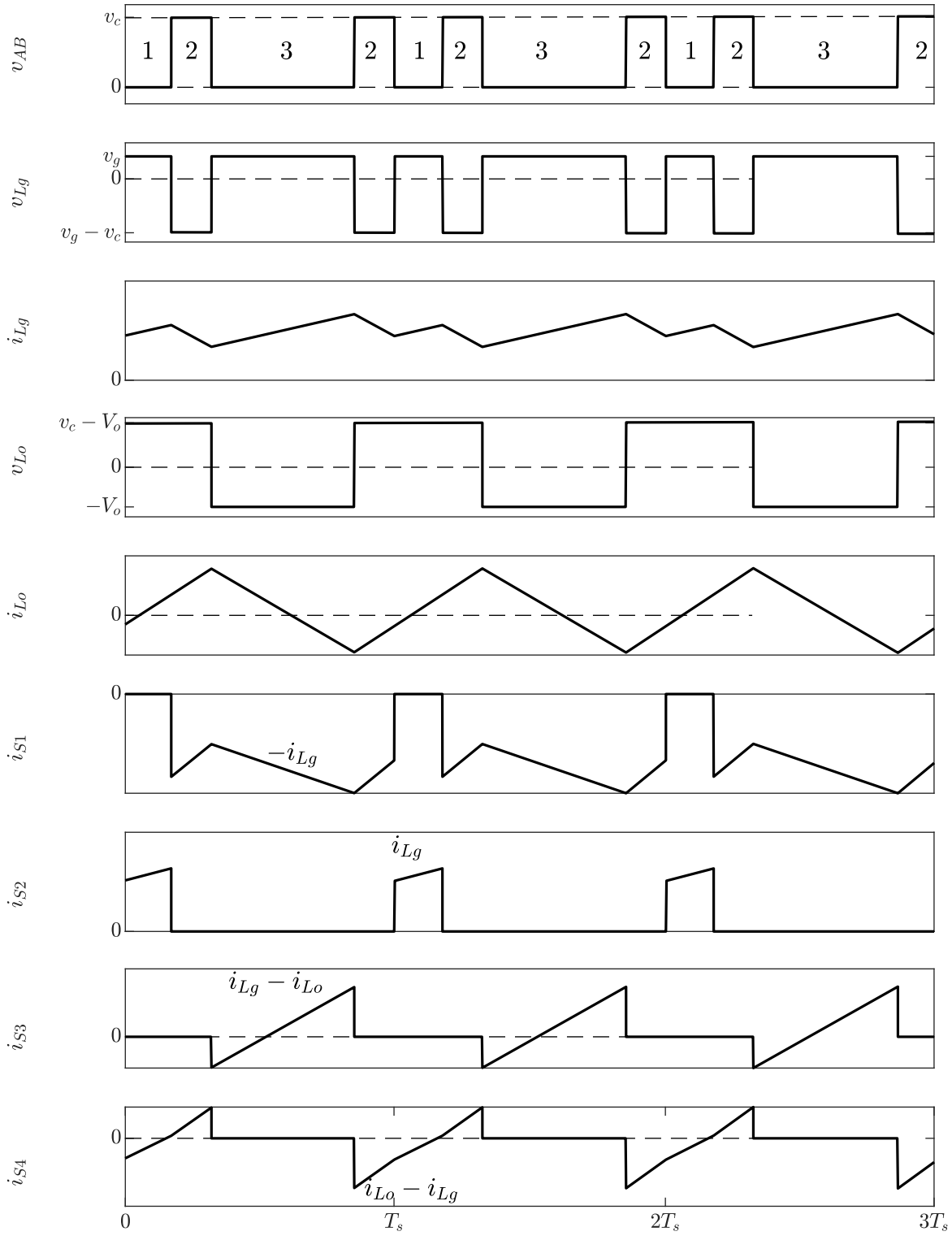
$$d_3 = 1 - d_4 = 1 - \frac{V_o}{v_c} \tag{2.13}$$

Figura 12 – Esquema de modulação para o conversor-θ. De cima para baixo: portadora e sinais modulantes dos interruptores S_1 e S_3 (d_1 e d_3), pulsos de gatilho dos interruptores, tensão entre os pontos A e B, e os estados topológicos.



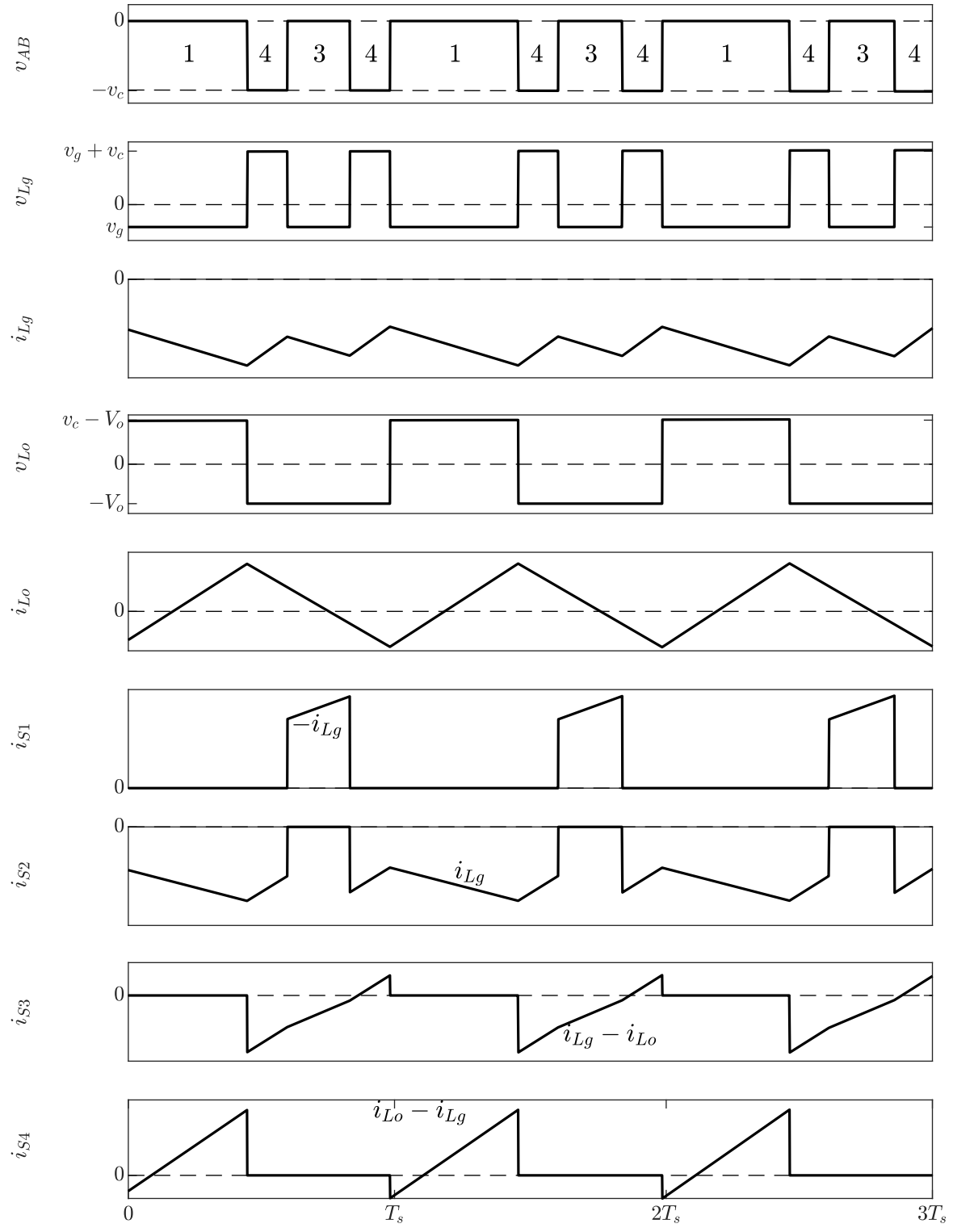
Fonte: Autor.

Figura 13 – Formas de onda para o semiciclo positivo da rede elétrica, $v_g > 0$. Os números dentro da primeira forma de onda representam os estados topológicos, como apresentados nas Figuras 8, 9, 10 e 11.



Fonte: Autor.

Figura 14 – Formas de onda para o semiciclo negativo da rede elétrica, $v_g < 0$. Os números dentro da primeira forma de onda representam os estados topológicos, como apresentados nas Figuras 8, 9, 10 e 11.



Fonte: Autor.

2.2 DIMENSIONAMENTO DO CAPACITOR C_{dc}

Para que seja possível determinar-se o valor de capacitância e o valor eficaz de corrente[1] no capacitor C_{dc} é necessária uma análise da potência no conversor CA-CC.

Esta seção divide esta análise em duas subseções: a primeira, na qual se considera a corrente e a tensão de entrada do lado CA senoidais; e a segunda, na qual são consideradas formas de onda de tensão e corrente genéricas do lado CA.

2.2.1 Tensão e Corrente da Rede Elétrica Senoidais

Sejam as formas de onda de tensão e corrente de um retificador monofásico que apresenta o indutor L no lado CA dadas por:

$$v_g = V_g sen(\omega t) \tag{2.14}$$

$$i_g = I_g sen(\omega t + \phi) \tag{2.15}$$

Onde V_g, e I_g são os valores de pico de tensão e corrente da rede elétrica, ω é a frequência angular da rede elétrica, t é o tempo, e ϕ é a defasagem da corrente em relação à tensão.

A potência drenada da rede elétrica é:

$$p_g = v_g i_g \tag{2.16}$$

$$= \frac{V_g I_g}{2} \left(cos(\phi) - cos(2\omega t + \phi)\right) \tag{2.17}$$

A potência trocada com o indutor de entrada é dada por:

$$p_L = i_g v_L = i_g L \frac{di_g}{dt} \tag{2.18}$$

$$= \frac{\omega L I_g^2}{2} sen(2\omega t + 2\phi) \tag{2.19}$$

A potência recebida pelo lado CC (antes de qualquer capacitor de filtragem) é dada por:

$$p_{cc} = p_g - p_L \tag{2.20}$$

$$= \frac{V_g I_g}{2} cos(\phi) + \left(-\frac{V_g I_g}{2} cos(2\omega t + \phi) - \frac{\omega L I_g^2}{2} sen(2\omega t + 2\phi) \right) \tag{2.21}$$

$$= P_c + p_r \tag{2.22}$$

[1] Nesta seção apenas a ondulação de corrente de baixa frequência é considerada no cálculo do valor eficaz de corrente em C_{dc}. A ondulação de corrente de alta frequência possui efeito ainda mais significativo no valor eficaz da corrente em C_{dc}, porém sua forma de onda é consideravelmente mais complexa, de modo que o valor eficaz real para seleção do capacitor é feito utilizando-se simulação numérica.

Onde P_c é a parcela constante da potência de saída, e p_r é a parcela oscilatória, dadas por:

$$P_c = \frac{V_g I_g}{2} cos(\phi) \tag{2.23}$$

$$p_r = -\frac{V_g I_g}{2} cos(2\omega t + \phi) - \frac{\omega L I_g^2}{2} sen(2\omega t + 2\phi) \tag{2.24}$$

A parcela oscilatória da potência p_r pode ser escrita sob a forma:

$$p_r = P_r sen(2\omega t + \theta) \tag{2.25}$$

Onde:

$$P_r = \frac{I_g}{2}\sqrt{V_g^2 + (\omega L I_g)^2 + 2V_g I_g \omega L sen(\phi)} \tag{2.26}$$

$$\theta = atan\left(\frac{-V_g cos(\phi) - \omega L I_g sen(2\phi)}{V_g sen(\phi) - \omega L I_g cos(2\phi)}\right) \tag{2.27}$$

Desprezando-se a parcela de potência devida ao indutor, isto é $p_L = 0$, podem-se aproximar as equações (2.26) e (2.27) por:

$$P_r = \frac{V_g I_g}{2} \tag{2.28}$$

$$\theta = \phi - \frac{\pi}{2} \tag{2.29}$$

Considerando que toda a potência oscilatória é armazenada no CDPA, com capacitância C_{dc}, vem:

$$\int C_{dc} v_c dv_c = \int p_r(t) dt \tag{2.30}$$

$$\frac{C_{dc} v_c^2}{2} = \frac{-P_r cos(2\omega t + \theta)}{2\omega} + K_1 \tag{2.31}$$

$$v_c(t) = \sqrt{\frac{2}{C_{dc}}\left(K_1 - \frac{P_r}{2\omega} cos(2\omega t + \theta)\right)} \tag{2.32}$$

O valor mínimo da tensão no capacitor C_{dc} ocorre quando $cos(2\omega t + \theta) = 1$, sendo dado por:

$$V_{cmin} = \sqrt{\frac{2}{C_{dc}}\left(K_1 - \frac{P_r}{2\omega}\right)} \tag{2.33}$$

$$K_1 = \frac{V_{cmin}^2 C_{dc}}{2} + \frac{P_r}{2\omega} \tag{2.34}$$

Logo, a tensão no CDPA é dada por[2]:

$$v_c(t) = \sqrt{V_{cmin}^2 + \frac{P_r}{\omega C_{dc}}(1 - cos(2\omega t + \theta))} \tag{2.35}$$

[2] Esta expressão é apresentada em (LI et al., 2017) e (OHNUMA; ITOH, 2014).

Considerando que a máxima tensão sobre C_{dc} ocorre quando $cos(2\omega t + \theta) = -1$, seu valor é:

$$V_{cmax} = \sqrt{V_{cmin}^2 + \frac{2P_r}{\omega C_{dc}}} \tag{2.36}$$

Logo a capacitância necessária para que os valores máximo e mínimo de tensão sobre o capacitor sejam V_{cmax} e V_{cmin} respectivamente, é dada por:

$$C_{dc} = \frac{2P_r}{\omega(V_{cmax}^2 - V_{cmin}^2)} \tag{2.37}$$

Considerando ainda que a ondulação de tensão de pico a pico no capacitor é dada pela equação (2.38) e que o valor médio de tensão no capacitor pode ser aproximado pela equação (2.39), o valor de capacitância do capacitor pode ser expresso pela equação (2.40).

$$\Delta V_c = V_{cmax} - V_{cmin} \tag{2.38}$$

$$V_{cavg} = \frac{\omega}{\pi}\int_0^{\frac{\pi}{\omega}} v_c(t)dt \approx \frac{V_{cmax} + V_{cmin}}{2} \tag{2.39}$$

$$C_{dc} = \frac{P_r}{\omega \Delta V_c V_{cavg}} \tag{2.40}$$

A corrente no capacitor C_{dc} pode ser determinada com o uso de (2.25) e (2.35),

$$i_c = \frac{p_r}{v_c} \tag{2.41}$$

O valor eficaz da corrente em C_{dc} pode ser determinado de forma numérica:

$$I_{crms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} i_c(t)^2 dt} \tag{2.42}$$

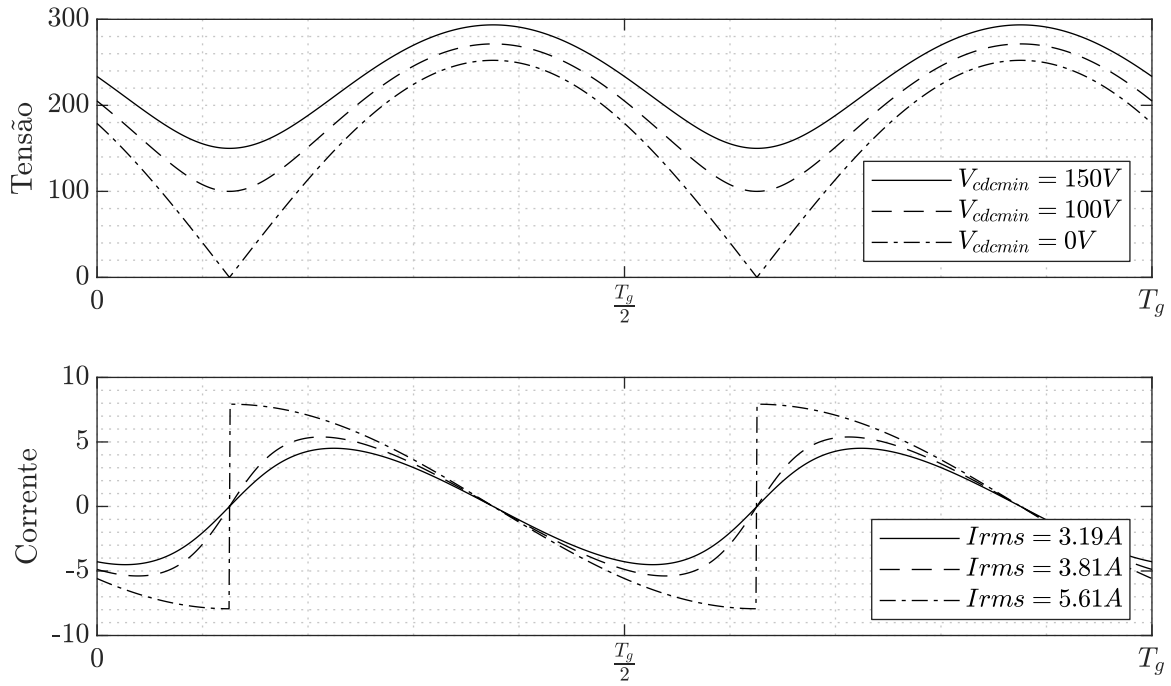
$$I_{crms} = \sqrt{\frac{1}{2\pi}\int_0^{2\pi} \left(\frac{P_r sen(\alpha)}{\sqrt{Vcmin^2 + \frac{P_r}{\omega C_{dc}}(1 - cos(\alpha))}}\right)^2 d\alpha} \tag{2.43}$$

De acordo com a equação (2.35) pode-se verificar que a tensão no capacitor de desacoplamento é composta não somente pela componente em segunda harmônica da frequência da rede elétrica, mas também harmônicas de ordem mais elevada[3]. Como ilustração, a Figura 15 apresenta as formas de onda de tensão e corrente num capacitor com $C_{dc} = 100\ \mu F$, para um conversor CFP com $P_o = 1\ kW, V_{grms} = 220\ V, f_g = 50\ Hz$ e fator de potência unitário, para três valores de tensão mínima no capacitor[4] ($150\ V, 100\ V$ e $0\ V$), utilizando-se a equação (2.35).

[3] Isto pode ser verificado calculando-se as harmônicas de um caso particular desta expressão: $v(t) = \sqrt{1 + (1 - cos(2 \cdot 2 \cdot \pi \cdot 50 \cdot t))}$. As amplitudes harmônicas deste sinal são dadas por $V_0 = 1,391$, $V_2 = 0,363$, $V_4 = 0,024$, $V_6 = 0,003$, etc.

[4] A análise apresentada nesta seção a respeito da tensão e corrente é válida para qualquer conversor CA-CC monofásico que contenha um CDPA. Contudo, o valor mínimo de tensão no CDPA de $0\ V$ é utilizado somente para ilustrar o fato de que a forma de onda de tensão no capacitor tende à uma senóide retificada, embora no conversor θ a tensão mínima do CDPA é limitada em ser a soma das tensões instantâneas da rede elétrica e da carga.

Figura 15 – Tensão e corrente no CDPA. Parâmetros: $P_o = 1\ kW, V_{grms} = 220\ V, f_g = 50\ Hz, L_g = 1\ mH, FP = 1$.



Fonte: Autor.

Na Figura observa-se que à medida que a tensão mínima é reduzida, aumenta a amplitude da ondulação de tensão sobre o capacitor, assim como a forma de onda apresenta maior aspecto de uma senoide retificada. A corrente no capacitor apresenta maior ondulação à medida que a tensão mínima é reduzida, aumentando seu valor eficaz.

2.2.2 Tensão e Corrente da Rede Elétrica Genéricas

Sejam as formas de onda genéricas com harmônicos da tensão da rede elétrica v_g e corrente drenada pelo conversor i_g dadas pelas equações (2.44) e (2.45).

$$v_g = \sum_{n=1}^{k} V_n sen(n\omega_g t) \tag{2.44}$$

$$i_g = \sum_{n=1}^{k} I_n sen(n\omega_g t + \phi_n) \tag{2.45}$$

As potências drenada da rede elétrica p_g, trocada com o indutor p_L e introduzida ao lado CC p_{cc} são dadas por:

$$p_g = v_g i_g \tag{2.46}$$

$$p_L = i_g v_L = i_g L \frac{di_g}{dt} \tag{2.47}$$

$$p_{cc} = p_g - p_L = P_c + p_r \tag{2.48}$$

Sejam as parcelas constante P_c e oscilatória p_r da potência p_{cc}, dadas pelas equações (2.49) e (2.50).

$$P_c = \frac{1}{T_g}\int_0^{T_g} p_{cc}(t)dt \tag{2.49}$$

$$p_r = p_{cc} - P_c \tag{2.50}$$

Sendo $e(t)$ a energia armazenada no capacitor de desacoplamento, vem:

$$e(t) = \int_0^t p_r(\tau)d\tau \tag{2.51}$$

$$\int C_{dc}v_c dv_c = e(t) \tag{2.52}$$

$$\frac{C_{dc}v_c^2}{2} = e(t) + K_1 \tag{2.53}$$

$$v_c = \sqrt{\frac{2}{C_{dc}}e(t) + K_2} \tag{2.54}$$

A função $e(t)$ é periódica, apresentando valores mínimo e máximo que se repetem a cada meio período da rede elétrica. Definindo os valores mínimo e máximo de $e(t)$ como e_{min} e e_{max}, vem:

$$V_{cmin} = \sqrt{\frac{2}{C_{dc}}e_{min} + K_2} \tag{2.55}$$

$$K_2 = V_{cmin}^2 - \frac{2}{C_{dc}}e_{min} \tag{2.56}$$

$$v_c(t) = \sqrt{V_{cmin}^2 + \frac{2}{C_{dc}}(e(t) - e_{min})} \tag{2.57}$$

A tensão máxima no capacitor $v_c(t) = V_{cdcmax}$ ocorre quando $e(t) = e_{max}$, logo:

$$V_{cmax} = \sqrt{V_{cmin}^2 + \frac{2}{C_{dc}}(e_{max} - e_{min})} \tag{2.58}$$

A capacitância do capacitor nestas condições é dada por:

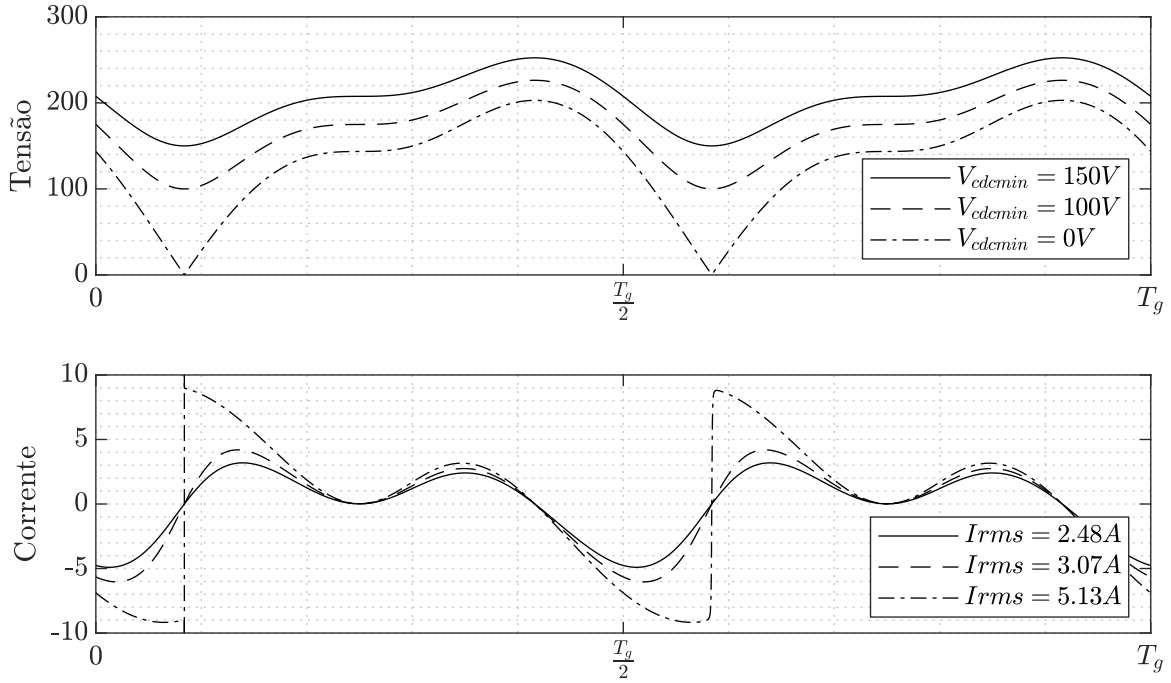
$$C_{dc} = \frac{2(e_{max} - e_{min})}{V_{cmax}^2 - V_{cmin}^2} \tag{2.59}$$

Desta forma, sendo dados os valores de tensão mínima e máxima desejados sobre o capacitor de desacoplamento, considerando formas de onda de tensão e corrente contendo harmônicos, pode-se calcular o valor da capacitância por meio da equação (2.59), e a forma de onda de tensão sobre o capacitor pela equação (2.57).

Da mesma forma que para o caso senoidal, a corrente instantânea no capacitor pode ser calculada dividindo-se a potência instantânea dada em (2.50), pela tensão instantânea dada em (2.57):

$$i_c = \frac{p_r}{v_c} \tag{2.60}$$

Figura 16 – Tensão e corrente no CDPA. Parâmetros: $P_o = 1\ kW, V_{grms} = 220\ V, f_g = 50\ Hz, L_g = 1\ mH$, corrente de entrada com terceira harmônica $I_{3pk} = 2,3\sqrt{2}\ A$



Fonte: Autor.

O valor eficaz de corrente pode ser obtido de forma numérica:

$$I_{crms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} i_c(t)^2 dt} \tag{2.61}$$

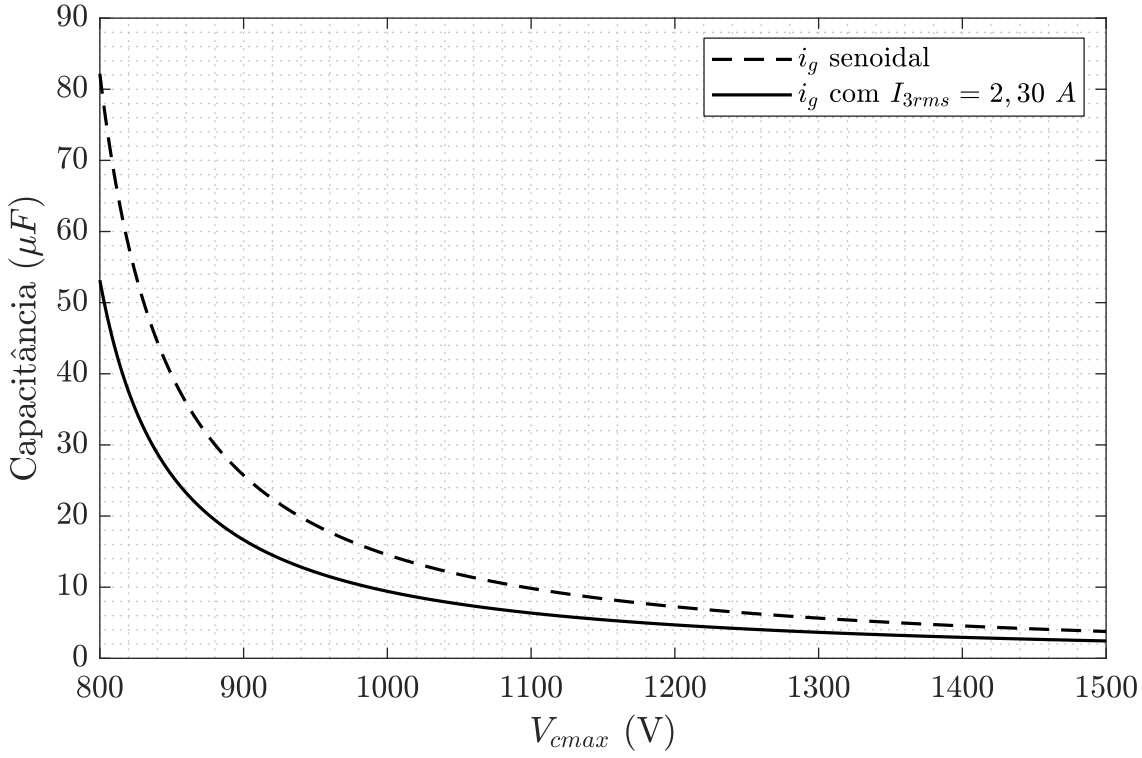
Como ilustração, a Figura 16 apresenta as formas de onda de tensão e corrente para um capacitor $C_{dc} = 100\ \mu F$, em um conversor CFP com $P_o = 1\ kW, V_{grms} = 220\ V, f_g = 50\ Hz, L = 1\ mH$, considerando que a tensão de entrada seja senoidal, e a corrente contenha 3ª harmônica com fase de 0° e amplitude no limite da IEC61000-3-2 para a classe A, isto é, $I_{3pk} = 2,3\sqrt{2}\ A$.

De acordo com a Figura 16, com a redução da tensão mínima no CDPA o valor eficaz de corrente aumenta. Além disso, como pode ser observado da comparação entre as Figuras 15 e 16, com o uso de 3ª harmônica reduzem-se o valor da ondulação de tensão e o valor eficaz de corrente no CDPA.

Considerando-se a expressão (2.59), com $V_{grms} = 220\ V, P_o = 1\ kW, V_o = 400\ V, f_g = 50\ Hz, L_g = 466\ \mu H$ e considerando ainda que para o conversor θ a tensão mínima em C_{dc} é $V_{cmin} > V_g + V_o, V_{cmin} = 750\ V$[5] é possível determinar o valor da tensão máxima no capacitor C_{dc}. A Figura 17 apresenta a capacitância necessária para cada valor de tensão

[5] Este é um critério conservador baseado na equação (2.1). Se a tensão mínima em C_{dc} é sempre maior que o valor de pico da tensão da rede elétrica adicionada da tensão de saída, então a tensão instantânea em C_{dc} sempre será maior que a soma instantânea da tensão da rede elétrica com a tensão de saída.

Figura 17 – Capacitância versus tensão máxima no capacitor C_{dc}.



Fonte: Autor.

máxima no capacitor C_{dc} considerando corrente de entrada puramente senoidal, e corrente de entrada contendo 3ª harmônica com o máximo valor permitido pela IEC61000-3-2 para a classe A.

Pela Figura 17 pode-se observar a existência de um compromisso entre a redução da capacitância e o aumento da tensão de bloqueio dos interruptores. Pela Figura calcula-se uma redução teórica de $35,3\%$ da capacitância de C_{dc} com o uso de referência de corrente contendo 3ª harmônica. Nestas condições a distorção harmônica total é de $DHT = 50,6\%$, produzindo um fator de potência $FP = 0,8923$. O código para geração da Figura 17 é dado no apêndice B.

Considerando o uso de componentes harmônicas de corrente acima da 3ª, a Tabela 3 apresenta os resultados de redução de capacitância que podem ser obtidos, assim como a DHT e o fator de potência. Os valores eficazes de corrente foram limitados aos máximos absolutos da classe A da IEC61000-3-2. O código em Matlab para gerar os valores dados na Tabela 3 é dado no apêndice C.

Conforme pode ser observado na Tabela 3, é possível uma redução teórica da capacitância mínima de $14,55\ \mu F$ para $7,33\ \mu F$ com o emprego das harmônicas ímpares $3, 5, 7$ e 9, ainda atendendo os limites da classe A, entretanto o fator de potência é bastante degradado. Como se percebe, a 3ª harmônica é a mais efetiva em reduzir o requisito de capacitância para o CDPA.

Tabela 3 – Relação entre componentes harmônicas da corrente de entrada e capacitância C_{dc} mínima teórica.

Valores eficazes das harmônicas de i_g (A)							
I_1	I_3	I_5	I_7	I_9	C_{dc} (μF)	$DHT(\%)$	FP
$4,546$	0	0	0	0	$14,55$	$0,00$	$1,0000$
$4,546$	$2,300$	0	0	0	$9,418$	$50,60$	$0,8923$
$4,546$	$2,300$	$1,140$	0	0	$7,966$	$56,47$	$0,8707$
$4,546$	$2,300$	$1,140$	$0,770$	0	$7,346$	$58,96$	$0,8614$
$4,546$	$2,300$	$1,140$	$0,770$	$0,147$	$7,330$	$59,05$	$0,8611$

Fonte: Autor.

2.3 DIMENSIONAMENTO DO INDUTOR L_g

A ondulação de alta frequência no indutor de entrada L_g pode ser calculada considerando as formas de onda mostradas nas Figuras 13 e 14.

Considerando o semiciclo positivo da tensão da rede elétrica $v_g(t) > 0$, durante a etapa de operação $0 < t < d_{e3}T_s$ a corrente no indutor se eleva de seu valor mínimo até seu valor máximo, logo:

$$I_{Lgmin} + \frac{v_g}{L_g} d_{e3} T_s = I_{Lgmax} \tag{2.62}$$

Portanto:

$$\Delta i_{Lg,v_g>0} = I_{Lgmax} - I_{Lgmin} = \frac{v_g d_{e3}}{L_g f_s} \tag{2.63}$$

Considerando que durante o semiciclo positivo da tensão da rede elétrica $d_{e3} = 1 - d_4$, a ondulação de corrente no indutor L_g pode ser escrita:

$$\Delta i_{Lg,v_g>0}(t) = \frac{v_g(t)(1 - d_4(t))}{L_g f_s} \tag{2.64}$$

Considerando-se ainda a equação (2.10), pode-se chegar à expressão da ondulação de pico-a-pico da corrente no indutor L_g durante o semiciclo positivo da tensão da rede elétrica:

$$\Delta i_{Lg,v_g>0}(t) = \frac{v_g(t)\left(1 - \frac{V_o}{v_c(t)}\right)}{L_g f_s} \tag{2.65}$$

Durante o semiciclo negativo da tensão da rede elétrica, $v_g(t) < 0$, e a corrente através do indutor L_g decresce de seu valor máximo até seu valor mínimo no intervalo de tempo $0 < t < d_{e1}T_s$, logo:

$$I_{Lgmax} + \frac{v_g}{L_g} d_{e1} T_s = I_{Lgmin} \tag{2.66}$$

Desta forma:

$$\Delta i_{Lg,v_g<0} = -\frac{v_g d_{e1}}{L_g f_s} \tag{2.67}$$

Considerando que durante o semiciclo negativo da tensão da rede elétrica $d_{e1} = d_4$, vem:

$$\Delta i_{Lg,v_g<0}(t) = -\frac{v_g(t)d_4(t)}{L_g f_s} \tag{2.68}$$

Usando-se a equação (2.10), pode-se escrever a expressão da ondulação de corrente no indutor L_g durante o semiciclo negativo da tensão da rede elétrica:

$$\Delta i_{Lg,v_g<0}(t) = -\frac{V_o v_g(t)}{v_c(t)L_g f_s} \tag{2.69}$$

A expressão completa da ondulação da corrente no indutor L_g válida para todo o período da rede elétrica é obtida com a utilização das equações (2.65) e (2.69), e mostrada na equação (2.70).

$$\Delta i_{Lg}(t) = \begin{cases} \dfrac{v_g(t)\,(v_c(t) - V_o)}{v_c(t)L_g f_s} & v_g(t) \geq 0 \\ -\dfrac{V_o v_g(t)}{v_c(t)L_g f_s} & v_g(t) < 0 \end{cases} \tag{2.70}$$

Como a ondulação de corrente definida pela equação (2.70) depende de duas tensões que variam com o tempo, é difícil encontrar uma expressão que forneça a indutância para um determinado valor de ondulação de corrente máximo no indutor para uma dada forma de onda genérica $v_c(t)$. Desta forma, um critério conservador é assumir os valores críticos das funções $v_g(t)$ e $v_c(t)$ que maximizem o valor de Δi_{Lg}, tal como representado pela equação (2.71).

$$L_g = \frac{V_g(V_{cmax} - V_o)}{V_{cmax} f_s \Delta i_{Lgmax}} \tag{2.71}$$

O valor eficaz de corrente em L_g pode ser facilmente calculado considerando-se que ele é composto por uma parcela triangular de alta frequência, cujo valor de pico máximo é $\frac{\Delta i_{Lgmax}}{2}$, de uma parcela fundamental, cujo valor eficaz é $\frac{P_o}{V_{grms}}$ e n harmônicos ímpares da frequência da rede elétrica, logo:

$$i_{Lgrms} = \sqrt{\left(\frac{\Delta i_{Lgmax}}{2\sqrt{3}}\right)^2 + \left(\frac{P_o}{V_{grms}}\right)^2 + \sum_{h=3}^{n} I_{nrms}^2} \tag{2.72}$$

2.4 DIMENSIONAMENTO DO INDUTOR L_o

Em relação à ondulação de corrente no indutor L_o, pode-se observar pelas Figuras 13 e 14 que durante os estados topológicos 1 e 2 a tensão sobre o indutor é $v_c(t) - V_o$, enquanto que durante os estados topológicos 3 e 4, a tensão sobre o mesmo é $-V_0$. Desta forma pode-se escrever:

$$I_{Lomax} = I_{Lomin} + \frac{v_c(t) - V_o}{L_o}(d_{e1} + d_{e2})T_s \tag{2.73}$$

$$\Delta i_{Lo}(t) = \frac{v_c(t) - V_o}{L_o f_s} d_4(t) \tag{2.74}$$

Substituindo-se o valor de razão cíclica d_4 dado na equação (2.10), obtém-se a ondulação de corrente no indutor L_o:

$$\Delta i_{Lo}(t) = \frac{v_c(t) - V_o}{L_o f_s} \frac{V_o}{v_c(t)} \tag{2.75}$$

Considerando-se que a maior ondulação de corrente no indutor L_o irá ocorrer para o maior valor da tensão $v_c(t)$, então para se obter uma ondulação máxima de corrente Δi_{Lomax}, o indutor L_o escolhido deverá ser:

$$L_o = \frac{V_o(V_{cmax} - V_o)}{V_{cmax} f_s \Delta i_{Lomax}} \tag{2.76}$$

O valor eficaz de corrente no indutor L_o pode ser facilmente calculado, considerando-se que ele é a soma de um valor constante (a corrente de carga) com uma ondulação triangular de alta frequência (cujo valor eficaz é igual ao valor de pico divido por $\sqrt{3}$),

$$i_{Lorms} = \sqrt{\left(\frac{P_o}{V_o}\right)^2 + \left(\frac{\Delta i_{Lomax}}{2\sqrt{3}}\right)^2} \tag{2.77}$$

2.5 DIMENSIONAMENTO DO CAPACITOR C_o

Uma vez que toda a ondulação de potência de baixa frequência é absorvida pelo capacitor C_{dc}, a função do capacitor C_o é apenas de filtragem da ondulação de corrente de alta frequência oriunda da comutação [6].

De acordo com a Figura 18 a ondulação de tensão no capacitor C_o depende da carga ΔQ armazenada no mesmo, a qual pode ser calculada pela área da região hachurada:

$$\Delta Q = \frac{T_s \cdot \Delta i_{Lo}}{8} \tag{2.78}$$

$$\Delta v_o = \frac{\Delta Q}{C_o} \tag{2.79}$$

Considerando-se a equação (2.76), é possível isolar a máxima ondulação de corrente Δi_{Lomax} no indutor L_o:

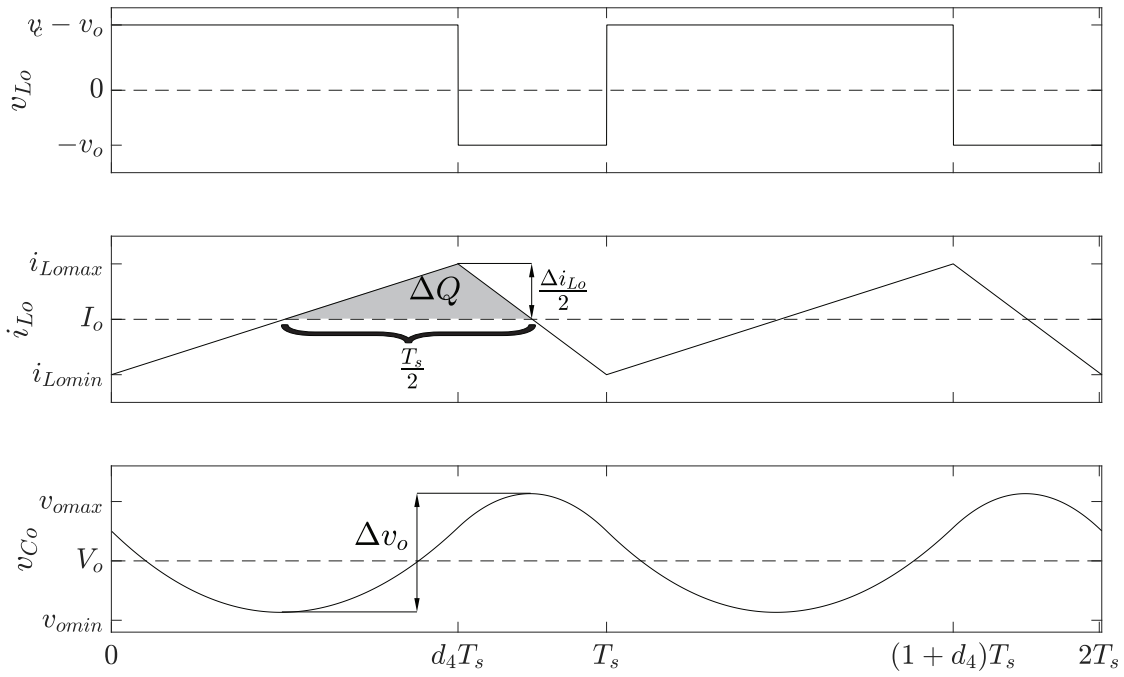
$$\Delta i_{Lomax} = \frac{V_o(V_{cmax} - V_o)}{V_{cmax} f_s L_o} \tag{2.80}$$

Utilizando-se as equações (2.78), (2.79) e (2.80) é possível obter-se a máxima ondulação de tensão no capacitor C_o,

$$\Delta v_{omax} = \frac{V_o(V_{cmax} - V_o)}{8 f_s^2 C_o L_o V_{cmax}} \tag{2.81}$$

[6] Isto considerando que a corrente em L_o é a única fonte de ondulação de corrente no capacitor C_o. Caso a carga possua comutação, este capacitor deverá ser dimensionado levando-se em conta adicionalmente a ondulação de corrente de carga.

Figura 18 – Tensão e corrente no indutor L_o e tensão no capacitor C_o.



Fonte: Autor.

A capacitância pode ser encontrada isolando-se C_o na equação 2.81:

$$C_o = \frac{V_o(V_{cmax} - V_o)}{8 f_s^2 \Delta v_{omax} L_o V_{cmax}} \tag{2.82}$$

O valor eficaz de corrente em C_o pode ser encontrado considerando-se que sua corrente é somente a parcela oscilatória triangular da corrente no indutor L_o. Considerando-se o valor eficaz de uma forma de onda triangular, logo:

$$I_{Corms} = \frac{\Delta i_{Lomax}}{2\sqrt{3}} \tag{2.83}$$

3 PROJETO DO CONVERSOR θ

Neste capítulo é apresentado o projeto do conversor θ considerando as especificações dadas na Tabela 4.

Tabela 4 – Especificações utilizadas para projeto do conversor θ.

Parâmetro	**Descrição**	**Valor**	**Unidade**
V_{grms}	Valor eficaz de tensão da rede	220	V
f_g	Frequência da rede	50	Hz
f_s	Frequência de comutação	50	kHz
V_o	Tensão de saída	400	V
P_o	Potência da carga	1000	W
V_{cmin}	Tensão mínima do capacitor de desacoplamento	750	V
V_{cmax}	Tensão máxima do capacitor de desacoplamento	1000	V
Δi_{Lgmax}	Ondulação de corrente no indutor L_g	8	A
Δi_{Lomax}	Ondulação de corrente no indutor L	3	A
ΔV_o	Ondulação de tensão na carga	6	V
I_3	Valor eficaz da 3ª harmônica	$2,30$	A

Fonte: Autor

3.1 DETERMINAÇÃO DOS CAPACITORES

Considerando as especificações dadas na Tabela 4, e a equação (2.59), a capacitância C_{dc} mínima necessária levando-se em conta que a corrente drenada da rede elétrica possui 50% de 3ª harmônica (em relação à fundamental) é de:

$$C_{dc\ 3} = 9,42\ \mu F \tag{3.1}$$

Caso se considere que a corrente drenada da rede elétrica é puramente senoidal, e usando a equação (2.37), então a capacitância necessária é de:

$$C_{dc\ fund} = 14,6\ \mu F \tag{3.2}$$

A fim de garantir a operação nas duas condições apresentadas acima, foi escolhido um capacitor comercial com capacitância de:

$$C_{dc} = 22\ \mu F \tag{3.3}$$

O valor eficaz de corrente neste capacitor, considerando apenas a ondulação de baixa frequência, para o caso senoidal pode ser calculado conforme (2.43):

$$I_{crms} = 0,845\ A \tag{3.4}$$

Contudo, quando se leva em consideração a ondulação de alta frequência da corrente[1], o seu valor eficaz sobe para:

$$I_{crms} = 2,767\ A \tag{3.5}$$

Caso seja utilizada forma de onda da corrente da rede elétrica contendo $2,30A$ de 3ª harmônica, então o valor eficaz da corrente no capacitor de acordo com a expressão (2.61) será:

$$I_{crms} = 0,619\ A \tag{3.6}$$

Considerando a ondulação de corrente de alta frequência[2], este valor sobe para:

$$I_{crms} = 2,771\ A \tag{3.7}$$

Portanto um capacitor com capacidade de pelo menos $2,77\ A$ de valor eficaz de corrente deve ser escolhido.

O capacitor escolhido para C_{dc} é o modelo C4AQSBW5220A3NJ, da *Kemet*, com $22\ \mu F$, $1500\ Vdc$, e máximo valor eficaz de corrente de $17\ A$ (a $10\ kHz$). Este capacitor é de filme de polipropileno metalizado, com 4 terminais.

Considerando que o fator de dissipação deste capacitor é $DF = 0,02\%$, então suas perdas podem ser calculadas, separando a corrente do capacitor em componentes de baixa e alta frequência. Os valores eficazes das componentes da corrente em baixa e alta frequência são dados por:

$$I_{crms\ low} = 0,845\ A \tag{3.8}$$

$$I_{crms\ high} = \sqrt{I_{crms}^2 - I_{crms\ low}^2} = \sqrt{2,771^2 - 0,845^2} = 2,638\ A \tag{3.9}$$

As perdas em baixa e alta frequência podem ser calculadas:

$$P_{c\ low} = \frac{DF}{2\pi f_g C_{dc}} I_{crms\ low}^2 \tag{3.10}$$

$$= \frac{0,0002}{2\pi \cdot 50\ Hz \cdot 22\ \mu F} \cdot (0,845\ A)^2 = 20,66\ mW \tag{3.11}$$

$$P_{c\ high} = \frac{DF}{2\pi f_s C_{dc}} I_{crms\ high}^2 \tag{3.12}$$

$$= \frac{0,0002}{2\pi \cdot 50\ kHz \cdot 22\ \mu F} \cdot (2,638\ A)^2 = 0,201\ mW \tag{3.13}$$

As perdas totais no capacitor C_{dc} são dadas por:

$$P_c = P_{c\ low} + P_{c\ high} = 20,86\ mW \tag{3.14}$$

A capacitância do capacitor C_o pode ser calculada pela expressão (2.82):

$$C_o = 1,25\ \mu F \tag{3.15}$$

[1] Obtido em simulação.
[2] Obtido em simulação.

O valor eficaz da corrente que circula por este capacitor pode ser calculado por meio da expressão (2.83),

$$I_{Corms} = 0,866\ A \tag{3.16}$$

Em simulação numérica, o valor desta corrente foi de:

$$I_{Corms} = 0,731\ A \tag{3.17}$$

Esta diferença se deve ao fato de ter sido utilizado o valor máximo de ondulação da corrente Δi_{Lomax}, na expressão (2.83), o que aumentou o valor eficaz de corrente calculado.

O mesmo capacitor de filme da *Kemet* de 22 μF, com 1500 Vdc foi utilizado para este componente.

As perdas neste componente se devem somente à ondulação de corrente de alta frequência, logo:

$$P_{Co} = \frac{DF}{2\pi f_s C_{dc}} I_{Corms}^2 \tag{3.18}$$

$$= \frac{0,0002}{2\pi \cdot 50\ kHz \cdot 22\ \mu F} \cdot (0,866\ A)^2 = 0,0217\ mW \tag{3.19}$$

As perdas em ambos os capacitores são muito baixas, e podem ser consideradas desprezíveis, dados os valores de perdas nos semicondutores e indutores.

3.2 PROJETO DOS INDUTORES PARA O CONVERSOR θ

O projeto dos indutores L_g e L_o está baseado no algoritmo de minimização de volume desenvolvido em (LANGE; HELDWEIN, 2017), o qual, por sua vez está baseado em (HELDWEIN, 2008).

Para implementação do algoritmo foi construído um banco de dados com informações sobre os condutores esmaltados AWG e 60 núcleos toroidais de pó de ferro (materiais 026, 034 e 052) e liga metálica (materiais *Sendust* S25, S26, S40, S60 e S75) da fabricante Magmattec.

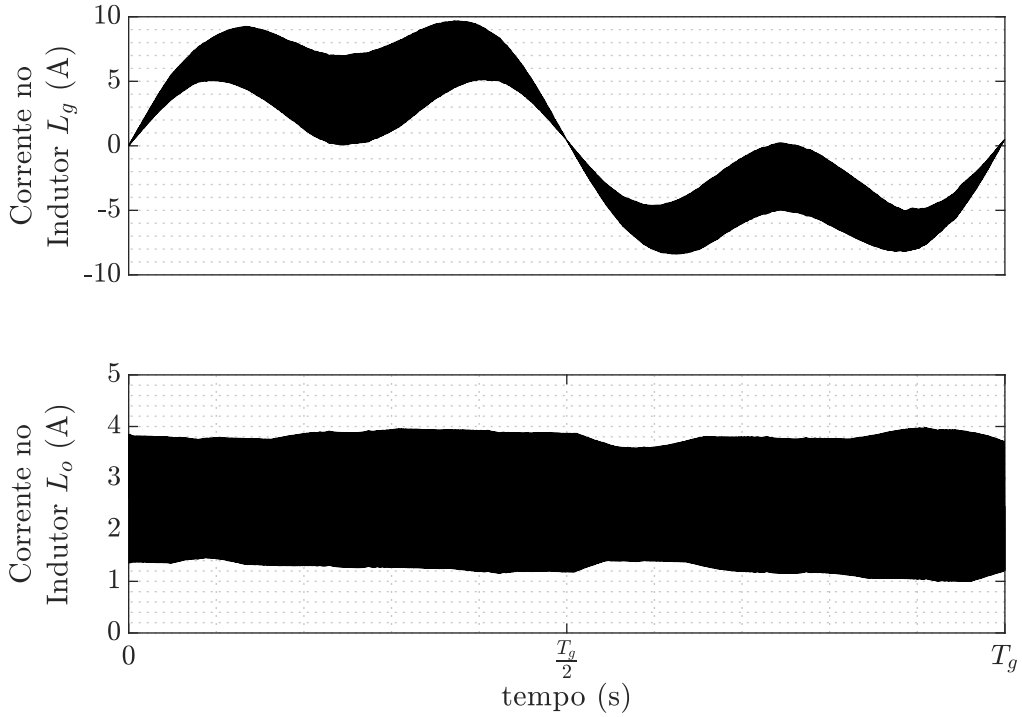
O algoritmo se inicia com a simulação da forma de onda de corrente no indutor. As correntes nos indutores L_g e L_o são mostradas na Figura 19.

Como o algoritmo utilizado é o mesmo para L_g e L_o, o indutor considerado no projeto será denominado apenas por L nesta seção.

A partir das formas de onda das correntes simuladas, determinam-se os valores de pico I_{Lpk} e eficaz I_{Lrms} das correntes nos indutores:

$$I_{Lpk} = max(i_L(t)) \tag{3.20}$$

Figura 19 – Formas de onda das correntes nos indutores L_g e L_o.



Fonte: Autor.

$$I_{Lrms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} i_L^2(t)dt} \tag{3.21}$$

Em seguida seleciona-se o primeiro núcleo do banco de dados. Com as informações de densidade de fluxo de saturação B_{sat}, comprimento magnético do núcleo l_c, permeabilidade magnética relativa inicial do material μ_i e corrente de pico I_{Lpk}, determina-se o número máximo de espiras N_{maxB} que levariam o núcleo à 80% da saturação:

$$N_{maxB} = \frac{0.8 \cdot B_{sat} \cdot l_c}{\mu_o \cdot \mu_i \cdot I_{Lpk}} \tag{3.22}$$

onde $\mu_o = 4\pi 10^{-7}\ H/m$ é a permeabilidade magnética do vácuo.

O próximo passo é determinar o número de espiras N necessário para que se obtenha um valor de indutância no ponto de máxima corrente $L_{@Ipk}$ superior ao valor mínimo de indutância desejado L_{min}.

O número de espiras N é obtido por um processo iterativo, fazendo N variar de 1 a N_{maxB}. Obtém-se primeiramente o valor de intensidade de campo magnético na corrente de pico H_{pk}:

$$H_{pk} = \frac{N \cdot I_{Lpk}}{l_c} \tag{3.23}$$

A seguir determina-se o valor da permeabilidade magnética no ponto de máxima intensidade de campo magnético. A Magmattec fornece curvas que relacionam a intensidade de campo magnético H em *Oersteds* com a queda percentual da permeabilidade magnética em relação à permeabilidade inicial do material. Tais curvas foram modeladas pela equação (3.24), na qual os coeficientes a, b e c foram obtidos pelo processo de mínimos quadrados utilizando a ferramenta de *Curve Fit* do Matlab.

$$\mu_{pu}(H) = \frac{1}{a + bH^c} \quad H : Oersted \tag{3.24}$$

Com o valor de permeabilidade magnética relativa para máxima corrente $\mu_{pu}(H_{pk})$, e os valores de indutância por espiras ao quadrado A_L e número de espiras N, determina-se o valor de indutância na máxima corrente $L_{@Ipk}$:

$$L_{@Ipk} = A_L \cdot \mu_{pu}(H_{pk}) \cdot N^2 \tag{3.25}$$

Caso o valor de indutância na máxima corrente $L_{@Ipk}$ seja inferior ao valor de indutância mínimo de projeto L_{min}, isto é $L_{@Ipk} < L_{min}$, então incrementa-se o número de espiras N e recalcula-se o valor de $L_{@Ipk}$ até que $L_{@Ipk} \geq L_{min}$.

O valor de N desta forma obtido é o número mínimo necessário para se obter um valor de indutância na corrente de pico superior ao valor de indutância mínimo definido pelo projeto. Caso não seja possível satisfazer $L_{@Ipk} > L_{min}$ para nenhum valor de N entre 1 e N_{maxB}, então descarta-se este núcleo, e seleciona-se o próximo núcleo disponível no banco de dados.

O valor de indutância inicial L_i (isto é, considerando corrente nula) é dado por:

$$L_i = A_L \cdot N^2 \tag{3.26}$$

A permeabilidade do material na corrente de pico é dada por:

$$\mu_{@Ipk} = \mu_o \cdot \mu_i \cdot \mu_{pu}(H_{pk}) \tag{3.27}$$

O próximo passo é a escolha do fio para minimização das perdas nos enrolamentos. Considerou-se uso de fios entre AWG 18 e AWG 30 dispostos em feixes de 1 a 5 condutores em paralelo[3]

O algoritmo para determinação do condutor também é iterativo, iniciando-se com o uso de um único condutor sólido, isto é $k = 1$, do tipo AWG 18. Os dados de diâmetro do cobre d_b e do cobre com isolação d_i são carregados do banco de dados.

[3] O modelo considera os fios elementares dispostos lado a lado de modo a formar um conjunto com largura dada por $k \cdot d_i$ e altura d_i.

O máximo valor eficaz de corrente I_{max} que pode circular pelo(s) condutor(es) é dado por:

$$I_{max} = k \cdot \pi \cdot \left(\frac{d_b}{2}\right)^2 \cdot J_{max} \tag{3.28}$$

onde $J_{max} = 500A/cm^2$ é a máxima densidade de corrente considerada.

Caso o valor eficaz de corrente do indutor seja superior ao valor eficaz máximo de corrente suportado pelo(s) condutor(es), isto é $I_{Lrms} > I_{max}$ então desconsidera(m)-se o(s) condutor(es) e carrega-se um novo condutor do banco de dados.

Considerando-se o máximo valor de fator de utilização da janela desejado K_{umax}, o diâmetro do condutor com isolação d_i, o diâmetro interno do núcleo ID e o número de condutores em paralelo k, determina-se o número máximo de espiras que podem ser enroladas no núcleo toroidal:

$$N_{max} = K_{umax} \cdot \frac{ID^2}{k \cdot d_i^2} \tag{3.29}$$

Caso o número de espiras N seja superior ao número de espiras máximo N_{max} então descarta-se o condutor (ou conjunto de condutores). Caso contrário, determina-se o fator de ocupação K_u para o condutor escolhido e o número de condutores em paralelo k:

$$K_u = \frac{N \cdot k \cdot d_i^2}{ID^2} \tag{3.30}$$

Para cálculo das perdas nos enrolamentos considerando o efeito de proximidade é necessária a determinação do número de camadas de enrolamento. O número máximo de espiras na camada n para um núcleo toroidal com diâmetro interno ID, considerando o uso de k fios em paralelo com diâmetro d_i é dado por:

$$N_{max}(n) = \frac{\pi}{k}\left(\frac{ID}{d_i} - (2n-1)\right) \tag{3.31}$$

O número de camadas N_{cam} é calculado da seguinte maneira:

- Caso o número de espiras N seja menor que o número de espiras na primeira camada $N_{max}(1)$, então o número de camadas é $N_{cam} = \frac{N}{N_{max}(1)}$;
- Caso o número de espiras N seja maior que o número de espiras na primeira camada $N_{max}(1)$, porém menor do que a soma da primeira e segunda camadas $N_{max}(1) + N_{max}(2)$, então o número de camadas é $N_{cam} = 1 + \frac{N - N_{max}(1)}{N_{max}(2)}$;
- Caso o número de espiras N seja maior que a soma do número de espiras na primeira e segunda camadas $N_{max}(1) + N_{max}(2)$, porém menor do que a soma da primeira, segunda e terceira camadas $N_{max}(1) + N_{max}(2) + N_{max}(3)$, então o número de camadas é $N_{cam} = 2 + \frac{N - N_{max}(2) - N_{max}(1)}{N_{max}(3)}$;

- Caso o número de espiras N seja maior que a soma do número de espiras na primeira, segunda e terceira camadas $N_{max}(1) + N_{max}(2) + N_{max}(3)$, porém menor do que a soma da primeira, segunda, terceira e quarta camadas $N_{max}(1)+N_{max}(2)+N_{max}(3)+N_{max}(4)$, então o número de camadas é $N_{cam} = 3 + \frac{N-N_{max}(3)-N_{max}(2)-N_{max}(1)}{N_{max}(4)}$;
- Caso o número de espiras N seja maior que a soma do número de espiras na primeira, segunda, terceira e quarta camadas $N_{max}(1)+N_{max}(2)+N_{max}(3)+N_{max}(4)$, porém menor do que a soma da primeira, segunda, terceira, quarta e quinta camadas $N_{max}(1) + N_{max}(2) + N_{max}(3) + N_{max}(4) + N_{max}(5)$, então o número de camadas é $N_{cam} = 4 + \frac{N-N_{max}(4)-N_{max}(3)-N_{max}(2)-N_{max}(1)}{N_{max}(5)}$;
- Caso o número de espiras N seja maior que a soma do número de espiras na primeira, segunda, terceira, quarta e quinta camadas então descarta-se o condutor, e escolhe-se o próximo condutor do banco de dados.

O comprimento total requerido do condutor (ou feixe de condutores em paralelo) l_w é dado por:

$$l_w = N \cdot l_t \tag{3.32}$$

onde l_t é o comprimento médio de uma espira (considerando um fator de preenchimento da janela de 40%).

3.2.1 Perdas no Enrolamento

Para o cálculo das perdas no enrolamento, usa-se o procedimento descrito em (KAZIMIERCZUK, 2014) para determinação da resistência em corrente alternada considerando fios em paralelo.

Seja a resistividade do cobre à máxima temperatura de operação dada por:

$$\rho_T = \rho_{cu20}[1 + \alpha_{cu}(T_{max} - 20)] \tag{3.33}$$

onde $\rho_{cu20} = 17,8 \cdot 10^{-9}\ \Omega \cdot m$ é a resistividade do cobre à 20 °C e $\alpha_{cu} = 0,0039\ K^{-1}$ é o coeficiente de temperatura do cobre.

A resistência total do enrolamento em corrente contínua será dada por:

$$R_{cc} = \frac{4 l_w \rho_T}{\pi d_b^2} \tag{3.34}$$

Considerando a razão entre resistência CA e CC como $F_r(f)$, então a resistência CA para cada frequência será dada por:

$$R_{ca}(f) = R_{cc} \cdot Fr(f) \tag{3.35}$$

A expressão de $Fr(f)$ é dada pela equação de Dowell, e leva em conta os efeitos pelicular e de proximidade, dados pelos termos $F_s(f)$ e $F_p(f)$, respectivamente. Sua expressão é:

$$F_r(f) = F_s(f) + F_p(f) \tag{3.36}$$

onde:

$$F_s(f) = A(f) \cdot \frac{senh(2A(f)) + sen(2A(f))}{cosh(2A(f)) - cos(2A(f))} \tag{3.37}$$

e

$$F_p(f) = A(f) \cdot \frac{2(N_{cam}^2 k - 1)}{3} \cdot \frac{senh(A(f)) - sen(A(f))}{cosh(A(f)) + cos(A(f))} \tag{3.38}$$

A função $A(f)$ é dada por:

$$A(f) = \left(\frac{\pi}{4}\right)^{\frac{3}{4}} \frac{d_b}{\delta_w(f)} \sqrt{\eta_w} \tag{3.39}$$

onde $\eta_w \approx 0,8$ é o fator de porosidade, e $\delta_w(f)$ é a profundidade de penetração da corrente, dada por:

$$\delta_w(f) = \sqrt{\frac{\rho_T}{\pi \mu_o f}} \tag{3.40}$$

A decomposição da forma de onda de corrente do indutor em suas componentes harmônicas pode ser feita de forma analítica ou numérica. Neste trabalho optou-se pela forma numérica por se tratar de um procedimento genérico, considerando-se que as formas de onda de corrente dos dois indutores do conversor θ são diferentes. Determinam-se então os valores eficazes de corrente para cada frequência harmônica da corrente do indutor, com o uso da transformada rápida de *Fourier*.

As perdas totais no enrolamento considerando os efeitos pelicular e de proximidade são então dadas pelo somatório:

$$P_w = \sum_{j=0}^{j_{max}} R_{ca}(f_j) \cdot I_{rms}(f_j)^2 \tag{3.41}$$

Neste trabalho considerou-se a máxima frequência utilizada na equação (3.41) como $f_{jmax} = 1,25\ MHz$.

Determinam-se então as perdas nos enrolamentos para cada combinação de $k = 1..5$ fios 18..30 AWG em paralelo, escolhendo-se aquela combinação que produz o mínimo valor de perdas nos enrolamentos.

3.2.2 Perdas no Núcleo

Para computo das perdas no núcleo optou-se pelo uso da *Improved Generalized Steinmetz Equation* ou IGSE desenvolvida por (VENKATACHALAM et al., 2002). O

algoritmo da IGSE permite calcular as perdas volumétricas para uma excitação de fluxo não-senoidal, separando a trajetória do fluxo magnético em *loops* maiores e menores, sendo mais precisa que as equações MSE (*Modified Steinmetz Equation*) e GSE (*Generalized Steinmetz Equation*) propostas previamente[4].

O cálculo das perdas utilizando a IGSE necessita apenas dos coeficientes da equação padrão de Steinmetz k_c, α e β, e a forma de onda da densidade de fluxo magnético $B(t)$. A equação padrão de Steinmetz para uma forma de onda de densidade de fluxo senoidal é dada por:

$$P_{cvol} = k_c f^{\alpha} B_{pk}^{\beta} \tag{3.42}$$

A IGSE [5], usada para formas de onda de densidade de fluxo não-senoidais é dada por:

$$P_{cvol} = \frac{1}{T_g} \int_0^{T_g} k_i \left| \frac{dB}{dt} \right|^{\alpha} (\Delta B)^{\beta-\alpha} dt \tag{3.43}$$

onde o fator k_i é dado por:

$$k_i = \frac{k_c}{(2\pi)^{\alpha-1} \int_0^{2\pi} |cos\theta|^{\alpha} 2^{\beta-\alpha} d\theta} \tag{3.44}$$

A forma de onda da densidade de fluxo $B(t)$ pode ser obtida a partir da forma de onda da corrente no indutor $i_L(t)$:

$$B(t) = \frac{\mu_{@Ipk} \cdot N \cdot i_L(t)}{l_c} \tag{3.45}$$

O algoritmo sugerido em (VENKATACHALAM et al., 2002) particiona a curva $B(t)$ em uma região crescente, que vai do valor mínimo até o valor máximo de $B(t)$, e uma região decrescente, que vai do valor máximo até o valor mínimo de $B(t)$.

A região crescente da curva $B(t)$ é então subdividida em n *minor loops*, e um *major loop*. Os valores numéricos de $B(t)$ são armazenados ponto a ponto dentro do vetor *MajorLoop*, até que seja detectada uma mudança de derivada de positiva para negativa. A partir do ponto de mudança de derivada, armazenam-se os pontos de $B(t)$ dentro do vetor $MinorLoop_1$ até que o valor de $B(t)$ alcance o valor inicial em que ocorreu a mudança de derivada. A partir deste ponto volta-se a armazenar os pontos de $B(t)$ dentro do vetor *MajorLoop*. Na próxima mudança de derivada de $B(t)$ armazenam-se novamente os valores de $B(t)$ dentro de um novo vetor $MinorLoop_2$, repetindo-se o processo.

[4] Um comparativo entre MSE, GSE, e IGSE com resultados experimentais para uma excitação contendo 3ª harmônica é apresentado em (VENKATACHALAM et al., 2002). Pode-se verificar que a MSE apresenta um valor de perdas menor que a metade do valor experimental quando submetido à um valor de 3ª harmônica com mesma amplitude da fundamental. A GSE apresenta um valor de perdas 50% maior que o valor experimental quando submetido a um sinal com 3ª harmônica com amplitude igual a 40% da fundamental. Enquanto isso a IGSE apresenta uma predição muito coerente com os valores experimentais.

[5] É interessante observar que a IGSE se reduz à equação padrão de Steinmetz caso se utilize uma forma de onda senoidal para a densidade de fluxo magnético, isto é, $B(t) = B_{pk} \cdot sen(\omega_g t)$.

Para a região decrescente de $B(t)$ realiza-se o mesmo procedimento, apenas trocando-se os sinais das derivadas. Caso existam *subloops* dentro dos *minor loops* então repete-se o procedimento descrito acima de forma recursiva.

As perdas volumétricas totais no núcleo são calculadas finalmente como:

$$P_{cvol} = \sum_{i=1}^{n} P_i \frac{T_i}{T} \tag{3.46}$$

onde P_i é a perda em cada *Major* ou *MinorLoop* calculada pela equação (3.43), T_i é o período do *loop* i e T é o período total da forma de onda de $B(t)$.

Multiplicando-se o volume total do núcleo pelo valor de perdas volumétricas obtém-se o valor de perdas no núcleo:

$$P_c = P_{cvol} \cdot V_c \tag{3.47}$$

As perdas totais do indutor P_L são a soma das perdas no enrolamento com as perdas no núcleo:

$$P_L = P_w + P_c \tag{3.48}$$

A elevação de temperatura no indutor é calculada com a equação empírica sugerida por (MCLYMAN, 2011):

$$\Delta T = 450 \left(\frac{P_L}{A_t} \right)^{0{,}826} \tag{3.49}$$

onde A_t é a superfície externa do indutor em cm^2, P_L é a potência dissipada em W e ΔT é a elevação de temperatura em °C.

A temperatura de operação do indutor é finalmente dada por:

$$T_{oper} = T_{amb} + \Delta T \tag{3.50}$$

Caso o valor de temperatura de operação do indutor seja superior ao valor máximo de temperatura desejado, isto é, $T_{oper} > T_{max}$, descarta-se o núcleo e considera-se um novo núcleo do banco de dados.

3.2.3 Minimização do Volume

A Tabela 5 especifica os parâmetros usados no projeto do indutor L_g e a Tabela 6 especifica os parâmetros usados no projeto do indutor L_o.

Após executar o algoritmo descrito para o projeto do indutor, determina-se o que apresenta o menor volume dentre todos os projetos considerados. O resultado do algoritmo de projeto dos indutores é apresentado na Tabela 7.

Tabela 5 – Especificações utilizadas no projeto do indutor L_g.

Parâmetro	**Descrição**	**Valor**	**Unidade**
L_{gmin}	Indutância Mínima Desejada	466,7	μH
I_{Lpk}	Corrente de Pico no Indutor	9,47	A
I_{Lrms}	Valor Eficaz de Corrente do Indutor	4,81	A
T_{amb}	Temperatura Ambiente	45	$°C$
T_{max}	Temperatura Máxima de Operação	115	$°C$
K_{umax}	Fator de Utilização da Janela Máximo	0,40	*
Δi_{gmax}	Ondulação da Corrente em L_g	8	A
J_{max}	Máxima densidade de Corrente	500	A/cm^2

Fonte: Autor.

Tabela 6 – Especificações utilizadas no projeto do indutor L_o.

Parâmetro	**Descrição**	**Valor**	**Unidade**
L_{min}	Indutância Mínima Desejada	1,60	mH
I_{Lpk}	Corrente de Pico no Indutor	4,05	A
I_{Lrms}	Valor Eficaz de Corrente do Indutor	2,58	A
T_{amb}	Temperatura Ambiente	45	$°C$
T_{max}	Temperatura Máxima de Operação	115	$°C$
K_{umax}	Fator de Utilização da Janela Máximo	0,40	*
Δi_{omax}	Ondulação da Corrente em L	3	A
J_{max}	Máxima densidade de Corrente	500	A/cm^2

Fonte: Autor.

O fluxograma completo para dimensionamento dos indutores é apresentado nas Figuras 20 e 21.

O indutor L_g após ser construído, apresentou indutância inicial e resistência série[6]:

$$L_g = 638,5\ \mu H \tag{3.51}$$

$$R_{Lg} = 98,8\ m\Omega \tag{3.52}$$

Para o indutor L_o os valores foram:

$$L_o = 2,996\ \mu H \tag{3.53}$$

$$R_{Lo} = 206,8\ m\Omega \tag{3.54}$$

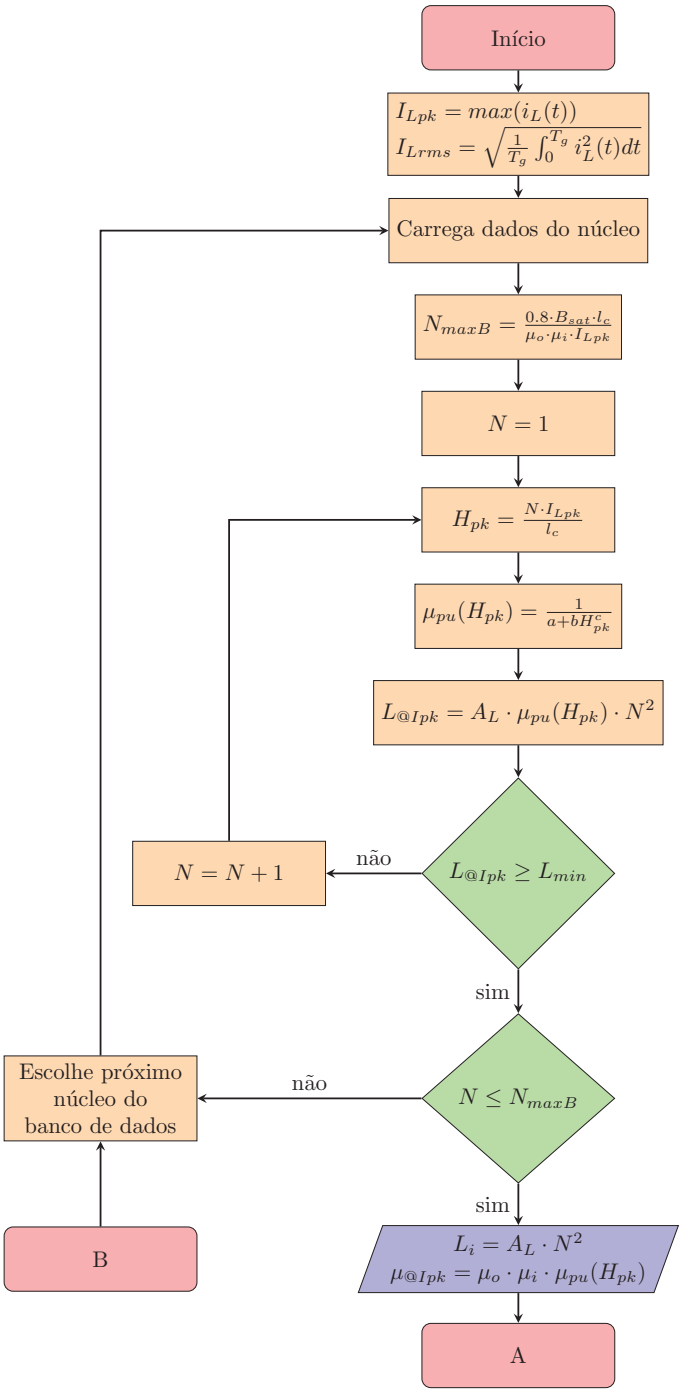
[6] Dados obtidos com a ponte LCR HIOKI 3511-50, a 1 kHz.

Tabela 7 – Resultado do algoritmo de minimização de volume dos indutores

	Indutor L_g	***Indutor L_o***	***Unidade***	***Descrição***
Núcleo	MMTS26T4715	MMTS75T4015		Modelo do Núcleo
V_c	$15,6$	$10,6$	cm^3	Volume do Núcleo
AWG	18	18		Tamanho do Fio
k	2	1		Fios em Paralelo
N	132	171		Número de Espiras
K_u	$0,384$	$0,353$		Fator de Ocupação
N_{cam}	$3,80$	2.87		Número de Camadas
P_w	$10,40$	3.45	W	Perdas no Enrolamento
P_c	$0,92$	0.19	W	Perdas no Núcleo
P_L	$11,32$	3.64	W	Perdas Totais
L_{Ipk}	$471,7$	1606	μH	Indutância em I_{Lmax}
L_i	$644,7$	2953	μH	Indutância Inicial
ΔT	$67,23$	38.99	$°C$	Elevação de Temperatura
T_{oper}	$112,23$	83.99	$°C$	Temperatura de Operação

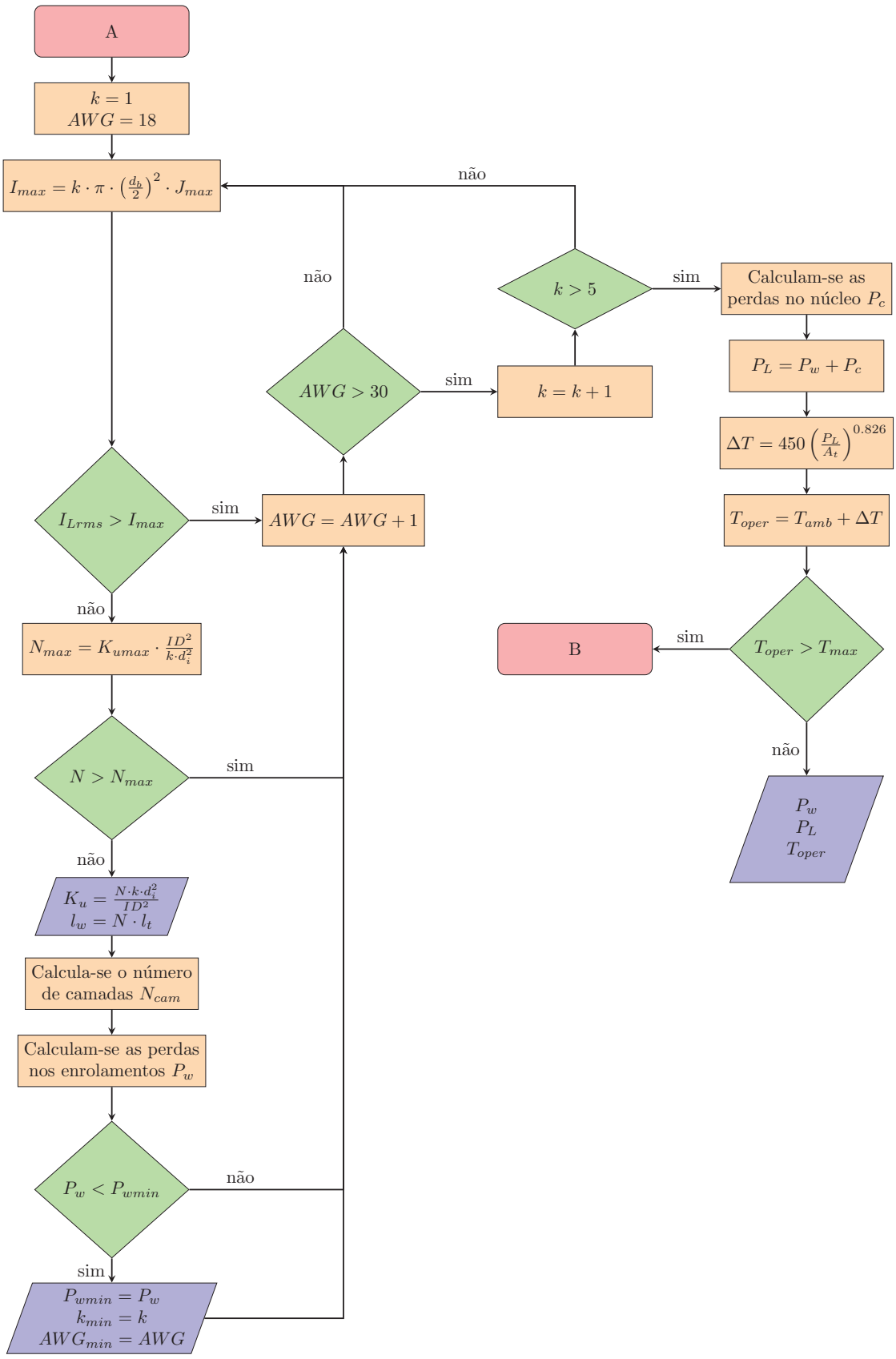
Fonte: Autor.

Figura 20 – Fluxograma para projeto dos indutores (parte A).



Fonte: Autor.

Figura 21 – Fluxograma para projeto dos indutores (parte B).



Fonte: Autor.

3.3 DIMENSIONAMENTO DOS SEMICONDUTORES PARA O CONVERSOR θ

Conforme (VISHAY, 2010), a capacidade de corrente contínua indicada em *datasheets* para semicondutores de potência tem pouca aplicação prática, servindo apenas para comparação entre dois dispositivos nos quais a corrente é apresentada para a mesma temperatura ambiente. Em geral esta corrente é calculada considerando que o dispositivo não apresenta perdas de comutação, e com a temperatura de encapsulamento (T_{case}) mantida em 25 °C, sendo um valor de corrente contínua. Em geral este valor de corrente especificado superestima a capacidade de condução de corrente do dispositivo em uma aplicação real.

Desta forma é muito mais relevante observar se o incremento de temperatura causado pelas perdas de condução e comutação no semicondutor, adicionado da temperatura ambiente pode ser suportado pelo dispositivo. Isto é feito considerando:

- a máxima corrente de operação;
- o máximo valor de temperatura ambiente;
- a limitação de temperatura máxima do semicondutor.

Além disso, IGBTs e MOSFETs podem suportar correntes de pico muito maiores do que o valor de capacidade de corrente contínua indicado no *datasheet*, desde que sua temperatura de junção não exceda a máxima temperatura permitida T_{Jmax}. Entretanto, há um limite superior máximo para a corrente, indicado nos *datasheets* por corrente de pico nominal (*rated peak current*), que não pode ser excedido. Este valor de corrente está relacionado com a capacidade de condução de corrente dos condutores internos ao encapsulamento (ZEFFERYS; MACDONALD, 2007).

Assim, para determinação da potência total que pode ser dissipada no componente, a equação (3.55) é utilizada. As perdas totais no dispositivo P_{loss} são a soma das perdas por condução P_{cond}, perdas por comutação P_{sw} e perdas por recuperação reversa do diodo intrínseco P_{rr}. A temperatura de junção T_J é então obtida utilizando-se a equação (3.56). Nesta equação T_{amb} é a temperatura ambiente e R_{thJA} é a resistência térmica entre a junção e o ambiente, que é composta pela soma das resistências térmicas entre a junção e o encapsulamento R_{thJC}, entre o encapsulamento e o dissipador R_{thCH} e entre o dissipador e o ambiente R_{thHA}.

$$P_{loss} = P_{cond} + P_{sw} + P_{rr} \tag{3.55}$$

$$T_J = P_{loss} R_{thJA} + T_{amb} \tag{3.56}$$

Devido à elevada tensão de bloqueio requerida dos interruptores no conversor θ, decidiu-se pela utilização de interruptores do tipo MOSFET-SiC, os quais podem suportar

maiores tensões de bloqueio, apresentam menor resistência de canal, e podem operar sob maiores temperaturas de junção se comparados aos MOSFETs de silício (ROHM, 2013).

Comparados aos IGBTs Si, os MOSFET SiC não apresentam o fenômeno de corrente de cauda, reduzindo suas perdas de comutação em *turn-off* e permitindo sua operação em frequências mais elevadas (ROHM, 2013).

O desempenho de recuperação reversa do diodo intrínseco do MOSFET SiC é similar ao dos diodos SiC-SBD[7], com a diferença de possuir queda de tensão direta V_f mais elevada. Desta forma é possível o uso de um diodo SiC-SBD em paralelo diretamente com o MOSFET SiC de modo a reduzir a perda por condução neste componente. Caso o acionamento seja síncrono, como no caso de um braço em meia ponte com o acionamento dos *gates* de forma complementar, então as perdas com ou sem a utilização de diodo SiC-SBD em paralelo será similar (ROHM, 2013).

Em geral a tensão de acionamento do circuito de *gate-drive* para MOSFETs do tipo SiC é mais elevada. Como exemplo, (ROHM, 2013) recomenda a utilização de tensão de 18 V para acionamento do circuito de *gate-drive*, de modo a se reduzir o valor de R_{dson} em condução. Caso sejam necessárias elevada tolerância à ruídos e elevada velocidade de comutação, uma tensão negativa entre $-3\ V$ e $-5\ V$ pode ser utilizada no circuito de *gate* para desligar o interruptor.

A subseção 3.3.1 apresenta o procedimento para aproximação analítica das correntes eficazes nos interruptores. Os valores eficazes das correntes nos semicondutores, assim como a tensão de bloqueio são utilizados para fazer uma seleção prévia dos semicondutores. Na subseção 3.3.2 um método iterativo de cálculo das perdas totais nos semicondutores é apresentado, o qual irá permitir a seleção do semicondutor a ser utilizado no conversor descrito neste trabalho.

3.3.1 Valores Eficazes das Correntes nos Semicondutores

Conforme os estados topológicos apresentados nas Figuras 8, 9, 10, e 11, podem-se calcular os valores eficazes das correntes através dos semicondutores conforme procedimento apresentado em (ERICKSON; MAKSIMOVIC, 2004).

Seja a expressão do valor eficaz da corrente em qualquer interruptor dado pela equação (3.57). A integral dentro da raiz pode ser subdividida em T_g/T_s períodos de comutação, em que T_g é o período da rede elétrica, e T_s é o período de comutação, conforme equação (3.58). Caso $T_g >> T_s$, então o somatório pode ser aproximado por uma integral, conforme apresentado na equação (3.59). Isto significa que o valor eficaz é obtido calculando-se primeiramente a média da corrente ao quadrado dentro de um período de comutação, isto é, $\langle i_s^2(t)\rangle_{T_s}$, em seguida obtém-se a média do resultado dentro de um período da rede elétrica, conforme apresentado na equação (3.60). Isto equivale a

[7] *Silicon Carbide Schottky Barrier Diode.*

calcular o valor eficaz dentro de um período de comutação e, em seguida, calcular o valor eficaz do resultado dentro de um período da rede elétrica.

$$I_{Srms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} i_s^2(t)dt} \tag{3.57}$$

$$I_{Srms} = \sqrt{\frac{1}{T_g}T_s \sum_{n=1}^{T_g/T_s}\left(\frac{1}{T_s}\int_{(n-1)T_s}^{nT_s} i_s^2(t)dt\right)} \tag{3.58}$$

$$I_{Srms} = \sqrt{\frac{1}{T_g}\int_0^{T_g}\frac{1}{T_s}\int_t^{t+T_s} i_s^2(\tau)d\tau dt} \tag{3.59}$$

$$I_{Srms} = \sqrt{\langle\langle i_s^2(t)\rangle_{T_s}\rangle_{T_g}} \tag{3.60}$$

O valor eficaz da corrente no interruptor S_1 é calculado observando-se que a corrente do indutor i_g flui através do interruptor[8] durante o período de tempo dado por $d_1T_s = (1-d_2)T_s$, e durante o restante do período de comutação a corrente é nula. A integral é calculada desprezando-se as ondulações de alta-frequência da corrente do indutor, obtendo-se a expressão (3.62). A partir desta expressão determina-se o valor eficaz da corrente em S_1, como mostrado na equação (3.63).

$$\langle i_{S1}^2(t)\rangle_{T_s} = \frac{1}{T_s}\int_t^{t+T_s} i_{S1}^2(\tau)d\tau \tag{3.61}$$

$$= (1-d_2(t))\, i_g^2(t) \tag{3.62}$$

$$I_{S1rms} = \sqrt{\frac{1}{T_g}\int_0^{T_g}(1-d_2(t))\, i_g^2(t)dt} \tag{3.63}$$

Procedimento similar é feito para o cálculo do valor eficaz da corrente em S_2, considerando que a corrente i_g flui pelo componente durante d_2T_s, sendo a corrente nula durante o restante do período de comutação. A equação (3.66) apresenta o valor eficaz da corrente em S_2.

$$\langle i_{S2}^2(t)\rangle_{T_s} = \frac{1}{T_s}\int_t^{t+T_s} i_{S2}^2(\tau)d\tau \tag{3.64}$$

$$= d_2(t) i_g^2(t) \tag{3.65}$$

$$I_{S2rms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} d_2(t) i_g^2(t)dt} \tag{3.66}$$

[8] A corrente flui pelo canal do MOSFET tanto no sentido direto quanto reverso, uma vez que o comando dos interruptores S_1 e S_2 é complementar.

O valor eficaz da corrente em S_3 é calculado considerando-se que a corrente $i_g - i_{Lo}$ flui através do componente durante o período $d_3T_s = (1 - d_4)T_s$, sendo sua corrente nula no restante do período. O valor eficaz da corrente em S_3 é dado pela equação (3.69).

$$\langle i_{S3}^2(t)\rangle_{T_s} = \frac{1}{T_s}\int_t^{t+T_s} i_{S3}^2(\tau)d\tau \tag{3.67}$$

$$= (1 - d_4(t))\,(i_g(t) - i_{Lo}(t))^2 \tag{3.68}$$

$$I_{S3rms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} (1 - d_4(t))\,(i_g(t) - i_{Lo}(t))^2 dt} \tag{3.69}$$

O valor eficaz da corrente em S_4 é calculado considerando-se que a corrente que flui pelo componente é igual à $-(i_g - i_{Lo})$ durante o período d_4T_s, e igual a zero durante o restante do período de comutação. O valor eficaz da corrente em S_4 é dado pela equação (3.72).

$$\langle i_{S4}^2(t)\rangle_{T_s} = \frac{1}{T_s}\int_t^{t+T_s} i_{S4}^2(\tau)d\tau \tag{3.70}$$

$$= d_4(t)(-(i_g(t) - i_{Lo}(t)))^2 \tag{3.71}$$

$$I_{S4rms} = \sqrt{\frac{1}{T_g}\int_0^{T_g} d_4(t)(i_{Lo}(t) - i_g(t))^2 dt} \tag{3.72}$$

As integrais em (3.63), (3.66), (3.69), e (3.72) são de difícil solução analítica, podendo serem facilmente obtidas de forma numérica, com a substituição das expressões para $d_2(t), d_4(t), i_g(t), i_{Lo}(t), v_g(t)$ e $v_c(t)$, dadas em (3.73), (3.74), (3.75), (3.76), e (3.77).

$$v_g(t) = V_g sen(\omega_g t) \tag{3.73}$$

$$i_g(t) = \sum_{n=1}^{k} I_n sen(n\omega_g t + \phi_n) \tag{3.74}$$

$$v_c(t) = \sqrt{V_{cmin}^2 + \frac{2}{C_{dc}}(e(t) - e_{min})} \tag{3.75}$$

$$d_4 = \frac{V_o}{v_c(t)} \tag{3.76}$$

$$d_2 = d_4 - \frac{v_g(t)}{v_c(t)} \tag{3.77}$$

Para as especificações consideradas na Tabela 4 os valores obtidos para as correntes eficazes com o uso das equações desenvolvidas nesta subseção e os valores obtidos por simulação são comparados na Tabela 8. Como se percebe, as equações aproximam os valores obtidos em simulação de forma satisfatória. O código em Matlab para obtenção dos valores apresentados na Tabela é dado no apêndice D.

Tabela 8 – Valores eficazes das correntes nos interruptores obtidos pelas equações (3.63), (3.66), (3.69), e (3.72) e por simulação.

	Equações (A)	Simulação (A)	Erro
I_{S1rms}	$3,6175$	$3,6092$	$0,23\%$
I_{S2rms}	$3,5867$	$3,5777$	$0,25\%$
I_{S3rms}	$4,0302$	$4,0228$	$0,18\%$
I_{S4rms}	$3,9949$	$3,9867$	$0,21\%$

Fonte: Autor.

3.3.2 Perdas nos semicondutores

O método de cálculo de perdas por comutação está baseado em (VISHAY, 2016). De acordo com (HAVANUR, 2015), as características de entrada em condução e bloqueio dos MOSFETs são dadas pelas curvas de tensão *gate-source* em função da carga de *gate*.

O processo de entrada em condução, ou *turn-on* do MOSFET está representado na Figura 22 para uma carga indutiva. Durante o *turn-on* a tensão entre *gate* e *source* do MOSFET v_{gs} aumenta com o carregamento das capacitâncias de *gate* ($C_{iss} = C_{gs} + C_{gd}$) até atingir a tensão de *threshold* (V_{TH}). Este intervalo de tempo é representado por t_1, não havendo alterações na tensão v_{ds} e na corrente i_{ds}.

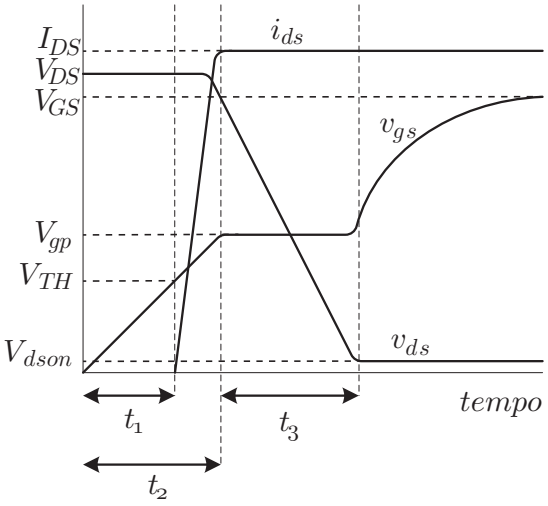
A partir deste instante a corrente de dreno aumenta até atingir seu valor nominal I_{DS} no instante de tempo t_2. Neste mesmo instante de tempo, pode-se considerar que a tensão de *Gate* atinge o patamar, ou *plateau*, de Miller ($v_{gs} = V_{gp}$). A partir de t_2 a tensão entre dreno e *source* começa a reduzir-se, e como consequência da derivada negativa da tensão v_{ds} e da capacitância C_{gs}, a tensão no pino de *gate* mantém-se constante até que a tensão v_{ds} alcance a tensão de condução V_{dson}. Este valor de tensão constante no pino de *gate* durante o tempo t_3 recebe o nome de tensão de *plateau* V_{gp}.

Após o intervalo de tempo $t_2 + t_3$, a tensão no pino de *gate* aumenta até o valor da tensão do driver V_{GS}, sendo que a resistência R_{DSon} do MOSFET reduz-se marginalmente, até alcançar seu valor nominal. Durante este intervalo de tempo o dispositivo já está conduzindo completamente, e as perdas podem ser contabilizadas como perdas de condução.

Observando a Figura 22, as perdas de comutação na entrada em condução ocorrem entre o final de t_1 e o final de t_3, sendo necessário o cálculo de tais intervalos. Seja o intervalo no qual a corrente cresce denotado por t_{ir} e calculado pela equação (3.78). Nesta equação R_{Gon} representa a resistência de *gate* durante o processo de *turn-on*[9], que é a soma da resistência interna do *gate* com a resistência adicionada externamente ($R_{Gon} = R_{gint} + R_{gexton}$). O valor de capacitância $C_{iss\ at\ V_{DS}}$ é obtido das curvas de capacitância de entrada versus tensão *dreno-source* no ponto em que $v_{ds} = V_{DS}$. O valor de

[9] É importante salientar que as resistências externas de *gate* durante *turn-on* e *turn-off* podem ser diferentes, de modo a se obter diferentes tempos de entrada em condução e bloqueio.

Figura 22 – Processo de *turn-on*.



Fonte: (VISHAY, 2016)

tensão de *plateau* V_{gp} varia com a carga, sendo recomendado extrair este valor das curvas de carga de *gate*. V_{TH} é a tensão de *threshold* e V_{GS} é a tensão aplicada pelo circuito de *gate driver* (suposto como uma fonte de tensão ideal).

$$t_{ir} = t_2 - t_1 = R_{Gon} \cdot C_{iss\ at\ V_{DS}} \cdot ln\left(\frac{V_{GS} - V_{TH}}{V_{GS} - V_{gp}}\right) \tag{3.78}$$

Seja o intervalo no qual a tensão decresce denotado por t_{vf}. Este intervalo é mais difícil de se calcular analiticamente, uma vez que a capacitância de transferência reversa (C_{rss}) varia com o valor da tensão v_{ds}. Seu valor exato pode ser computado via integração numérica da curva de capacitância, como mostrado na equação (3.79). A tensão V_{dson} é a tensão entre *dreno* e *source* quando o dispositivo já está conduzindo completamente, ao final de $t_2 + t_3$.

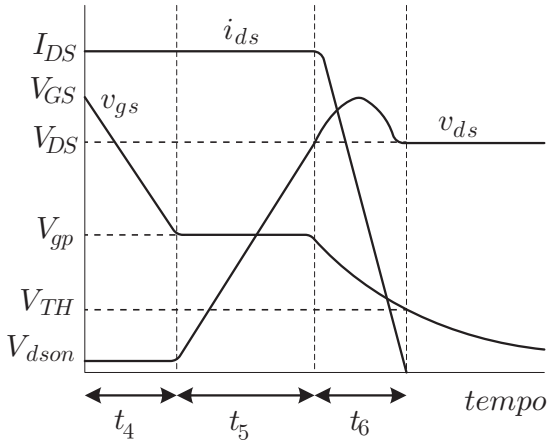
$$t_{vf} = t_3 = \frac{R_{Gon}}{V_{GS} - V_{gp}} \int_{V_{dson}}^{V_{DS}} C_{rss}(v_{ds}) dv_{ds} \tag{3.79}$$

Da mesma forma que para o *turn-on*, para o *turn-off* ocorrem os mesmos processos de tensão de *plateau* e tensão de *threshold*, porém em ordem inversa, como mostrado na Figura 23. Os intervalos de interesse para o cálculo de perdas de comutação são t_5 e t_6.

Seja o tempo de subida da tensão denotado por t_{vr}. Assim como no cálculo de t_{vf}, seu valor exato é difícil de se obter analiticamente, sendo resultado da integração numérica da capacitância C_{rss} entre os níveis de tensão V_{dson} e V_{DS}, como indicado na equação (3.80).

$$t_{vr} = t_5 = \frac{R_{Goff}}{V_{gp}} \int_{V_{dson}}^{V_{DS}} C_{rss}(v_{ds}) dv_{ds} \tag{3.80}$$

Figura 23 – Processo de *turn-off*.



Fonte: (VISHAY, 2016)

O tempo de descida da corrente t_{if}, pode então ser calculado de forma análoga ao cálculo de t_{ir}, sendo apresentado na equação (3.81).

$$t_{if} = t_6 = R_{Goff} \cdot C_{iss\ at\ V_{DS}} \cdot ln\left(\frac{V_{gp}}{V_{TH}}\right) \tag{3.81}$$

As energias dissipadas na entrada em condução (*turn-on*) e bloqueio (*turn-off*) podem então ser calculadas conforme as equações (3.82) e (3.83). Nestas expressões os valores de corrente I_{DSon} e I_{DSoff} representam as correntes circulando no indutor durante o instante de entrada em condução e bloqueio respectivamente, sendo diferentes devido à ondulação de corrente no indutor.

$$E_{on} = \frac{t_{ir} + t_{vf}}{2} \cdot V_{DS} \cdot I_{DSon} \tag{3.82}$$

$$E_{off} = \frac{t_{if} + t_{vr}}{2} \cdot V_{DS} \cdot I_{DSoff} \tag{3.83}$$

Como informação adicional, para alguns modelos de MOSFET SiC, a tensão de *plateau* não apresenta um valor constante durante o tempo de subida e descida da tensão em *turn-on* e *turn-off*. O método apresentado em (AGRAWAL et al., 2017) permite levar em conta este efeito no cálculo dos tempos t_{vr} e t_{vf}. Como os resultados apresentados no artigo do autor tiveram erro relativo baixo se comparado com o método tradicional (considerando a tensão de *plateau* como a média das tensões de *plateau*), este efeito será desprezado neste trabalho.

Além das perdas de entrada em condução e bloqueio, existem ainda as perdas causadas pelo processo de recuperação reversa dos diodos intrínsecos aos interruptores. De forma geral as informações disponíveis nas folhas de dados a respeito do diodo intrínseco para os interruptores são escassas, constando geralmente os valores de carga de recuperação

reversa (Q_{rr}), corrente direta entre *source* e dreno (I_{sd}), derivada da corrente ($\frac{dI_{sd}}{dt}$), tempo de recuperação reversa (t_{rr}) e valor de pico da corrente de recuperação reversa (I_{rr}) para uma determinada condição de teste.

Como forma de melhorar o cômputo de perdas de recuperação reversa, o método proposto neste trabalho permite estimar os valores de corrente de recuperação reversa I_{rr} e tempo de recuperação reversa t_{rr} para um determinado valor de corrente fluindo entre *source* e dreno I_{sd}. Conhecendo-se os valores de I_{rr} e t_{rr} procede-se então ao cálculo das perdas de recuperação reversa.

Sejam os valores de carga de recuperação reversa, corrente direta entre *source* e dreno, derivada de corrente entre *source* e dreno, tempo de recuperação reversa e corrente de recuperação reversa de pico dadas no *datasheet* representadas por $Q_{rrD}, I_{sdD}, \frac{dI_{sd}}{dt}_D, t_{rrD}$ e I_{rrD}.

Com base em (AL-NASEEM; ERICKSON; CARLIN, 2000), pode-se considerar como constante a razão entre a carga de recuperação reversa e a raiz quadrada da corrente entre *source* e dreno (equação (3.84)). Desta forma pode-se encontrar um novo valor de Q_{rr} para uma dada condição de I_{sd} (equação (3.85)).

$$K_{qrr} = \frac{Q_{rrD}}{\sqrt{I_{sdD}}} \tag{3.84}$$

$$Q_{rr} = K_{qrr}\sqrt{I_{sd}} \tag{3.85}$$

Considerando-se o *snapiness factor* S do diodo intrínseco como uma constante (KAZIMIERCZUK, 2008), seu valor pode ser determinado por:

$$S = \frac{dI_{sd}}{dt}_D \cdot \frac{t_{rrD}}{I_{rrD}} - 1 \tag{3.86}$$

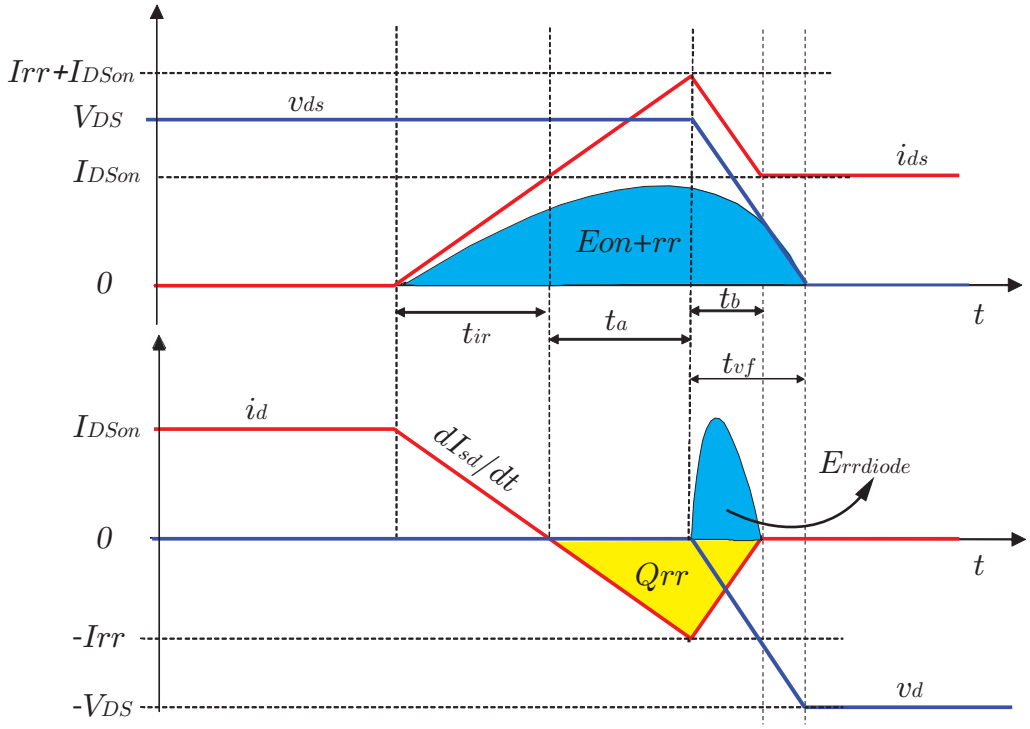
Conhecendo-se os valores de tempo de subida da corrente do interruptor complementar t_{ir} (equação (3.78)) e corrente direta entre *source* e dreno I_{sd}, determina-se o novo valor de derivada de corrente $\frac{dI_{sd}}{dt}$ (equação (3.87)).

$$\frac{dI_{sd}}{dt} = \frac{I_{sd}}{t_{ir}} \tag{3.87}$$

O novo valor de pico da corrente de recuperação reversa do diodo pode ser calculado por:

$$I_{rr} = \sqrt{\frac{dI_{sd}}{dt}\frac{2Q_{rr}}{S+1}} \tag{3.88}$$

Figura 24 – Processo de *turn-on* e recuperação reversa. Gráfico de cima: corrente de dreno e tensão dreno-*source* no MOSFET, gráfico de baixo: corrente e tensão no diodo do MOSFET complementar.



Fonte: Adaptado de (ST, 2017).

Os tempos de recuperação reversa t_{rr}, armazenamento de carga t_a e transiente t_b são:

$$t_{rr} = \frac{2Q_{rr}}{I_{rr}} \tag{3.89}$$

$$t_a = \frac{t_{rr}}{S+1} \tag{3.90}$$

$$t_b = t_{rr} - t_a \tag{3.91}$$

É importante salientar que as perdas de recuperação reversa ocorrem simultaneamente em um dos interruptores e no diodo intrínseco do interruptor complementar na configuração em meia-ponte.

Conforme pode ser observado na Figura 24, as perdas de recuperação reversa são calculadas de forma distinta dependendo da relação entre t_{vf} e t_b. Caso $t_{vf} > t_b$, a perda que ocorre no diodo devido à recuperação reversa é dada pela equação (3.92). Caso $t_{vf} < t_b$, a perda que ocorre no diodo devido à recuperação reversa é dada pela equação (3.93).

$$E_{rrdiode} = \int_0^{t_b} \frac{-V_{DS}}{t_{vf}} \cdot t \cdot \left(-I_{rr} + \frac{I_{rr}}{t_b} \cdot t\right) dt \tag{3.92}$$

$$E_{rrdiode} = \int_0^{t_{vf}} \frac{-V_{DS}}{t_{vf}} \cdot t \cdot \left(-I_{rr} + \frac{I_{rr}}{t_b} \cdot t\right) dt + \int_{t_{vf}}^{t_b} -V_{DS} \cdot \left(-I_{rr} + \frac{I_{rr}}{t_b} \cdot t\right) dt \quad (3.93)$$

Resolvendo as integrais das equações (3.92) e (3.93), obtém-se:

$$E_{rrdiode} = \begin{cases} \dfrac{V_{DS} I_{rr} t_b^2}{6 t_{vf}} & t_{vf} > t_b \\ \dfrac{V_{DS} I_{rr}}{2} \left(t_b - t_{vf} + \dfrac{t_{vf}^2}{3 t_b}\right) & t_{vf} < t_b \end{cases} \quad (3.94)$$

A perda total que ocorre no interruptor devido à recuperação reversa do diodo complementar e à entrada em condução é dada pela equação (3.95) para $t_{vf} > t_b$ e pela equação (3.96) para $t_{vf} < t_b$.

$$\begin{aligned} E_{on+rr} = & \int_0^{t_{ir}+t_a} V_{DS} \frac{I_{DSon} + I_{rr}}{t_{ir} + t_a} t dt \\ & + \int_0^{t_b} \left(V_{DS} - \frac{V_{DS}}{t_{vf}} t\right) \left(I_{DSon} + I_{rr} - \frac{I_{rr}}{t_b} t\right) dt \\ & + \int_{t_b}^{t_{vf}} \left(V_{DS} - \frac{V_{DS}}{t_{vf}} t\right) I_{DSon} dt \end{aligned} \quad (3.95)$$

$$\begin{aligned} E_{on+rr} = & \int_0^{t_{ir}+t_a} V_{DS} \frac{I_{DSon} + I_{rr}}{t_{ir} + t_a} t dt \\ & + \int_0^{t_{vf}} \left(V_{DS} - \frac{V_{DS}}{t_{vf}} t\right) \left(I_{DSon} + I_{rr} - \frac{I_{rr}}{t_b} t\right) dt \end{aligned} \quad (3.96)$$

Resolvendo-se as integrais dadas pelas equações (3.95) e (3.96), obtém-se a expressão (3.97).

$$E_{on+rr} = \begin{cases} \dfrac{V_{DS}}{2} \left((t_a + t_{ir} + t_{vf}) I_{DSon} + \left(t_a + t_b + t_{ir} - \dfrac{t_b^2}{3 t_{vf}}\right) I_{rr}\right) & t_{vf} > t_b \\ \dfrac{V_{DS}}{2} \left((t_a + t_{ir} + t_{vf}) I_{DSon} + \left(t_a + t_{vf} + t_{ir} - \dfrac{t_{vf}^2}{3 t_b}\right) I_{rr}\right) & t_{vf} < t_b \end{cases} \quad (3.97)$$

Subtraindo-se a expressão de E_{on} (equação (3.82)) da equação (3.97) obtém-se a equação (3.98) da perda no interruptor causada exclusivamente pela recuperação reversa do diodo intrínseco do interruptor complementar.

$$E_{rrsw} = \begin{cases} \dfrac{V_{DS}}{2} \left(t_a I_{DSon} + \left(t_a + t_b + t_{ir} - \dfrac{t_b^2}{3 t_{vf}}\right) I_{rr}\right) & t_{vf} > t_b \\ \dfrac{V_{DS}}{2} \left(t_a I_{DSon} + \left(t_a + t_{vf} + t_{ir} - \dfrac{t_{vf}^2}{3 t_b}\right) I_{rr}\right) & t_{vf} < t_b \end{cases} \quad (3.98)$$

Considerando-se ainda que $t_a I_{DSon} = t_{ir} I_{rr}$ e que $t_a + t_b = t_{rr}$, obtém-se a equação (3.99).

$$E_{rrsw} = \begin{cases} \frac{V_{DS} I_{rr}}{2} \left(t_{rr} + 2t_{ir} - \frac{t_b^2}{3t_{vf}} \right) & t_{vf} > t_b \\ \frac{V_{DS} I_{rr}}{2} \left(t_a + t_{vf} + 2t_{ir} - \frac{t_{vf}^2}{3t_b} \right) & t_{vf} < t_b \end{cases} \tag{3.99}$$

Caso a corrente seja negativa na entrada em condução $I_{DSon} < 0$, então não ocorrerão perdas de entrada em condução e nem de recuperação reversa no interruptor. Caso $I_{DSon} > 0$, então as perdas de entrada em condução, e de recuperação reversa no interruptor serão dadas por (3.82) e (3.99). No caso do bloqueio do interruptor, caso a corrente seja positiva $I_{DSoff} > 0$, então ocorrerão apenas perdas de bloqueio no interruptor, e caso a corrente seja negativa $I_{DSoff} < 0$, então ocorrerão apenas perdas de recuperação reversa no diodo intrínseco. Estas perdas são dadas pelas equações (3.83) e (3.94) respectivamente.

Considerando as etapas de operação para o semiciclo positivo da rede elétrica, mostradas na Figura 25, verifica-se a existência de perdas de *turn-on* em S_2 e S_3 (entre a quarta e a quinta etapas, e entre a nona e a décima etapas), perdas de *turn-off* em S_2 e S_3 (entre a sexta e a sétima etapas, e entre a primeira e segunda etapas), e perdas de recuperação reversa nos diodos de S_1 e S_4 e nos interruptores S_2 e S_3 (na quinta etapa de operação, e na décima etapa de operação).

De forma análoga, a Figura 26 apresenta as etapas de operação para o semiciclo negativo da rede elétrica. Nesta Figura observa-se a existência de perdas de *turn-on* em S_1 e S_4 (entre a quarta e a quinta etapas de operação, e entre a nona e a décima etapas), perdas de *turn-off* em S_1 e S_4 (entre a sexta e a sétima etapas, e entre a primeira e a segunda etapas de operação), e perdas de recuperação reversa nos diodos de S_2 e S_3 e nos interruptores S_1 e S_4 (na quinta etapa, e na décima etapa de operação).

A potência dissipada por condução pode ser calculada considerando-se a R_{DSon} variável com a corrente. Por fim determina-se o valor médio do produto entre resistência multiplicada pelo valor de corrente instantânea ao quadrado:

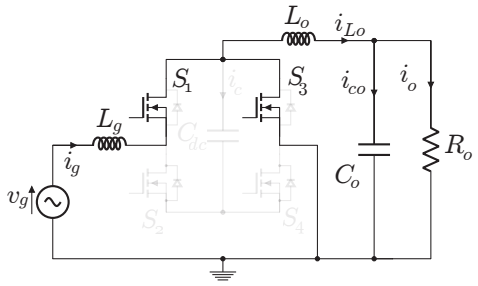
$$p_{cond}(t) = R_{DSon}(i_{ds}(t)) \cdot i_{ds}^2(t) \tag{3.100}$$

$$P_{cond} = \frac{1}{T_g} \int_0^{T_g} p_{cond}(t) dt \tag{3.101}$$

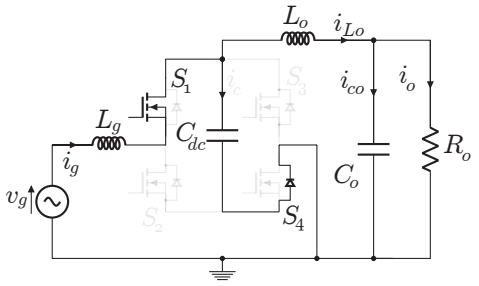
É importante considerar que $V_{DS}, I_{DSon}, I_{DSoff}$, e $C_{iss\ at\ V_{DS}}$ variam ao longo do período da rede elétrica, resultando na necessidade do cálculo de perdas de comutação de forma iterativa. O método utilizado neste trabalho consiste na determinação das formas de onda de corrente e tensão sobre os interruptores de forma numérica, e o cálculo dos valores de $E_{on}, E_{off}, E_{rrdiode}, E_{rrsw}$ e E_{cond} para cada período de comutação.

Figura 25 – Etapas de operação para o semiciclo positivo da tensão da rede elétrica.

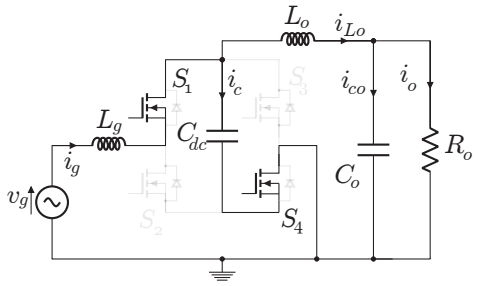
(a) Primeira etapa de operação



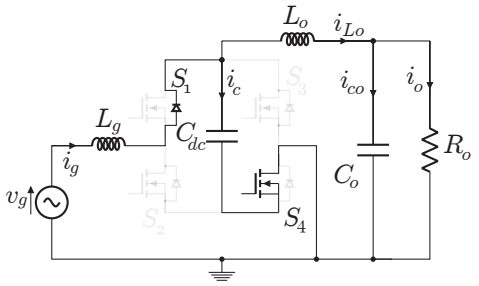
(b) Segunda etapa de operação



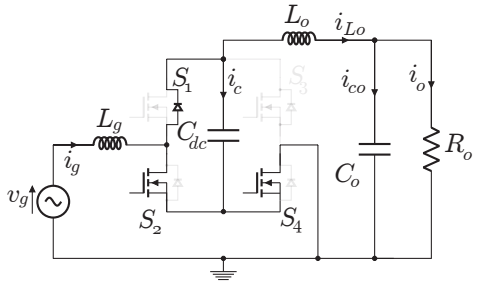
(c) Terceira etapa de operação



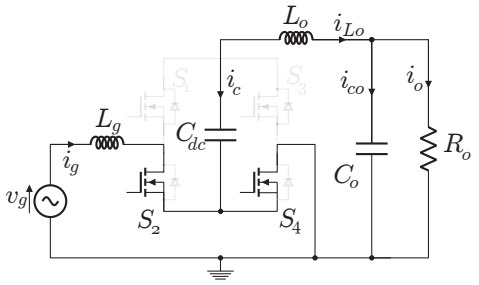
(d) Quarta etapa de operação



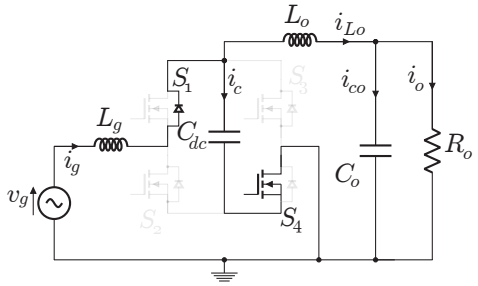
(e) Quinta etapa de operação



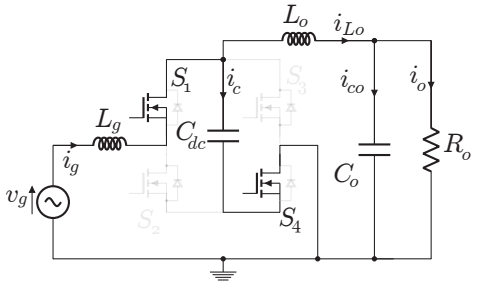
(f) Sexta etapa de operação



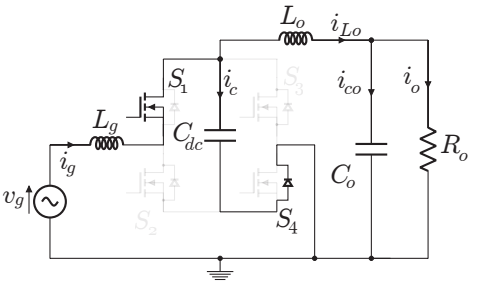
(g) Sétima etapa de operação



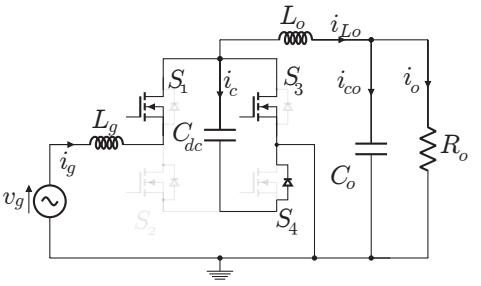
(h) Oitava etapa de operação



(i) Nona etapa de operação



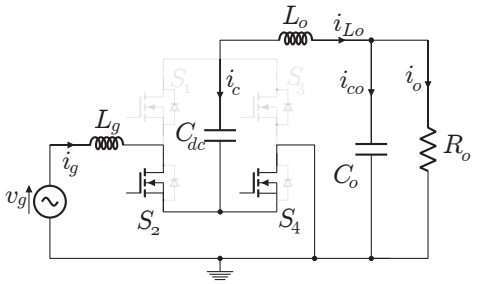
(j) Décima etapa de operação



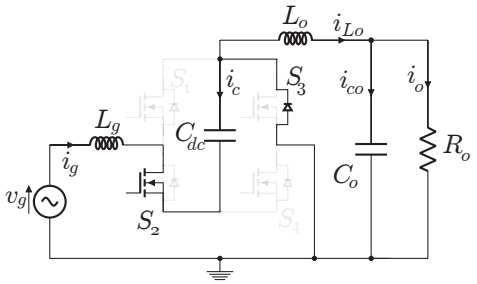
Fonte: Autor.

Figura 26 – Etapas de operação para o semiciclo negativo da tensão da rede elétrica.

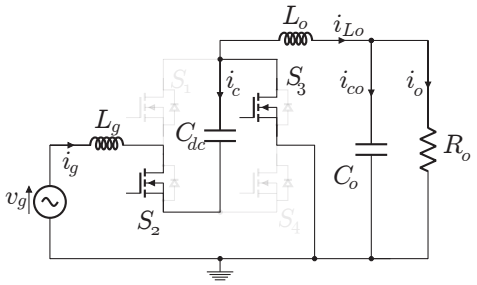
(a) Primeira etapa de operação



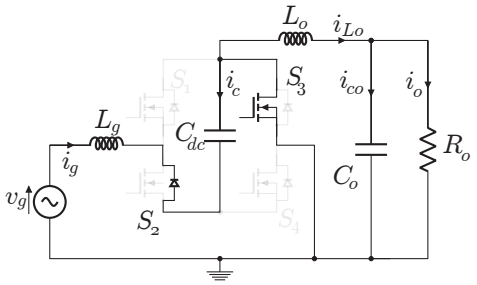
(b) Segunda etapa de operação



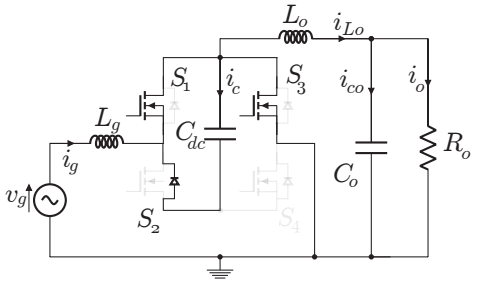
(c) Terceira etapa de operação



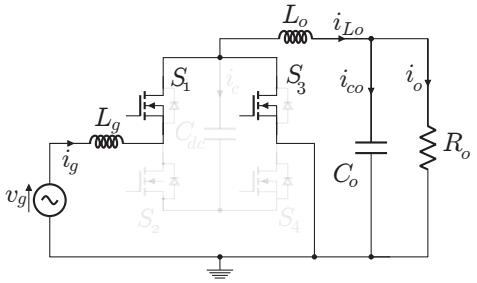
(d) Quarta etapa de operação



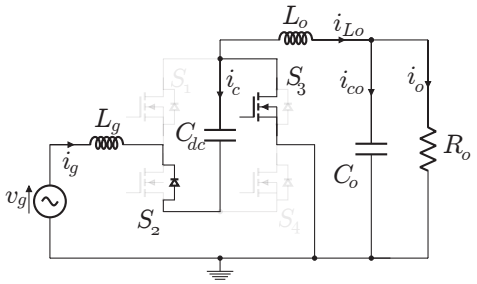
(e) Quinta etapa de operação



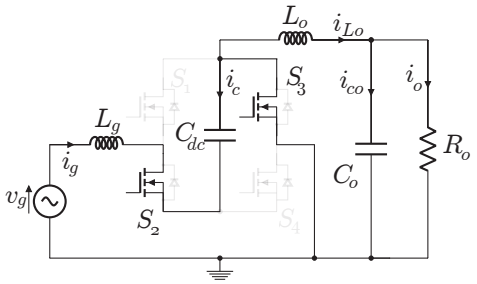
(f) Sexta etapa de operação



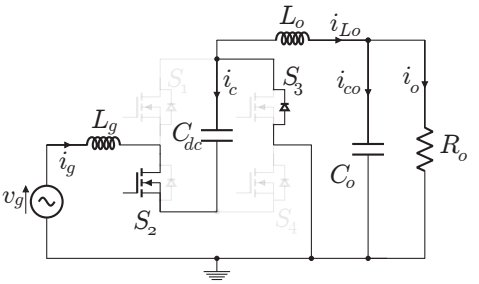
(g) Sétima etapa de operação



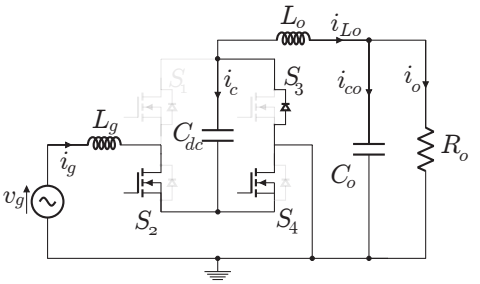
(h) Oitava etapa de operação



(i) Nona etapa de operação



(j) Décima etapa de operação



Fonte: Autor.

Somam-se então todos estes valores ao longo de um período da rede elétrica, e multiplica-se o resultado final pela frequência da rede elétrica, obtendo-se a perda total em cada interruptor, conforme as equações (3.102), (3.103), (3.104), e (3.101).

$$P_{sw} = f_g \sum_{n=1}^{\frac{T_g}{T_s}} E_{on(n)} + E_{off(n)} \tag{3.102}$$

$$P_{rrD} = f_g \sum_{n=1}^{\frac{T_g}{T_s}} E_{rrdiode(n)} \tag{3.103}$$

$$P_{rrsw} = f_g \sum_{n=1}^{\frac{T_g}{T_s}} E_{rrsw(n)} \tag{3.104}$$

Considerando-se as especificações do conversor θ dadas na Tabela 4, e o procedimento de cálculo de perdas apresentado, determinaram-se as perdas com o uso de alguns interruptores SiC previamente selecionados[10]. O resultado do algoritmo de cálculo de perdas nos semicondutores é apresentado na Figura 27.

O dispositivo C2M0080170P foi selecionado por ser um dispositivo com tensão de bloqueio de $1700V$, e apresentar menor custo comparado ao C2M0045170D, embora suas perdas totais sejam aproximadamente duas vezes maiores.

3.4 DIMENSIONAMENTO DOS DISSIPADORES

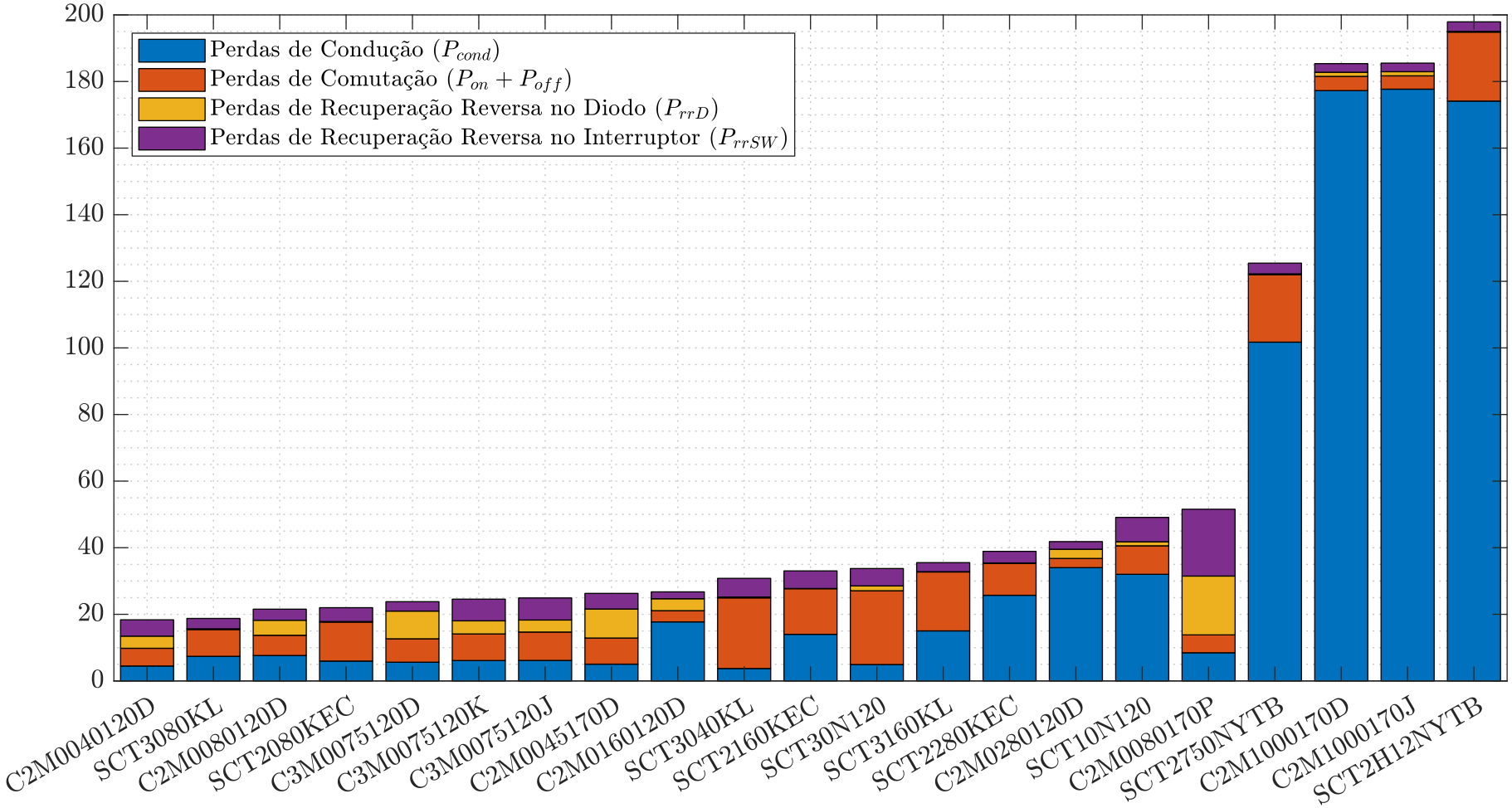
A fim de assegurar a máxima temperatura de junção para os semicondutores é necessária a determinação de um dissipador apropriado.

O dimensionamento dos dissipadores está baseado no modelo elétrico análogo ao modelo térmico. Neste modelo as perdas totais dissipadas em cada semicondutor, as temperaturas e as resistências térmicas são representadas por fontes de corrente, tensões e resistências elétricas, respectivamente.

A fim de reduzir o tamanho dos dissipadores, será considerado o uso de dois dissipadores. Um deles para os interruptores S_1 e S_2 e o outro para os interruptores S_3 e S_4. O modelo elétrico análogo ao modelo térmico está apresentado na Figura 28. P_n é a potência dissipada no interruptor S_n, T_{jn} e T_{cn} são as temperaturas na junção e no encapsulamento do interruptor S_n. T_{amb} é a temperatura ambiente, T_{hn} é a temperatura do dissipador n. R_{jc}, R_{ch}, e R_{ha} são as resistência térmicas entre junção-encapsulamento, encapsulamento-dissipador, e dissipador-ambiente, respectivamente.

[10] Os semicondutores foram previamente selecionados com base em critérios de corrente direta e tensão de bloqueio.

Figura 27 – Perdas totais nos 4 interruptores, para as especificações dadas na Tabela 4.



Fonte: Autor.

O objetivo do dimensionamento é a determinação da máxima resistência térmica do dissipador capaz de garantir o valor máximo de temperatura de junção desejada. As equações térmicas para o dissipador 1 são:

$$T_{h1} = T_{amb} + R_{ha} \cdot (P_1 + P_2) \tag{3.105}$$

$$T_{j1} = T_{h1} + P_1 \cdot (R_{jc} + R_{ch}) \tag{3.106}$$

$$T_{j2} = T_{h1} + P_2 \cdot (R_{jc} + R_{ch}) \tag{3.107}$$

De forma análoga para o dissipador 2:

$$T_{h2} = T_{amb} + R_{ha} \cdot (P_3 + P_4) \tag{3.108}$$

$$T_{j3} = T_{h2} + P_3 \cdot (R_{jc} + R_{ch}) \tag{3.109}$$

$$T_{j4} = T_{h2} + P_4 \cdot (R_{jc} + R_{ch}) \tag{3.110}$$

Será considerada a máxima temperatura desejada na junção de $T_{jmax} = 100$ °C, temperatura ambiente $T_{amb} = 40$ °C, perdas de $P_1 = 15,10\ W, P_2 = 15,32\ W, P_3 = 11,10\ W$, e $P_4 = 16,64\ W$. A resistência térmica entre junção-encapsulamento é $R_{jc} = 0,45\ K/W$ para o dispositivo C2M0080170P. Como isolante será utilizado alumina[11] com espessura 2 mm, a qual produz uma resistência térmica entre encapsulamento-dissipador de $R_{ch} = 0,3\ K/W$ [12]. Com rigidez dielétrica de 10 kV/mm, considerando sua espessura, a alumina consegue suportar 20 kV.

Considerando estas especificações e as equações (3.105), (3.106), (3.107), (3.108), (3.109), e (3.110), a resistência térmica requerida de cada dissipador é dada por:

$$R_{ha} \leq 1,5951\ K/W \tag{3.111}$$

Será considerado o uso de dissipadores da empresa HSdissipadores. De acordo com o catálogo do fabricante, a resistência térmica dos dissipadores deve ser corrigida para o altura do dissipador, e a para a diferença de temperatura entre o dissipador e o ambiente. Considerando a altura do dissipador de $h = 70\ mm$ e a diferença de temperatura entre ambiente e dissipador de $\Delta T = T_h - T_a = 100 - 40 = 60$ °C, os fatores de correção são dados por:

$$K_{temp} = 1,057 \tag{3.112}$$

$$K_{height} = 1,22 \tag{3.113}$$

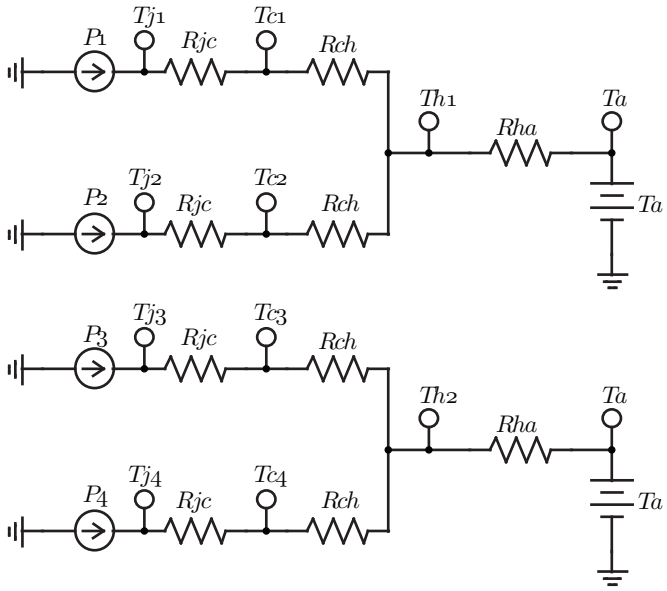
Utilizando os fatores de temperatura e altura, o valor de resistência térmica a ser procurado no catálogo do fabricante é de:

$$R_{ha,hs\ dissipadores} \leq \frac{R_{ha}}{K_{temp} \cdot K_{height}} = 1,2370\ K/W \tag{3.114}$$

[11] Óxido de alumínio Al_2O_3.

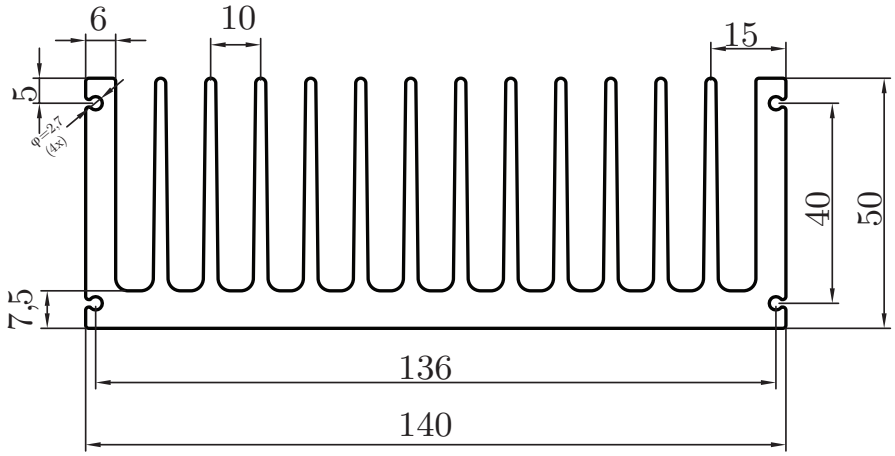
[12] A condutividade térmica da alumina é $\sigma_{al} = 18\ W/mK$. Considerando as dimensões do isolador 19 mm x 22 mm x 2 mm, a resistência térmica do isolador é: $R_{ha} = \frac{1}{\sigma_{al}} \frac{espessura}{área} = 0,27\ K/W$. Este valor foi arredondado para $R_{ch} = 0,3\ K/W$.

Figura 28 – Modelo elétrico análogo ao modelo térmico utilizado para dimensionamento dos dissipadores.



Fonte: Autor.

Figura 29 – Dissipador HS14050-70 da HS dissipadores. Todas as dimensões em mm.



Fonte: HSdissipadores, 2019.

Escolhe-se o dissipador modelo HS14050-70, com $R_{ha,HS14050-70} = 1,06\ °C/W/4''$[13] apresentado na Figura 29. Com este dissipador, pode-se finalmente calcular qual a temperatura de cada dissipador e de cada interruptor. A resistência térmica deste dissipador, considerando as correções de altura e temperatura é dada por:

$$R_{ha} = K_{temp} \cdot K_{height} \cdot R_{ha,HS14050-70} = 1,3669\ K/W \tag{3.115}$$

[13] A unidade utilizada $C/W/4''$ indica a resistência térmica para um dissipador com altura de 4 polegadas.

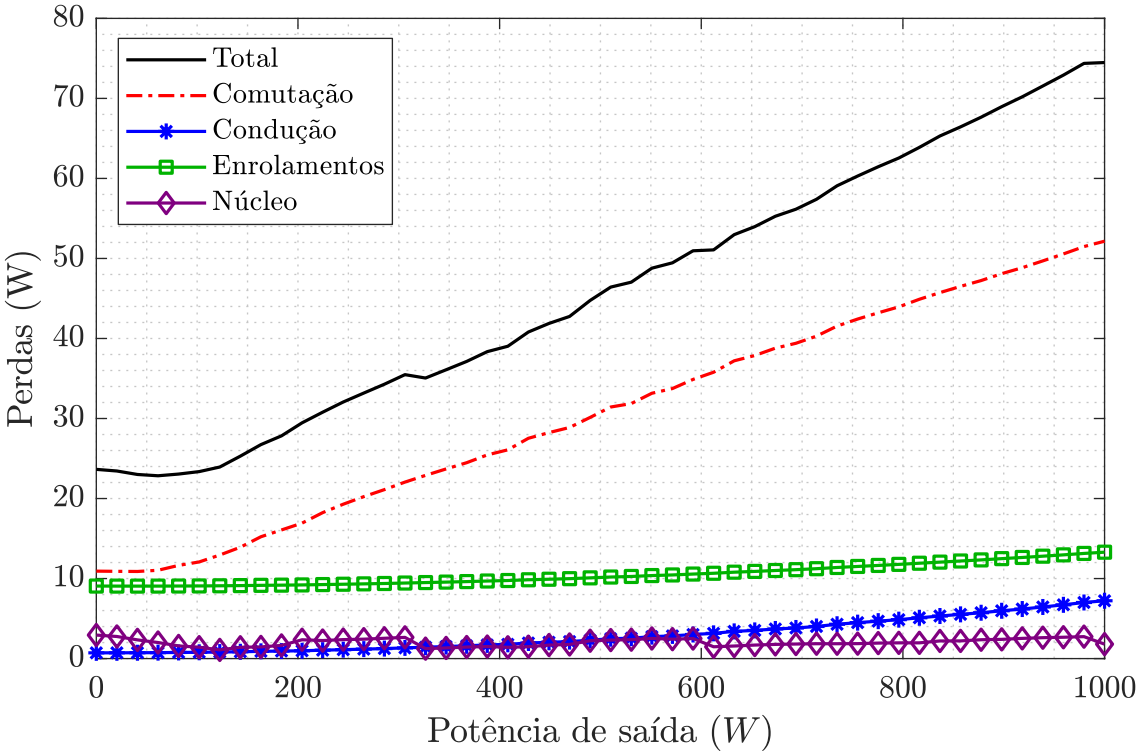
As temperaturas esperadas nos dissipadores e nas junções são:

$$T_{h1} = T_{amb} + R_{ha} \cdot (P_1 + P_2) = 81,57\ ^\circ C \tag{3.116}$$
$$T_{h2} = T_{amb} + R_{ha} \cdot (P_3 + P_4) = 77,91\ ^\circ C \tag{3.117}$$
$$T_{j1} = T_{h1} + P_1 \cdot (R_{jc} + R_{ch}) = 92,89\ ^\circ C \tag{3.118}$$
$$T_{j2} = T_{h1} + P_2 \cdot (R_{jc} + R_{ch}) = 93,06\ ^\circ C \tag{3.119}$$
$$T_{j3} = T_{h2} + P_3 \cdot (R_{jc} + R_{ch}) = 86,24\ ^\circ C \tag{3.120}$$
$$T_{j4} = T_{h2} + P_4 \cdot (R_{jc} + R_{ch}) = 90,39\ ^\circ C \tag{3.121}$$

3.5 PERDAS E RENDIMENTO

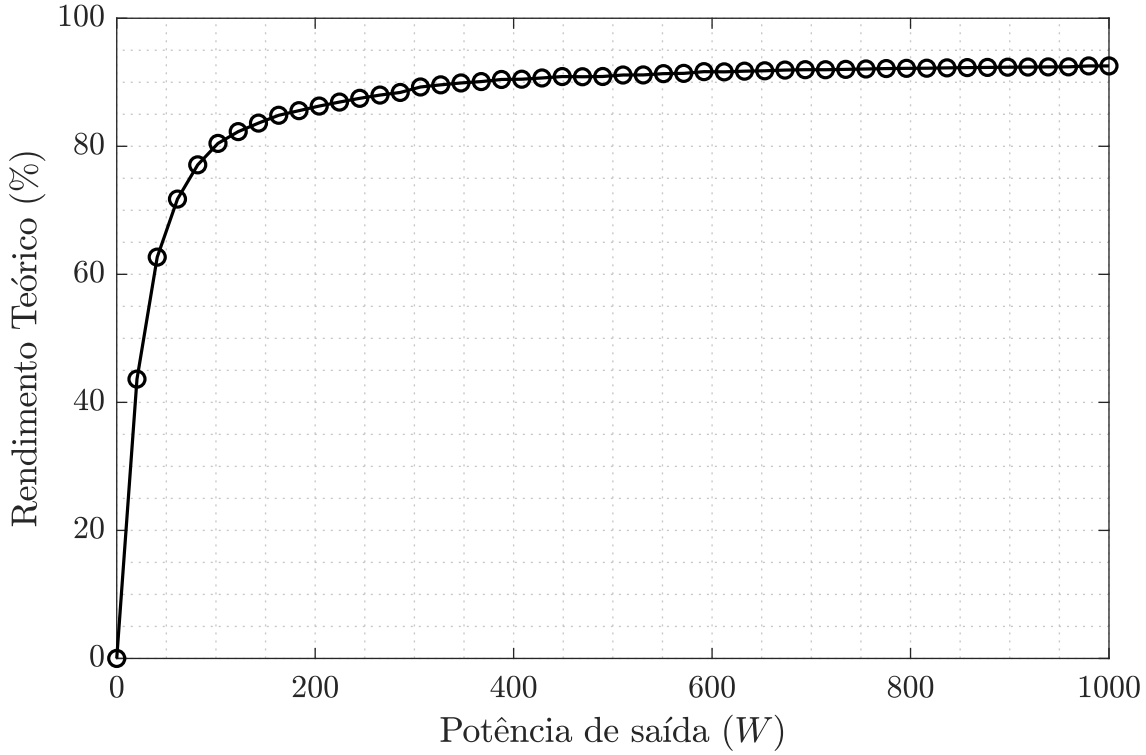
Utilizando os algoritmos de cálculo de perdas de condução e comutação nos semicondutores, assim como de perdas no núcleo e nos enrolamentos para os indutores, é possível determinar as perdas com o aumento da potência conforme mostrado na Figura 30 e o rendimento conforme a Figura 31.

Figura 30 – Perdas teóricas com o aumento da potência de saída.



Fonte: Autor.

Figura 31 – Rendimento teórico com o aumento da potência de saída.



Fonte: Autor.

4 CONTROLE DO CONVERSOR θ EMPREGANDO *ENHANCED AUTOMATIC POWER DECOUPLING* (EAPD)

Neste trabalho é empregada a estratégia de controle proposta em (LI et al., 2018), denominada *Enhanced Automatic Power Decoupling (EAPD)*. Seja o valor médio de tensão no indutor L_g dado por:

$$v_{Lg} = L_g \frac{di_{Lg}}{dt} = v_g + v_c(d_{e4} - d_{e2}) \tag{4.1}$$

$$L_g \frac{di_{Lg}}{dt} = v_g + v_c(d_2 - d_4) \tag{4.2}$$

O valor médio da tensão no indutor L_o é dado por:

$$v_{Lo} = L_o \frac{di_{Lo}}{dt} = (d_{e1} + d_{e2})v_c - v_o \tag{4.3}$$

$$L_o \frac{di_{Lo}}{dt} = d_4 v_c - v_o \tag{4.4}$$

O valor médio de corrente no capacitor C_{dc} é dado por:

$$i_c = C_{dc} \frac{dv_c}{dt} = i_{Lg}(d_{e2} - d_{e4}) - i_{Lo}(d_{e1} + d_{e2}) \tag{4.5}$$

$$C_{dc} \frac{dv_c}{dt} = i_{Lg}(d_4 - d_2) - i_{Lo} d_4 \tag{4.6}$$

O valor médio de corrente no capacitor C_o é dado por:

$$i_{co} = C_o \frac{dv_{co}}{dt} = i_{Lo} - i_o \tag{4.7}$$

$$C_o \frac{dv_{co}}{dt} = i_{Lo} - \frac{v_o}{R_o} \tag{4.8}$$

As equações (4.2), (4.4), (4.6) e (4.8) podem ser colocadas sob a forma matricial:

$$\begin{bmatrix} L_g & 0 & 0 & 0 \\ 0 & L_o & 0 & 0 \\ 0 & 0 & C_{dc} & 0 \\ 0 & 0 & 0 & C_o \end{bmatrix} \begin{bmatrix} \dot{i_{Lg}} \\ \dot{i_{Lo}} \\ \dot{v_c} \\ \dot{v_o} \end{bmatrix} = \begin{bmatrix} 0 & 0 & d_2 - d_4 & 0 \\ 0 & 0 & d_4 & -1 \\ d_4 - d_2 & -d_4 & 0 & 0 \\ 0 & 1 & 0 & -\frac{1}{R_o} \end{bmatrix} \begin{bmatrix} i_{Lg} \\ i_{Lo} \\ v_c \\ v_o \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix} v_g \tag{4.9}$$

Eliminando-se a terceira linha[1] da expressão (4.9) vem:

$$\begin{bmatrix} L_g & 0 & 0 \\ 0 & L_o & 0 \\ 0 & 0 & C_o \end{bmatrix} \begin{bmatrix} \dot{i_{Lg}} \\ \dot{i_{Lo}} \\ \dot{v_o} \end{bmatrix} = \begin{bmatrix} 0 & 0 & d_2 - d_4 & 0 \\ 0 & 0 & d_4 & -1 \\ 0 & 1 & 0 & -\frac{1}{R_o} \end{bmatrix} \begin{bmatrix} i_{Lg} \\ i_{Lo} \\ v_c \\ v_o \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} v_g \tag{4.10}$$

Procedendo com o processo de desacoplamento[2] vem:

$$\begin{bmatrix} L_g & 0 & 0 \\ 0 & L_o & 0 \\ 0 & 0 & C_o \end{bmatrix} \begin{bmatrix} \dot{i_{Lg}} \\ \dot{i_{Lo}} \\ \dot{v_o} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & -\frac{1}{R_o} \end{bmatrix} \begin{bmatrix} i_{Lg} \\ i_{Lo} \\ v_o \end{bmatrix} + \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} \tag{4.11}$$

As ações de controle u_a, u_b e u_c são dadas por:

$$\begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \begin{bmatrix} 0 & 0 & d_2 - d_4 & 0 \\ 0 & 0 & d_4 & -1 \\ 0 & 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Lg} \\ i_{Lo} \\ v_c \\ v_o \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} v_g \tag{4.12}$$

Resolvendo-se a expressão matricial anterior para d_2 e d_4 vem:

$$\begin{bmatrix} d_2 \\ d_4 \end{bmatrix} = \begin{bmatrix} \frac{u_a - v_g}{v_c} + d_4 \\ \frac{u_b + v_o}{v_c} \end{bmatrix} \tag{4.13}$$

Da equação (4.11) vem:

$$L_g \cdot s \cdot i_{Lg} = u_a \tag{4.14}$$

$$L_o \cdot s \cdot i_{Lo} = u_b \tag{4.15}$$

$$C_o \cdot s \cdot v_o = -\frac{v_o}{R_o} + u_c = -\frac{v_o}{R_o} + i_{Lo} \tag{4.16}$$

Resultando nas plantas:

$$\frac{i_{Lg}}{u_a} = \frac{1}{sL_g} \tag{4.17}$$

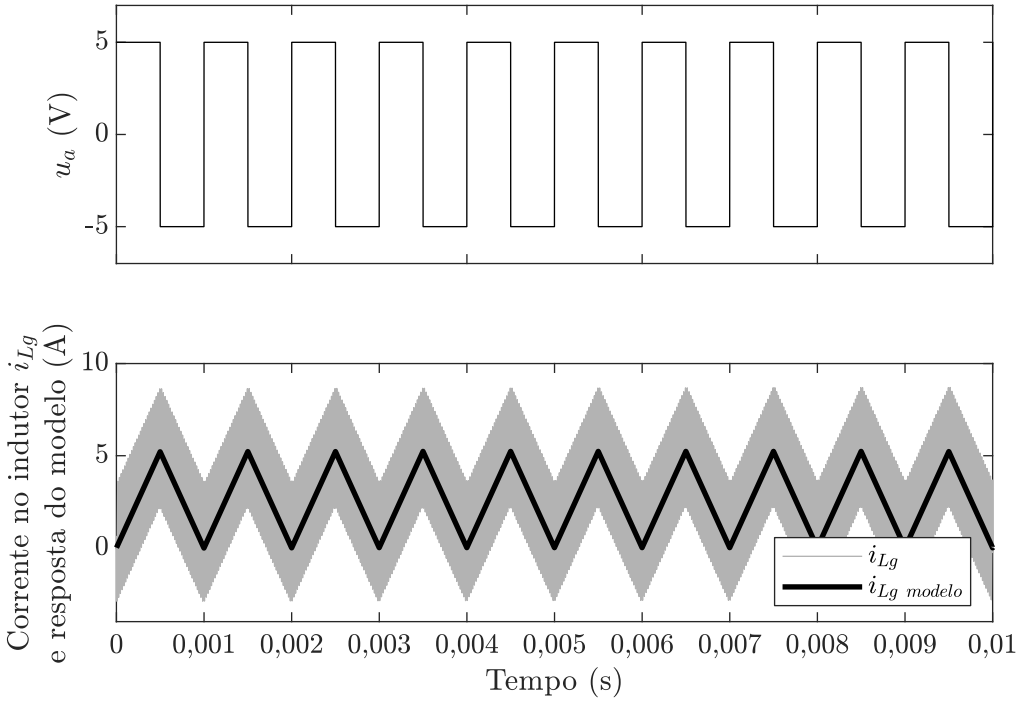
$$\frac{i_{Lo}}{u_b} = \frac{1}{sL_o} \tag{4.18}$$

$$\frac{v_o}{i_{Lo}} = \frac{R_o}{C_o R_o s + 1} \tag{4.19}$$

[1] O balanço de potência no conversor CFP monofásico tem como consequência a desnecessidade do controle da tensão instantânea em v_c, uma vez controladas a corrente do lado CA e a tensão do lado CC.

[2] Eliminam-se todos os termos da matriz de estados que não sejam elementos da diagonal principal.

Figura 32 – Validação da modelo da planta de corrente em L_g pela ação de controle u_a.



Fonte: Autor.

Como validação dos modelos das plantas dados pelas equações (4.17), (4.18) e (4.19), são apresentadas as Figuras 32, 33, e 34.

Para a obtenção das formas de onda de validação dos modelos das plantas de corrente i_{Lg} e i_{Lo} foram utilizadas fontes de tensão CC em lugar dos capacitores e da tensão CA de entrada. Os valores utilizados foram $V_g = 311\ V, V_c = 875\ V$, e $V_o = 400\ V$.

Para validação do modelo da planta de tensão de saída v_{co} pela corrente i_{Lo}, foi utilizado um capacitor de 3 μF e resistência de carga de 160 Ω.

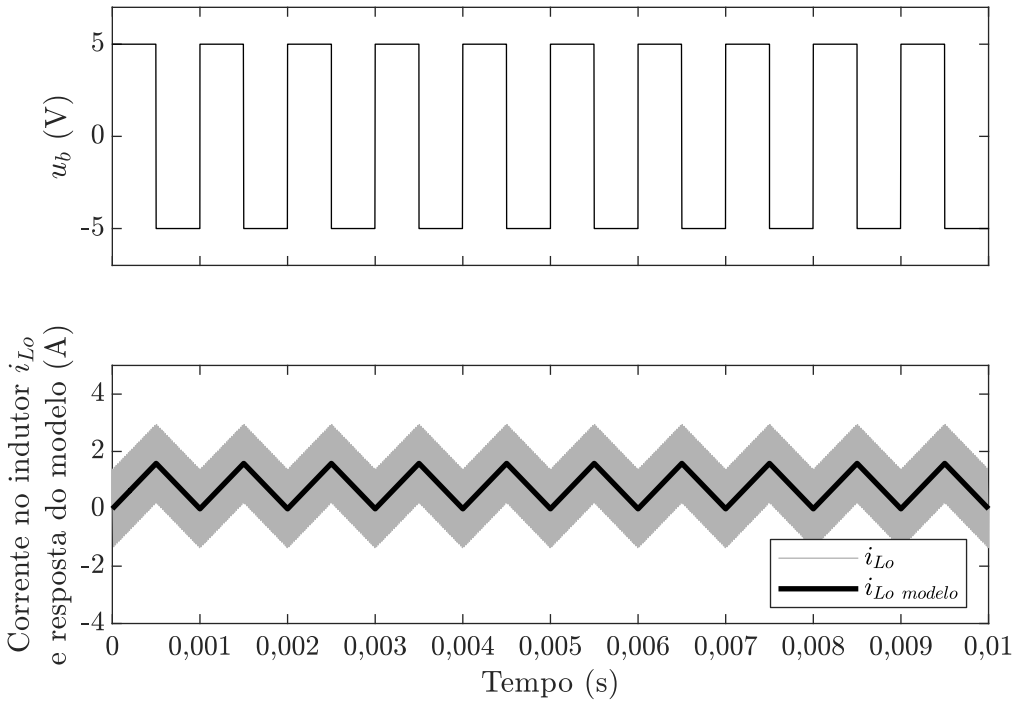
Para o controle do valor médio de tensão no capacitor de desacoplamento de potência C_{dc} a amplitude da referência de corrente da rede elétrica é controlada. Desta forma a planta que relaciona a variação do valor médio da tensão no capacitor C_{dc} com o valor eficaz de corrente da rede elétrica deve ser encontrada.

A variável de interesse nesta planta deve ser o valor médio da tensão no capacitor calculado dentro de meio período da rede elétrica, negligenciando as ondulações de baixa frequência devidas ao desacoplamento de potência ativa. Isto é feito pois todas as componentes harmônicas da tensão no capacitor são múltiplas da segunda harmônica da frequência da rede elétrica. Seja o balanço de potência no conversor dado por [3]:

$$\langle p_c \rangle_{\frac{T_g}{2}} = \langle p_g \rangle_{\frac{T_g}{2}} - \langle p_o \rangle_{\frac{T_g}{2}} - \langle p_{Lg} \rangle_{\frac{T_g}{2}} \tag{4.20}$$

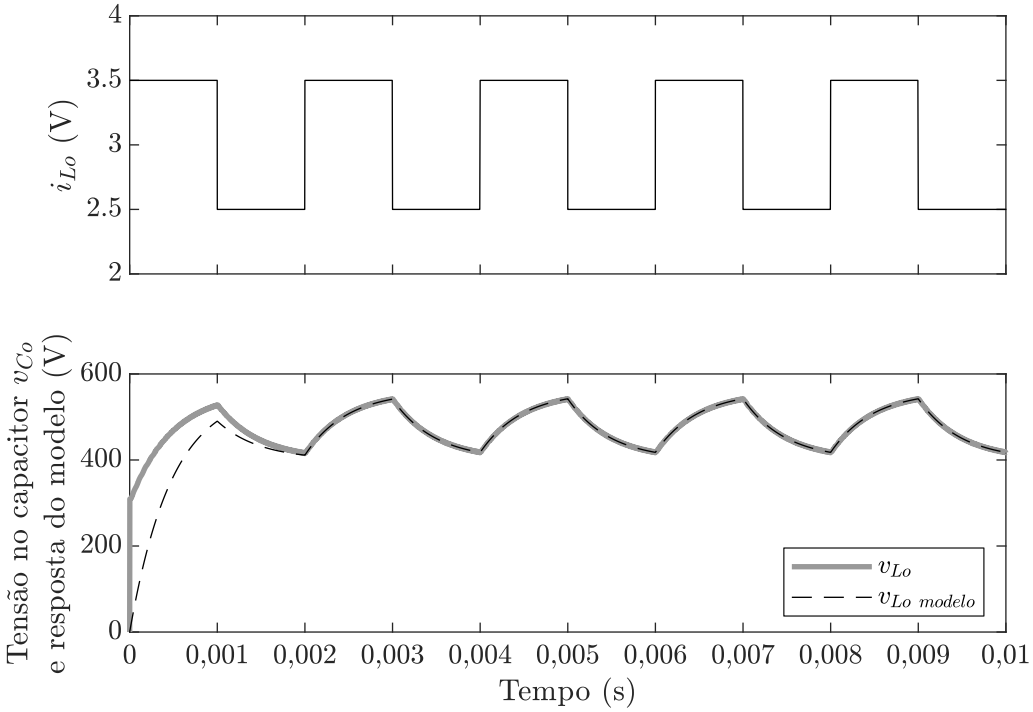
[3] A potência instantânea no indutor de saída do lado CC é desprezada pois a variação de potência na saída foi desconsiderada.

Figura 33 – Validação da modelo da planta de corrente em L_o pela ação de controle u_b.



Fonte: Autor.

Figura 34 – Validação da modelo da planta de tensão em C_o pela corrente em L_o.



Fonte: Autor.

Considerando-se que o termo $\langle p_{Lg} \rangle_{\frac{T_g}{2}}$ relacionado à potência do indutor L_g é desprezível em relação à potência da rede elétrica, e considerando que a potência no capacitor p_c é produto de sua tensão e corrente instantâneas, vem:

$$\left\langle v_c \cdot C_{dc} \frac{dv_c}{dt} \right\rangle_{\frac{T_g}{2}} = \langle p_g \rangle_{\frac{T_g}{2}} - \langle p_o \rangle_{\frac{T_g}{2}} \tag{4.21}$$

Considerando as perturbações de pequeno sinal:

$$v_c = V_c + \tilde{v}_c \tag{4.22}$$

$$\langle p_g \rangle_{\frac{T_g}{2}} = V_{grms} \cdot \left(I_{grms} + \tilde{\dot{i}}_{grms} \right) \tag{4.23}$$

$$\langle p_o \rangle_{\frac{T_g}{2}} = P_o \tag{4.24}$$

É importante salientar que o valor eficaz da corrente $i_{grms} = I_{grms} + \tilde{\dot{i}}_{grms}$ utilizado na expressão (4.23) considera apenas a componente fundamental da corrente de entrada. As outras componentes harmônicas de corrente de entrada não produzem variações de potência ativa caso a tensão de entrada seja perfeitamente senoidal, e podem ser desprezadas.

$$\left\langle (V_c + \tilde{v}_c) \cdot C_{dc} \frac{d\left(V_c + \tilde{v}_c\right)}{dt} \right\rangle_{\frac{T_g}{2}} = V_{grms} \cdot \left(I_{grms} + \tilde{\dot{i}}_{grms} \right) - P_o \tag{4.25}$$

Considerando que os valores médios de potência entrando e saindo do conversor são iguais, isto é:

$$P_o = V_{grms} \cdot I_{grms} \tag{4.26}$$

Considerando ainda que a derivada do termo constante V_c é nula, chega-se à expressão:

$$\left\langle (V_c + \tilde{v}_c) \cdot C_{dc} \frac{d\tilde{v}_c}{dt} \right\rangle_{\frac{T_g}{2}} = V_{grms} \cdot \tilde{\dot{i}}_{grms} \tag{4.27}$$

Desprezando-se o termo de pequeno sinal de 2ª ordem $\tilde{v}_c \cdot C_{dc} \frac{d\tilde{v}_c}{dt}$, vem:

$$V_c \cdot C_{dc} \cdot \left\langle \frac{d\tilde{v}_c}{dt} \right\rangle_{\frac{T_g}{2}} = V_{grms} \cdot \tilde{\dot{i}}_{grms} \tag{4.28}$$

Aplicando-se a transformada de Laplace à equação anterior vem:

$$V_c \cdot C_{dc} \cdot \tilde{v}_c \cdot s = V_{grms} \cdot \tilde{\dot{i}}_{grms} \tag{4.29}$$

A relação entre as variações de pequeno sinal na referência do valor eficaz de corrente e no valor médio da tensão sobre o capacitor C_{dc} é dada finalmente por:

$$\frac{\tilde{v}_c}{\tilde{\dot{i}}_{grms}} = \frac{V_{grms}}{V_c \cdot C_{dc} \cdot s} \tag{4.30}$$

Caso o sinal usado como padrão para geração da forma de onda de i_{gref} tenha a componente fundamental com amplitude unitária então o ganho do multiplicador[4] é dado por:

$$\frac{\tilde{i}_{grms}}{\tilde{i}_{gpk}} = \frac{\sqrt{2}}{2} \tag{4.31}$$

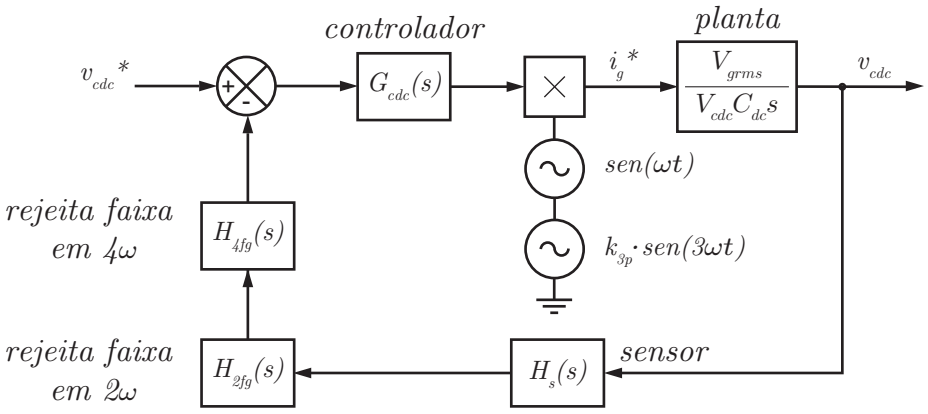
A planta usada para controle do valor médio de tensão do capacitor C_{dc} incluindo o ganho do multiplicador é dada por:

$$\frac{\tilde{v}_c}{\tilde{i}_{gpk}} = \frac{V_{grms} \cdot \sqrt{2}}{2 \cdot V_c \cdot C_{dc} \cdot s} \tag{4.32}$$

A equação (4.32) representa um integrador com ganho. Isto é coerente com o comportamento do conversor, considerando que caso a potência de saída seja mantida constante e seja aumentada a potência de entrada (pelo aumento de i_{gpk}) então o valor médio de tensão no capacitor $\langle v_c \rangle_{\frac{T_g}{2}}$ irá aumentar em rampa, devido ao armazenamento de energia no mesmo.

O esquema de controle do valor médio de tensão $\langle v_c \rangle_{\frac{T_g}{2}}$ é mostrado na Figura 35.

Figura 35 – Estratégia de controle do valor médio da tensão no capacitor de desacoplamento de potência v_c

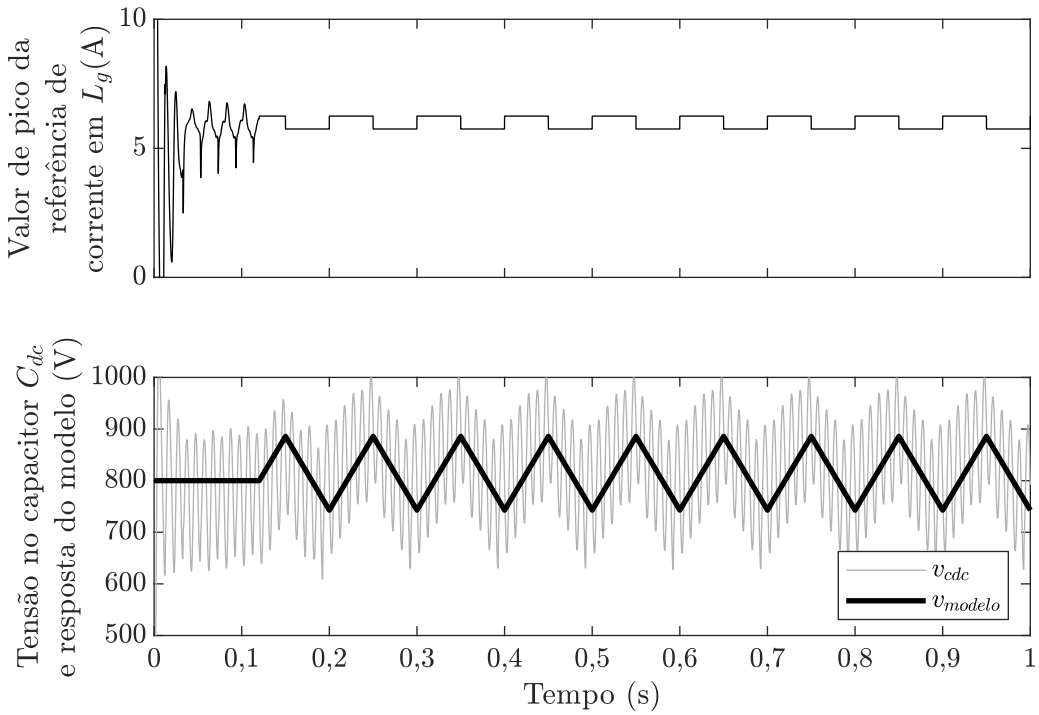


Fonte: Autor.

Como validação desta planta em simulação, um sinal quadrado com frequência 10 Hz é aplicado à referência de corrente em L_g, considerando $C_{dc} = 17\ \mu F, V_{grms} = 220\ V, f_g = 50\ Hz$, e $V_c = 800\ V$. Após a estabilização da tensão em C_{dc} em seu valor nominal, o sinal quadrado com amplitude $0,5\ A$ é aplicado simultaneamente ao modelo e à planta. Como o modelo é válido apenas para pequenos sinais, aplica-se apenas a perturbação no modelo, sendo o valor de tensão médio em C_{dc} somado em sua saída. O sinal de entrada e a resposta são mostrados na Figura 36.

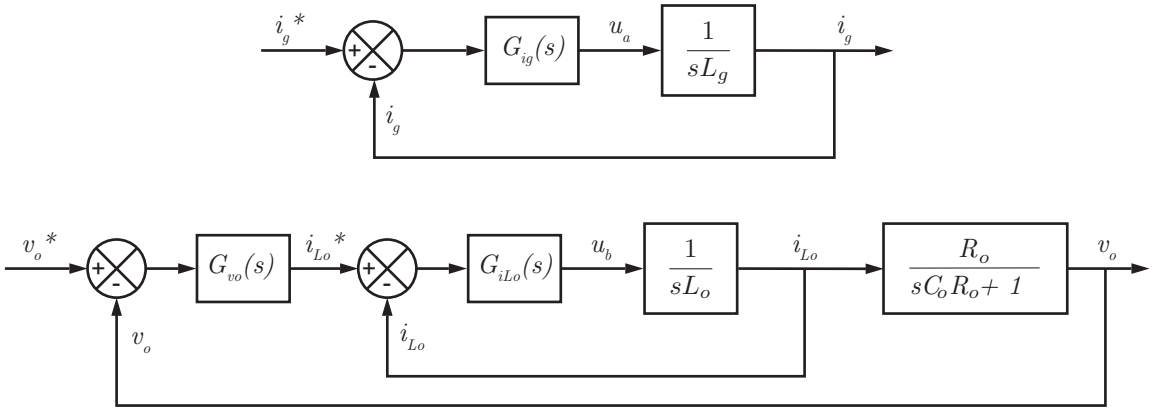
[4] Este multiplicador é responsável por transformar a referência de corrente de pico em uma referência de corrente instantânea. Para uma referência de corrente contendo 50% de 3ª harmônica a razão entre o valor eficaz e o valor de pico é ligeiramente superior, sendo de $\frac{\tilde{i}_{grms}}{\tilde{i}_{gpk}} = 0,7348$.

Figura 36 – Referência do valor de pico da corrente através de L_g, e resposta do modelo e da planta para v_c



Fonte: Autor.

Figura 37 – Diagrama de blocos das malhas de controle das correntes em L_g e L_o.

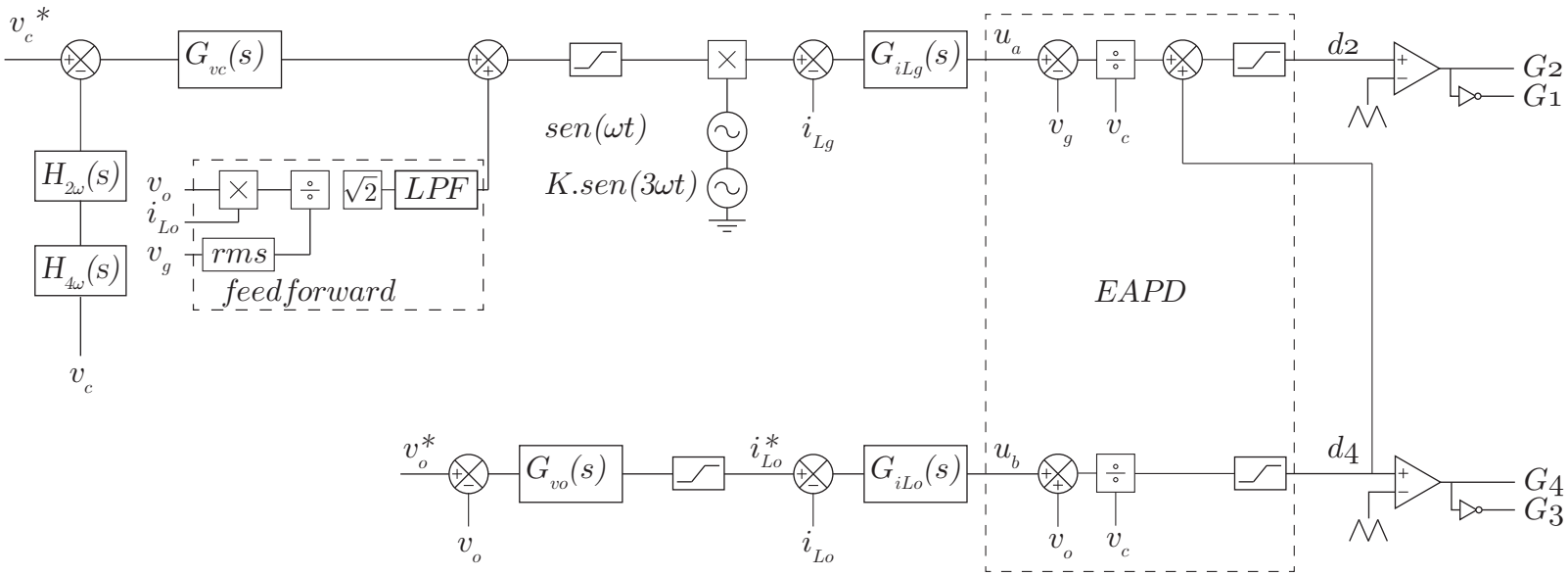


Fonte: Autor.

O controle proposto para o conversor θ está representado na Figura 38. As Figuras 37 e 35 apresentam as malhas de controle das correntes nos indutores e do valor médio de tensão no CDPA de forma isolada[5]. Conforme pode ser observado, a estratégia de controle adotada apresenta dois controladores de corrente e dois controladores de tensão, sendo esta uma desvantagem do sistema em comparação a um conversor do tipo *boost* que exige no máximo dois controladores (um de corrente e outro de tensão).

[5] As realimentações são consideradas unitárias, pois no DSP os sinais lidos pelos sensores são convertidos em seu valor real, isto é, sem *offset* nem ganho.

Figura 38 – Esquema de controle do conversor θ. LPF: *Low Pass Filter*.



Fonte: Autor.

4.1 CONTROLADOR DA CORRENTE i_{Lg}

Para o controle da corrente i_{Lg}, um controlador do tipo PI é utilizado. O projeto do controlador digital deve considerar o atraso de cálculo das equações de controle (considerado como um período de comutação no pior caso) e o atraso devido ao modulador PWM (BUSO; MATTAVELLI, 2006; KATZ, 1981). O atraso do modulador PWM com portadora triangular é dependente da razão cíclica, contudo o mesmo pode ser aproximado por metade de um período de comutação, caso se considere variações de razão cíclica mais lentas do que a frequência de comutação[6].

Desta forma, a função de transferência de malha aberta para o controle da corrente i_{Lg} é dada por:

$$G_{Lg}(s) = \frac{i_{Lg}}{u_a} = \frac{1}{sL_g} \cdot e^{-sT_s} \cdot e^{-\frac{sT_s}{2}} \tag{4.33}$$

Esta função de transferência é então discretizada utilizando-se o método ZOH, logo:

$$G_{Lg}(z) = (1 - z^{-1})\mathscr{Z}\left[\frac{G_{Lg}(s)}{s}\right] \tag{4.34}$$

Transforma-se então a função de transferência (4.34) para o plano w [7], por meio do método bilinear, ou de $Tustin$, fazendo-se a substituição:

$$z = \frac{1 + \frac{wT_s}{2}}{1 - \frac{wT_s}{2}} \tag{4.35}$$

Considerando as especificações dadas por $L_g = 478\ \mu H$ e $T_s = 20\ \mu s$, obtém-se a seguinte equação em w:

$$G_{Lg}(w) = \frac{2092 \cdot e^{-4 \cdot 10^{-5} w}}{w} \tag{4.36}$$

O controlador PI é projetado para que se tenha uma frequência de cruzamento de 2500 Hz, sendo a frequência do zero escolhida 2 décadas abaixo da frequência de cruzamento (isto é 25 Hz), obtendo-se margem de fase de $53,4°$.

O controlador obtido em w é dado por:

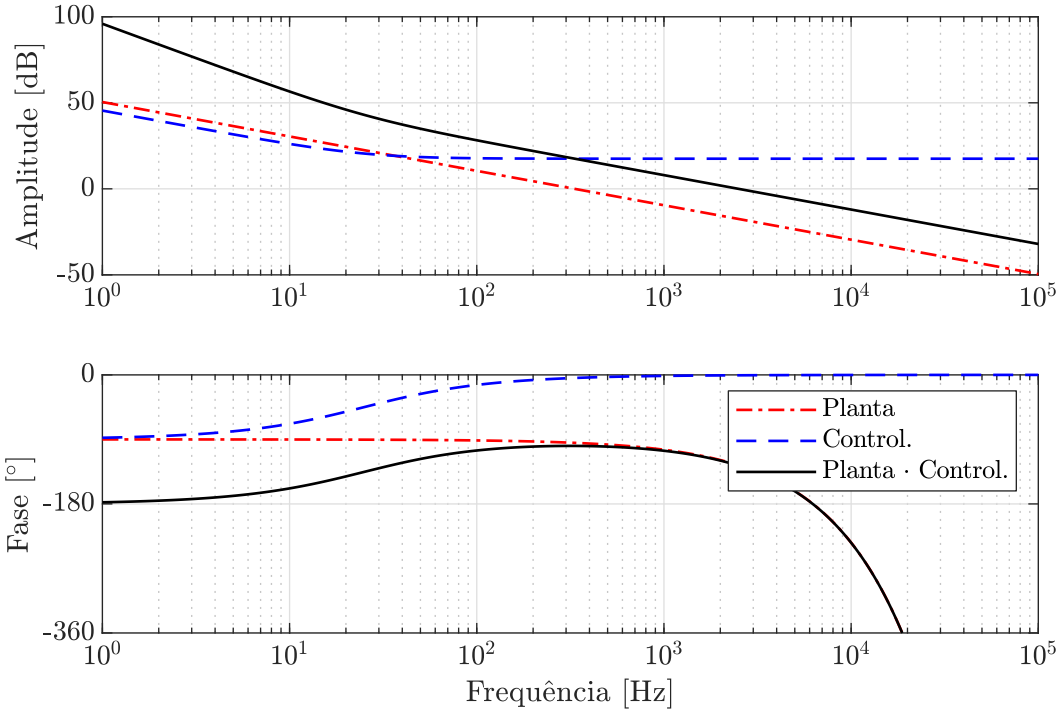
$$G_{iLg}(w) = \frac{7,508 \cdot w + 1179}{w} \tag{4.37}$$

Os diagramas de Bode da planta $G_{Lg}(w)$, controlador $G_{iLg}(w)$ e planta junto com controlador $G_{Lg}(w) \cdot G_{iLg}(w)$ são apresentados na Figura 39.

[6] A função de transferência do modulador PWM digital com portadora triangular possui ganho dependente da razão cíclica D e da frequência do sinal modulante ω, sendo $e^{-s\frac{T_s}{2}} cos\left(\omega\frac{T_s}{2}D\right) \approx e^{-s\frac{T_s}{2}}$.

[7] O plano w permite a utilização das técnicas de projeto de controladores contínuos em controladores digitais, no plano complexo s e no domínio da frequência (KATZ, 1981).

Figura 39 – Diagramas de Bode de malha aberta para o controle da corrente i_{Lg}.



Fonte: Autor.

Discretizando-se o controlador pelo método de Tustin, com período de discretização $T_s = 20\ \mu s$, obtém-se:

$$G_{iLg}(z) = \frac{7,520 \cdot z - 7,496}{z - 1} \tag{4.38}$$

A equação a diferenças é obtida a partir da equação discretizada do controlador e implementada no DSP[8].

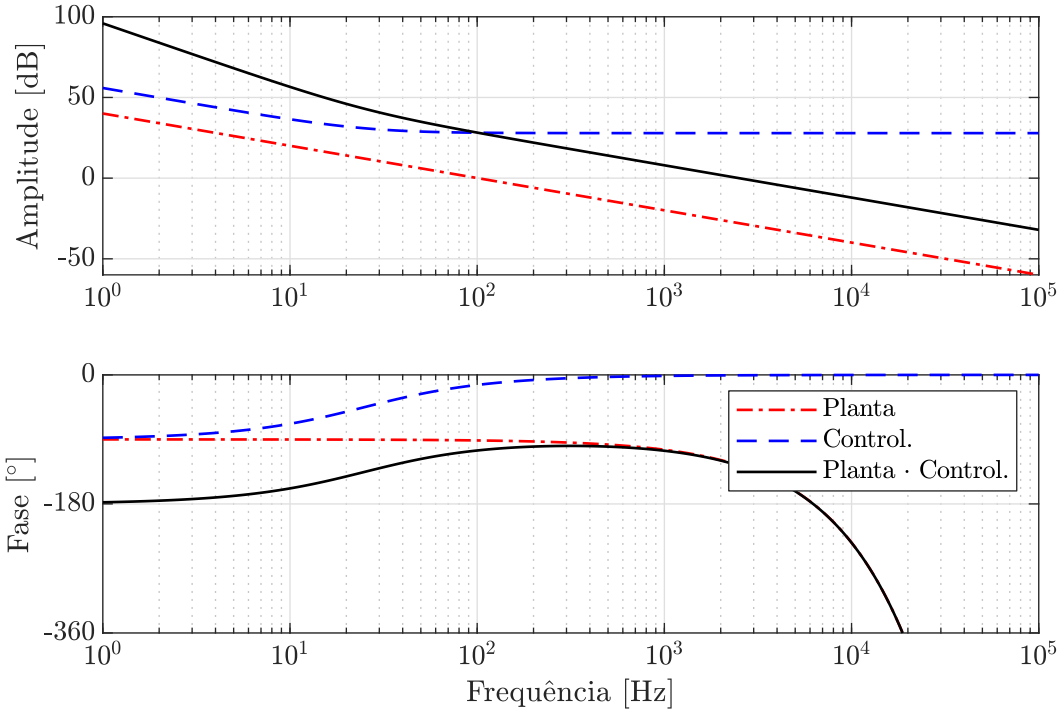
4.2 CONTROLADOR DA CORRENTE i_{Lo}

Para o controle da corrente no indutor L_o emprega-se o mesmo procedimento utilizado para o projeto do controlador da corrente i_{Lg}. A equação que representa a planta é:

$$G_{Lo}(s) = \frac{i_{Lo}}{u_b} = \frac{1}{sL_o} \cdot e^{-sT_s} \cdot e^{-\frac{sT_s}{2}} \tag{4.39}$$

[8] Especial atenção deve ser dada à quantidade de algarismos significativos e o tipo numérico utilizado na programação do DSP, pois o truncamento de casas decimais pode levar o controlador PI a se comportar como um ganho proporcional. Isto pode ser visto colocando-se em evidência os polos e zeros da equação (4.38), $G_{iLg}(z) = \frac{7,5198 \cdot (z-0,9969)}{z-1}$. O zero e o polo estão próximos, e podem se cancelar caso não seja tomado este cuidado.

Figura 40 – Diagramas de Bode de malha aberta para o controle da corrente i_{Lo}.



Fonte: Autor.

Considerando-se as especificações dadas por $L_o = 1,58\ mH$ e $T_s = 20\ \mu s$, obtém-se a equação que representa a planta em w:

$$G_{Lo}(w) = \frac{632,9 \cdot e^{-4 \cdot 10^{-5} w}}{w} \tag{4.40}$$

O controlador PI é projetado para que se tenha uma frequência de cruzamento de 2500 Hz, sendo a frequência do zero escolhida 2 décadas abaixo da frequência de cruzamento (isto é 25 Hz), obtendo-se margem de fase de $53,4°$.

O controlador obtido em w é dado por:

$$G_{iLo}(w) = \frac{24,82 \cdot w + 3898}{w} \tag{4.41}$$

Os diagramas de Bode da planta $G_{Lo}(w)$, controlador $G_{iLo}(w)$ e planta junto com controlador $G_{Lo}(w) \cdot G_{iLo}(w)$ são apresentados na Figura 40.

Discretizando-se o controlador pelo método de Tustin, com período de discretização $T_s = 20\ \mu s$, obtém-se:

$$G_{iLo}(z) = \frac{24,86 \cdot z - 24,78}{z - 1} \tag{4.42}$$

A equação à diferenças é obtida a partir da equação discretizada do controlador e implementada no DSP.

4.3 CONTROLADOR DA TENSÃO V_o

A malha interna de controle da corrente i_{Lo} pode ser aproximada por (BUSO; MATTAVELLI, 2006)[9]:

$$\frac{i_{Lo}(s)}{i_{Loref}(s)} = \frac{1}{1 + \frac{s}{2\pi f_{ci}}} \tag{4.43}$$

onde f_{ci} representa a frequência de corte em Hz da malha de corrente.

A equação que representa a dinâmica entre a corrente i_{Lo} e a tensão v_o é dada por:

$$\frac{v_o(s)}{i_{Lo}(s)} = \frac{R_o}{R_o C_o s + 1} \tag{4.44}$$

Desta forma, a equação da planta de tensão de saída v_o pela corrente de referência i_{Loref} é dada pelo produto de (4.43) e (4.44):

$$G_{Co}(s) = \frac{2\pi f_{ci} R_o}{R_o C_o s^2 + s + 2\pi f_{ci} \cdot (R_o C_o s + 1)} \tag{4.45}$$

Assim como realizado para os controladores de corrente, obtém-se a equação dinâmica em z utilizando-se o método ZOH e transforma-se esta equação para w utilizando-se o método de Tustin. Aqui não é necessário considerar-se o atraso de cálculo e do modulador PWM, pois o mesmo já está incluído na equação (4.43).

Considerando-se as especificações $f_{ci} = 2,5\ kHz, R_o = 160\ \Omega$, e $C_o = 22\ \mu F$, e que o controlador de tensão será calculado na mesma frequência de comutação, isto é, $f_{vo} = 50\ kHz$ [10], a equação da planta de tensão de saída em w é dada por:

$$G_{Co}(w) = \frac{-0,003769w^2 - 6705w + 7,082 \cdot 10^8}{w^2 + 15860w + 4,426 \cdot 10^6} \tag{4.46}$$

Como a tensão de saída é livre ondulações de baixa frequência, é possível projetar o controlador de tensão com banda passante mais elevada, obtendo-se melhor comportamento dinâmico frente às variações de corrente de carga.

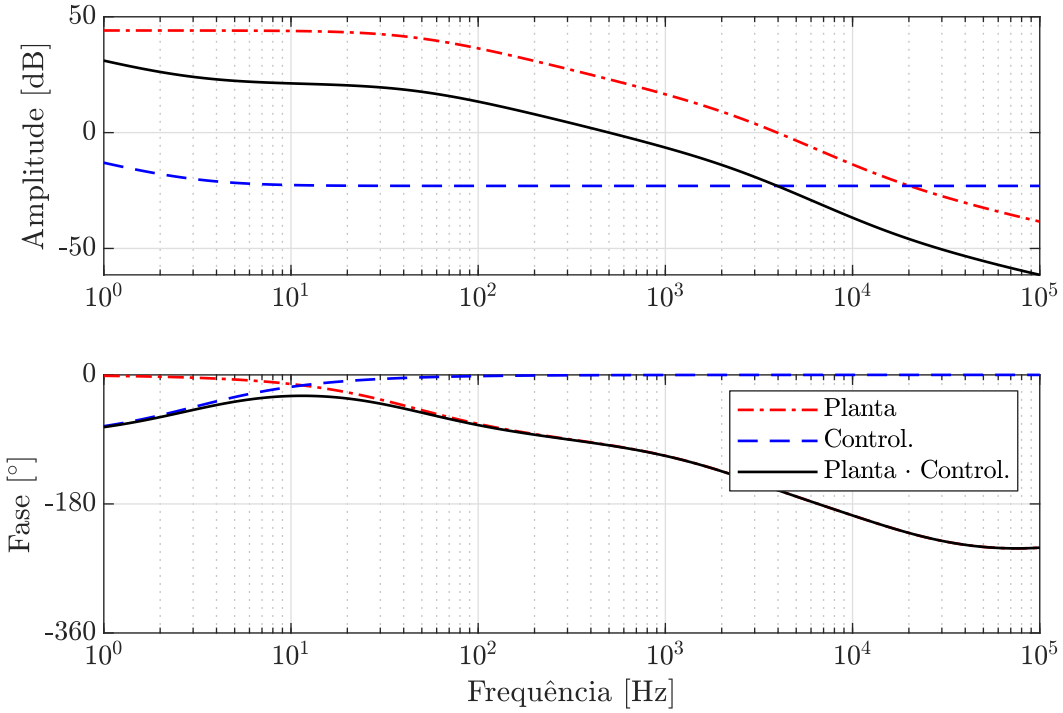
Escolheu-se um controlador do tipo PI, de modo a se obter frequência de cruzamento $f_{cvo} = 500\ Hz$. O zero foi alocado em 3 Hz, obtendo-se margem de fase de $81,7°$. Este controlador em w é dado por:

$$G_{vCo}(w) = \frac{0,07076w + 1,334}{w} \tag{4.47}$$

[9] Normalmente se considera a malha de corrente como um ganho no projeto da malha de controle de tensão. Isto é feito pois existe uma grande separação entre as frequências de cruzamento das funções de transferência de malha aberta de corrente e tensão. No projeto apresentado neste trabalho o cruzamento da FTMA de corrente ocorre em $2,5kHz$, enquanto a FTMA da tensão v_o ocorre em $500Hz$, e desta forma decidiu-se por aproximar a malha interna de corrente por uma FT de primeira ordem.

[10] Este controlador é calculado na mesma frequência dos controladores de corrente devido à sua banda passante relativamente elevada, isto é, $f_{cvo} = 500\ Hz$.

Figura 41 – Diagramas de Bode de malha aberta para o controle da tensão V_o.



Fonte: Autor.

Os diagramas de bode da planta $G_{Co}(w)$, controlador $G_{vCo}(w)$, e controlador junto com a planta $G_{Co}(w) \cdot G_{vCo}(w)$ são apresentados na Figura 41.

O controlador da tensão V_o é discretizado pelo método de Tustin, com período $T_s = 20\ \mu s$, obtendo-se:

$$G_{vCo}(z) = \frac{0,07077z - 0,07074}{z - 1} \tag{4.48}$$

A equação a diferenças é obtida a partir da equação discretizada do controlador e implementada no DSP.

4.4 FILTRO DA TENSÃO V_c

Para remoção da ondulação de baixa frequência em v_c são utilizados dois filtros do tipo rejeita-faixa em cascata, sintonizados para as frequências correspondentes à segunda e a quarta harmônica da frequência da rede elétrica. Isto é feito pois estas são as componentes harmônicas da tensão v_c de maior amplitude, quando se drena corrente de entrada com terceira harmônica.

Os filtros utilizados são do tipo Butterworth *IIR*, projetados segundo (RORABAUGH, 1993), com as seguintes especificações:

Filtro 1:

- frequência de rejeição: $f_o = 100Hz$
- frequência superior de corte ($-3dB$): $f_u = 130Hz$
- frequência de cálculo: $f_c = 50kHz$
- 2ª ordem

A função de transferência discreta deste filtro é dada por:

$$H_{2\omega}(z) = \frac{0,9967 - 1,9932z^{-1} + 0,9967z^{-2}}{1 - 1,9932z^{-1} + 0,9934z^{-2}} \tag{4.49}$$

Filtro 2:

- frequência de rejeição: $f_o = 200Hz$
- frequência superior de corte ($-3dB$): $f_u = 230Hz$
- frequência de cálculo: $f_c = 50kHz$
- 2ª ordem

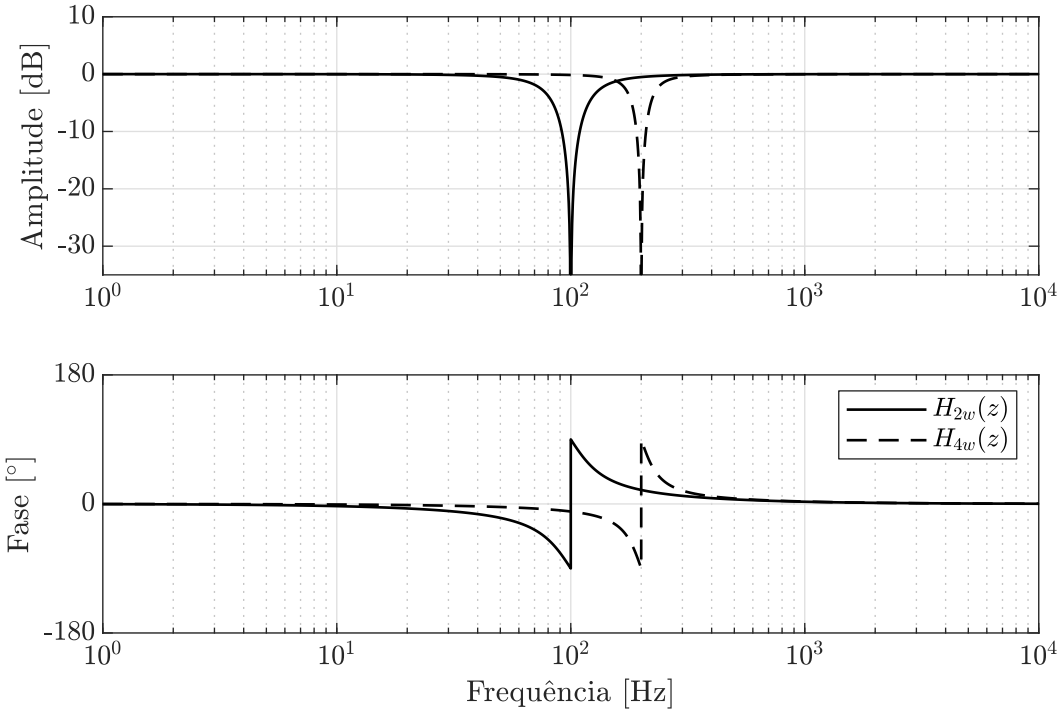
A função de transferência discreta deste filtro é dada por:

$$H_{4\omega}(z) = \frac{0,9965 - 1,9923z^{-1} + 0,9965z^{-2}}{1 - 1,9923z^{-1} + 0,9930z^{-2}} \tag{4.50}$$

Os diagramas de bode destes dois filtros digitais estão apresentados na Figura 42[11].

[11] As funções de transferência destes filtros foram implementadas com 20 casas decimais no DSP.

Figura 42 – Resposta em frequência para os filtros $H_{2\omega}(z)$ e $H_{4\omega}(z)$.



Fonte: Autor.

4.5 CONTROLADOR DA TENSÃO V_c

A planta que representa a relação entre as pequenas variações da corrente de pico de entrada $\tilde{i}_{gpk}$ e o valor médio de tensão no capacitor dentro de meio período da rede elétrica $\tilde{v}_c$ é dada por:

$$G_c(s) = \frac{\tilde{v}_c}{\tilde{i}_{gpk}} = \frac{V_{grms} \cdot \sqrt{2}}{2 \cdot V_c \cdot C_{dc} \cdot s} \tag{4.51}$$

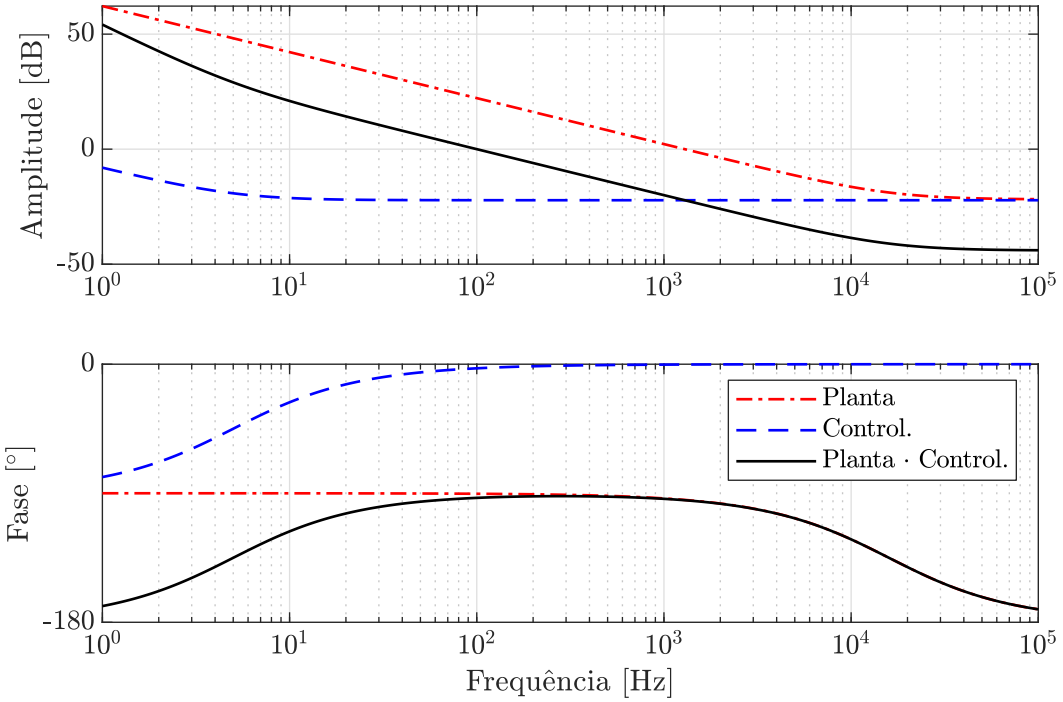
Da mesma forma que para as outras plantas, discretiza-se esta planta utilizando o método ZOH com período de amostragem igual à $T_c = 20\ \mu s$. Em seguida aplica-se a transformação bilinear para obter-se a planta no plano w.

Utilizando-se as especificações nominais de projeto $V_{grms} = 220\ V, V_c = 875\ V$, e $C_{dc} = 22\ \mu F$, obtém-se:

$$G_c(w) = \frac{-0,08081w + 8081}{w} \tag{4.52}$$

Da mesma forma que para os outros controladores, utiliza-se aqui um controlador do tipo PI. Como a tensão em C_{dc} já está livre de ondulações de baixa frequência devido

Figura 43 – Diagramas de Bode de malha aberta para o controle da tensão V_c.



Fonte: Autor.

aos filtros rejeita-faixa utilizados, pode-se especificar uma banda passante mais elevada para este controlador[12].

Desejando-se que a frequência de cruzamento seja de 100 Hz, com o zero do controlador alocado em 5 Hz, obtém-se uma margem de fase de $86,78°$, e o controlador é dado por:

$$G_{vc}(w) = \frac{0,07765w + 2,440}{w} \tag{4.53}$$

Os diagramas de Bode da planta, controlador e controlador com a planta estão representados na Figura 43.

[12] Normalmente se emprega uma banda passante de $f_g/10$ para controladores de tensão em circuitos CFP. Isto é feito para que a ondulação de baixa frequência da tensão de saída não multiplique a referência senoidal de corrente, introduzindo distorção harmônica.

Na estratégia de controle deste trabalho as ondulações são removidas com o uso de dois filtros rejeita-faixa em cascata, sintonizados para duas e quatro vezes a frequência da rede elétrica. Desta forma o controlador de tensão pode ter sua banda passante aumentada, melhorando o desempenho dinâmico do controle. Além disso, devido à baixa capacitância do capacitor de desacoplamento de potência, é desejável que seu controlador seja rápido o suficiente de modo a garantir que a tensão do barramento CC não ultrapasse a tensão máxima de bloqueio dos semicondutores de potência.

Os dois filtros rejeita-faixa interferem com a dinâmica de controle da tensão em C_{dc}, todavia os mesmos não foram considerados no projeto do controlador da tensão v_c pois seu efeito só é representativo ao redor das frequências de $100Hz$ e $200Hz$ conforme a Figura 42.

A equação do controlador PI é discretizada pelo método de Tustin, com período de cálculo $T_c = 20\ \mu s$, e a equação discretizada é implementada no DSP em forma de equação à diferenças.

$$G_{vc}(z) = \frac{0,07768z - 0,07763}{z - 1} \tag{4.54}$$

4.6 *FEED-FORWARD* DA CORRENTE i_{Lg}

Devido à baixa capacitância presente no conversor, pequenas variações de carga impactam em rápidas variações no valor médio de tensão do capacitor C_{dc}. Como forma de reduzir este efeito, é utilizado controle *feed-forward* para a referência de pico da corrente da rede elétrica, baseado na potência de saída.

Considerando-se que em regime permanente a potência de saída deve ser igual à potência média de entrada (desprezando-se as perdas no conversor), o valor de pico da corrente a ser drenada da rede elétrica idealmente é dado por:

$$I_{gpk} = \frac{v_o \cdot i_o}{V_{grms}} \cdot \sqrt{2} \tag{4.55}$$

Considerando-se ainda que a amostragem da corrente em i_{Lo} ocorre exatamente no meio da rampa de subida da corrente, seu valor é igual ao valor médio da corrente de saída, isto é, $i_o = i_{Lo}$, portanto:

$$I_{gpk} = \frac{v_o \cdot i_{Lo}}{V_{grms}} \cdot \sqrt{2} \tag{4.56}$$

Este valor de referência, após passar por um filtro passa-baixas digital com $f_c = 5\ Hz$, é adicionado à ação de controle do controlador de tensão em C_{dc}, conforme representado na Figura 38.

4.7 *PHASE-LOCKED LOOP*

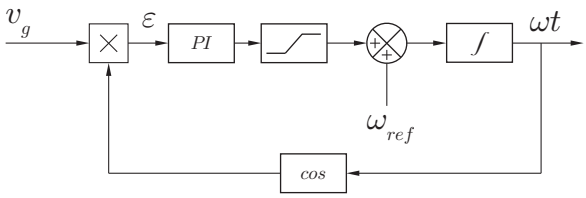
A forma de onda da referência de corrente para i_{Lg} é obtida a partir da tensão da rede elétrica utilizando-se um algoritmo de *phase-locked loop* (PLL). O PLL é projetado segundo (TEODORESCU; LISERRE; RODRíGUEZ, 2011).

O diagrama de blocos do PLL é mostrado na Figura 44.

O bloco multiplicador possui a função de detecção de fase do PLL. Seja um sinal v_g de entrada (com amplitude unitária) dado por:

$$v_g = sen(\theta) = sen(\omega t + \phi) \tag{4.57}$$

Figura 44 – Diagrama de blocos do PLL.



Fonte: Autor.

E seja o sinal gerado na saída do bloco de cálculo do cosseno dado por:

$$v'_g = cos(\theta') = cos(\omega' t + \phi') \tag{4.58}$$

A saída do multiplicador será dada por:

$$\varepsilon = v_g v'_g = \frac{1}{2}\left(\underbrace{sen((\omega - \omega')t + (\phi - \phi'))}_{\text{termo de baixa frequência}} + \underbrace{sen((\omega + \omega')t + (\phi + \phi'))}_{\text{termo de alta frequência}}\right) \tag{4.59}$$

Uma vez que o controlador PI age como um filtro passa-baixas, os termos de alta-frequência podem ser desprezados. Logo:

$$\bar{\varepsilon} = \frac{1}{2}\left(sen((\omega - \omega')t + (\phi - \phi'))\right) \tag{4.60}$$

Considerando ainda que a frequência do sinal de entrada esteja próxima da frequência de sintonia, tem-se que $\omega \approx \omega'$, logo:

$$\bar{\varepsilon} = \frac{sen(\phi - \phi')}{2} \tag{4.61}$$

O multiplicador produz detecção de fase não-linear. Quando a fase do sinal de entrada e do sinal de saída do bloco de cálculo do cosseno estão próximas, pode-se assumir um comportamento linear na saída do multiplicador, isto é:

$$\bar{\varepsilon} = \frac{\phi - \phi'}{2} \tag{4.62}$$

Após a linearização, o PLL pode ser representado pelo modelo da Figura 45.

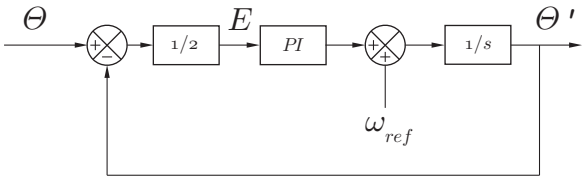
Seja a função de transferência do controlador PI dada por:

$$G_{PI}(s) = \frac{k_p s + k_i}{s} \tag{4.63}$$

A função de transferência de malha aberta do sistema compensado é dada por:

$$F_{OL}(s) = \frac{k_p s + k_i}{2s^2} \tag{4.64}$$

Figura 45 – Modelo linearizado do PLL.



Fonte: Autor.

Deseja-se que a frequência de corte de $F_{OL}(s)$ esteja no máximo uma década abaixo da segunda harmônica da frequência da rede elétrica. Isto é feito para que o termo de alta frequência da equação (4.59) seja atenuado. Além disso, deseja-se garantir uma margem de fase de pelo menos 60°.

Desta forma, para que a frequência de cruzamento seja de $f_c = 5\ Hz$, e considerando o zero do controlador PI na frequência $f_z = 2\ Hz$, vem:

$$G_{PI}(s) = \frac{58,34s + 733,1}{s} \tag{4.65}$$

A margem de fase obtida com este controlador é de $68,20°$.

Discretizando-se este controlador PI pela transformação de Tustin, considerando que o controlador irá ser executado a uma frequência de 50 kHz, obtém-se:

$$G_{PI}(z) = \frac{58,35z - 58,33}{z - 1} \tag{4.66}$$

A função de transferência do integrador é dada por:

$$\Theta'(s) = \frac{U_{PI}(s) + \omega_{ref}(s)}{s} \tag{4.67}$$

A transformação de Tustin é dada por:

$$s \leftarrow \frac{2}{T}\frac{z-1}{z+1} \tag{4.68}$$

Com a transformação obtém-se:

$$\Theta'(z-1) = (U_{PI} + \omega_{ref})\,\frac{T}{2}(z+1) \tag{4.69}$$

$$\Theta' = \Theta' z^{-1} + (U_{PI} + \omega_{ref})\,\frac{T}{2}(1 + z^{-1}) \tag{4.70}$$

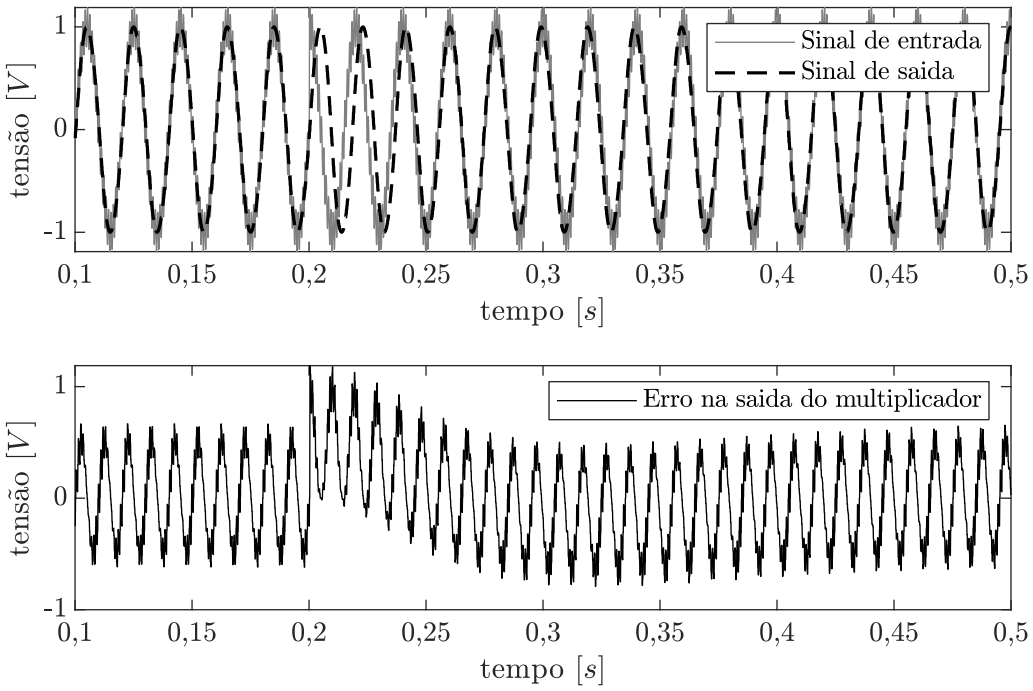
Considerando que $\omega_{ref} = \omega_{ref} z^{-1}$ é uma constante, a equação a diferenças do integrador é dada por:

$$\theta'[k] = \theta'[k-1] + \frac{T}{2}\left(u_{PI}[k] + u_{PI}[k-1] + 2\omega_{ref}\right) \tag{4.71}$$

Dados os parâmetros considerados para o projeto do PLL, isto é, $T = 1/50\ kHz = 20\ \mu s$ e $\omega_{ref} = 2\pi f_g = 314,16\ rad/s$, define-se o integrador.

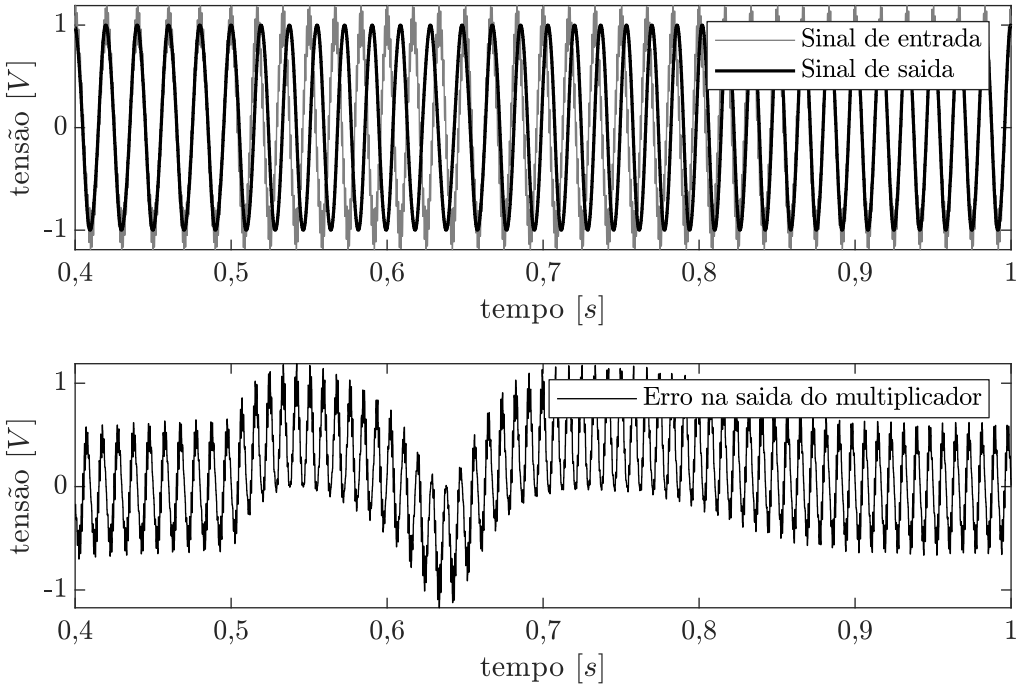
Como validação do PLL, aplica-se um degrau de 90° de fase na entrada do PLL, com frequência de 50 Hz. Este sinal contém uma ondulação de 1 kHz com amplitude de $0,2\ V$. O resultado obtido é mostrado na Figura 46, em que verifica-se que a convergência ocorre em aproximadamente $0,2\ s$. Em seguida aplica-se um degrau de frequência de 50 Hz para 60 Hz. O resultado obtido é mostrado na Figura 47. Verifica-se que o PLL converge em aproximadamente $0,5\ s$.

Figura 46 – Degrau de fase na entrada do PLL.



Fonte: Autor.

Figura 47 – Degrau de frequência na entrada do PLL.



Fonte: Autor.

5 RESULTADOS EXPERIMENTAIS

Neste capítulo são apresentados os resultados experimentais do protótipo montado. Os equipamentos utilizados durante os testes estão indicados na Tabela 9.

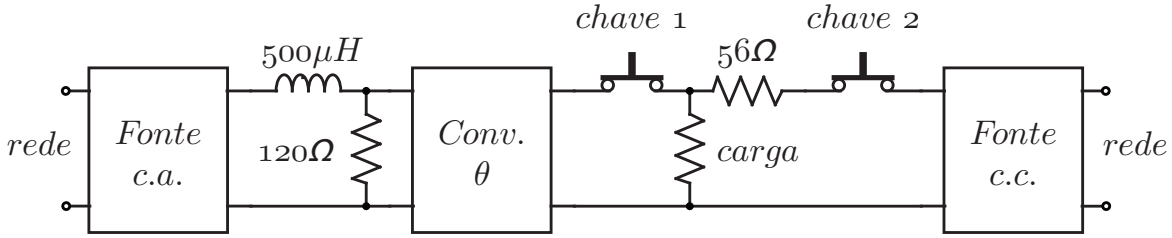
Tabela 9 – Equipamentos utilizados durante os testes.

Equipamento	**Fabricante**	**Modelo**	**Obs.:**
Osciloscópio	Tektronix	MDO3014	100 MHz, 2,5 GS/s
Sonda de tensão	Tektronix	P5120	200 MHz, 20x
Sonda de tensão isolada	Tektronix	THDP0100	100 MHz, 1000x
Sonda de corrente	Tektronix	TCP2020	100 MHz, 10x
Analisador de Energia	Tektronix	PA4000	
Fonte CA	Supplier	FCATHQ 450-38-15-n55210	4,5 kVA trifásica
Fonte CC	Magna-Power Electronics	TSD1000-25/380+HS	25 kW
Câmera Térmica	Flir	i7	*

Fonte: Autor.

O esquema utilizado para os testes experimentais do conversor está apresentado na Figura 48. O indutor na saída da fonte CA foi utilizado para evitar interações entre o controlador de corrente da fonte e o controlador de corrente do conversor θ. O resistor de 120 Ω foi utilizado para amortecer as ondulações e absorver energia durante o desligamento do conversor θ. As chaves 1 e 2 foram utilizadas para conectar e desconectar a carga e aplicar energia do lado CC do conversor.

Figura 48 – Esquema de ligação do conversor para os testes experimentais.

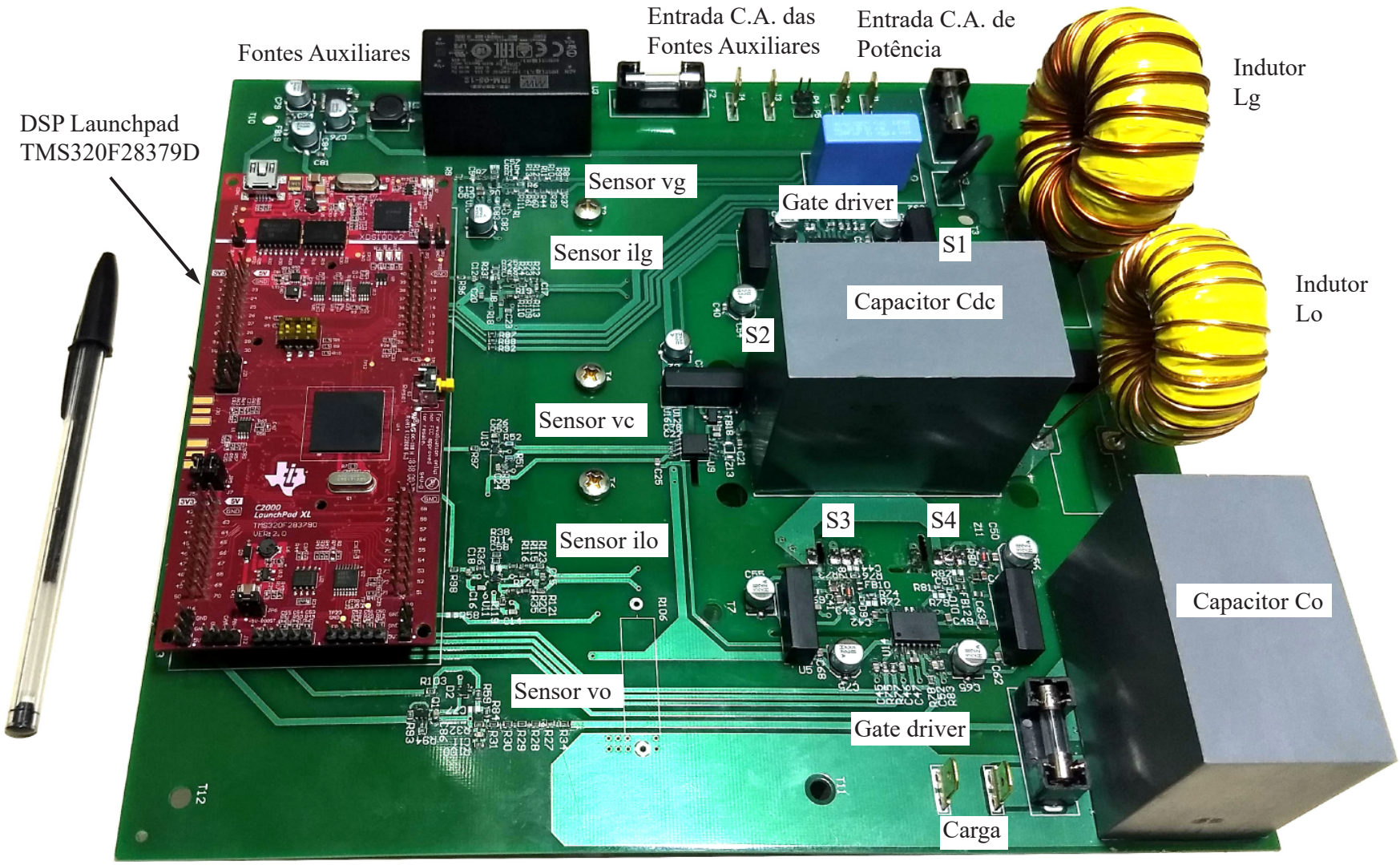


Fonte: Autor.

Uma foto do protótipo é apresentada na Figura 49. Um dos principais pontos críticos em termos de placa de circuito impresso são as distâncias de *clearance* e *creepage*

para o barramento do capacitor C_{dc} pois sua tensão é relativamente elevada. Para garantir o funcionamento foram adicionados rasgos na placa de circuito impresso, conforme pode ser observado na Figura 49.

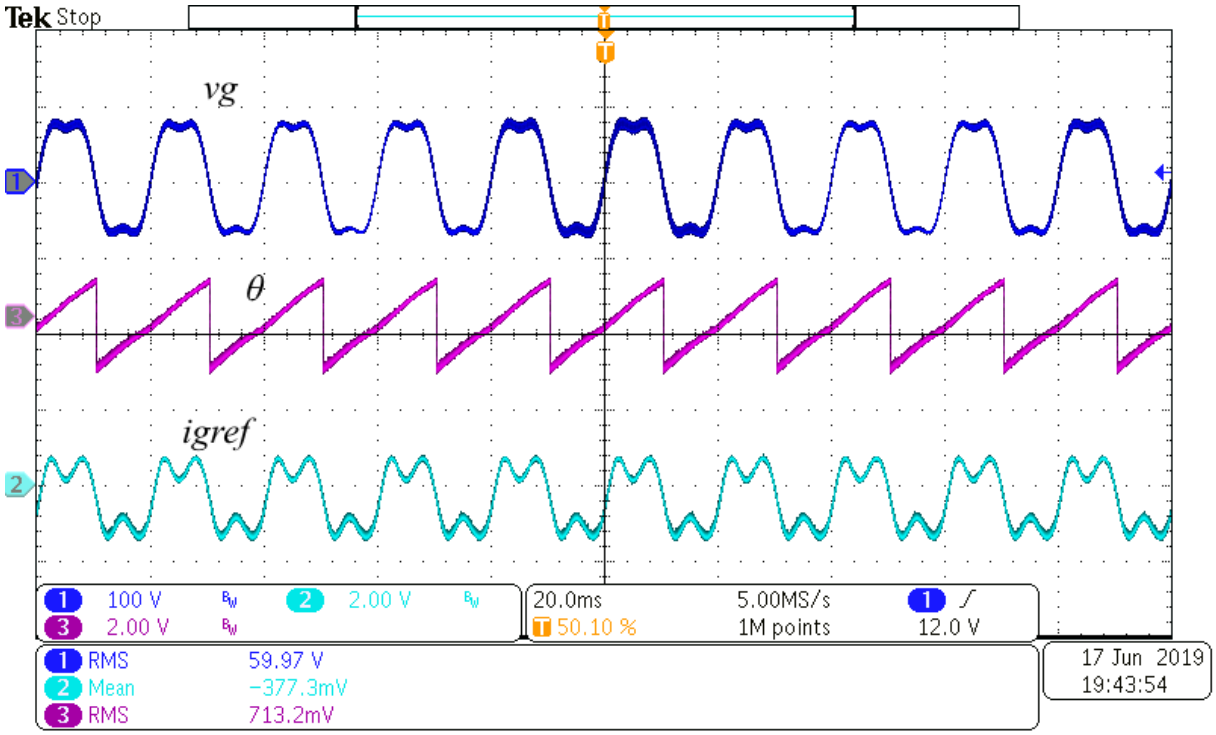
Figura 49 – Foto do protótipo.



Fonte: Autor.

Inicialmente foram calibrados os sensores de tensão e corrente. O PLL foi testado em 50 Hz e 60 Hz sendo o resultado para 50 Hz apresentado na Figura 50. Na Figura estão apresentadas as formas de onda de tensão da rede elétrica, ângulo da rede elétrica e referência de corrente contendo 50% de 3ª harmônica. Os sinais de ângulo e referência foram aquisitados por meio dos dois canais DAC disponíveis no kit DSP, sendo medidos com acoplamento CA O pequeno *offset* existente no canal 2 se deve à sonda de tensão utilizada.

Figura 50 – Funcionamento do PLL. Canal 1: Tensão de entrada distorcida (v_g), canal 2: referência unitária de corrente contendo 50% de 3ª harmônica (i_{gref}), canal 3: ângulo da rede elétrica em radianos (θ).



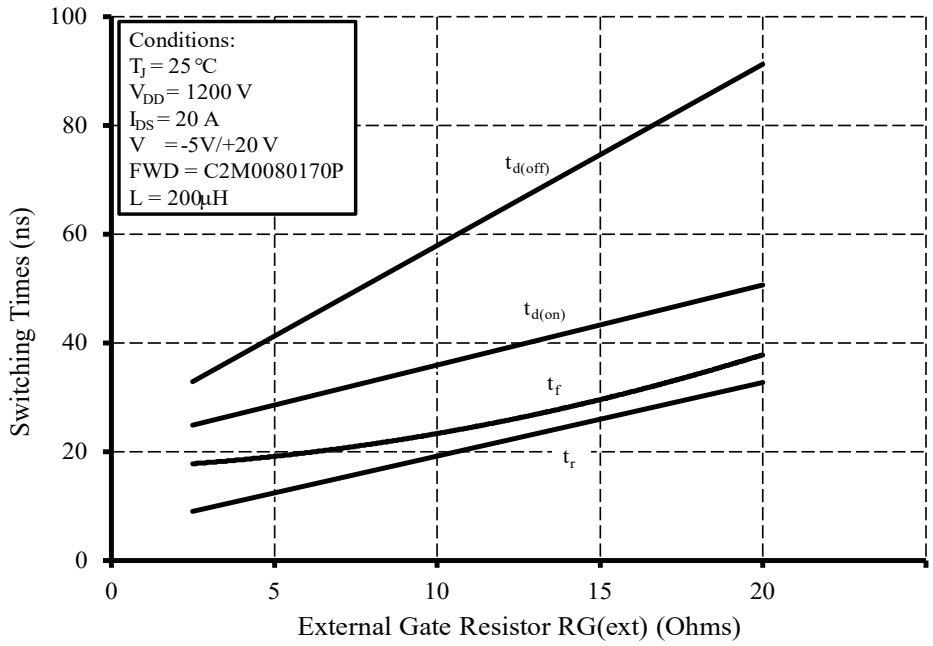
Fonte: Autor.

Para definição de tempo morto para acionamento dos interruptores foi considerado o tempo de desligamento do interruptor conforme indicado na Figura 51. Dado que o resistor de *gate* utilizado foi de 18 Ω, resultando em um tempo de descida total $t_{off} = t_{d(off)} + t_f \approx 110\ ns$ foi adotado um tempo morto de 220 ns. As tensões utilizadas para acionamento dos interruptores foram de $V_{gs(off)} = -5\ V$ e $V_{gs(on)} = 20\ V$, conforme indicado na Figura 52.

O processo de *soft-start* do conversor é realizado em etapas conforme apresentado na Figura 53:

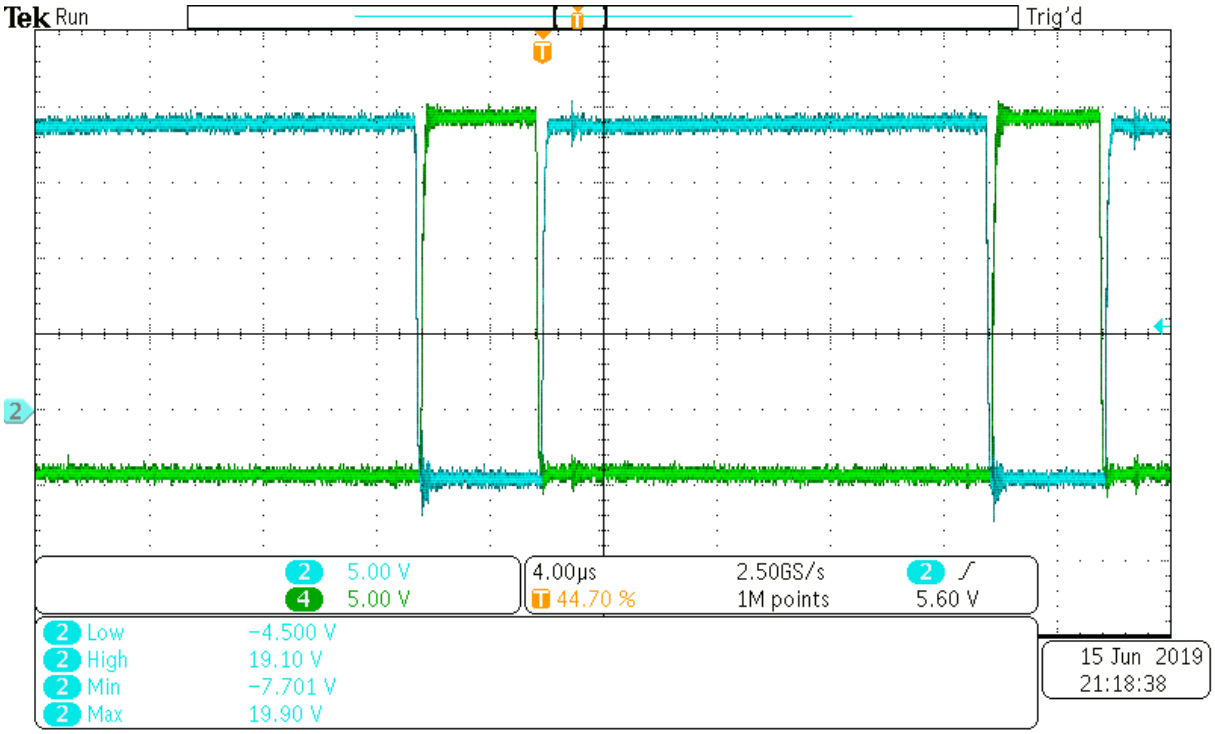
1. O conversor é ligado sem carga. O PLL é sincronizado, o algoritmo de cálculo do valor eficaz da tensão da rede elétrica converge, a tensão na saída atinge o valor

Figura 51 – Tempos de subida e descida do interruptor utilizado.



Fonte: Datasheet Cree C2M0080170P.

Figura 52 – Sinais de *gate* dos interruptores S_3 (canal 2) e S_4 (canal 4).



Fonte: Autor.

de pico da tensão da rede elétrica. A tensão no capacitor C_{dc} é igual à soma da tensão de pico da rede elétrica com a tensão de saída. Todos os interruptores estão desabilitados;

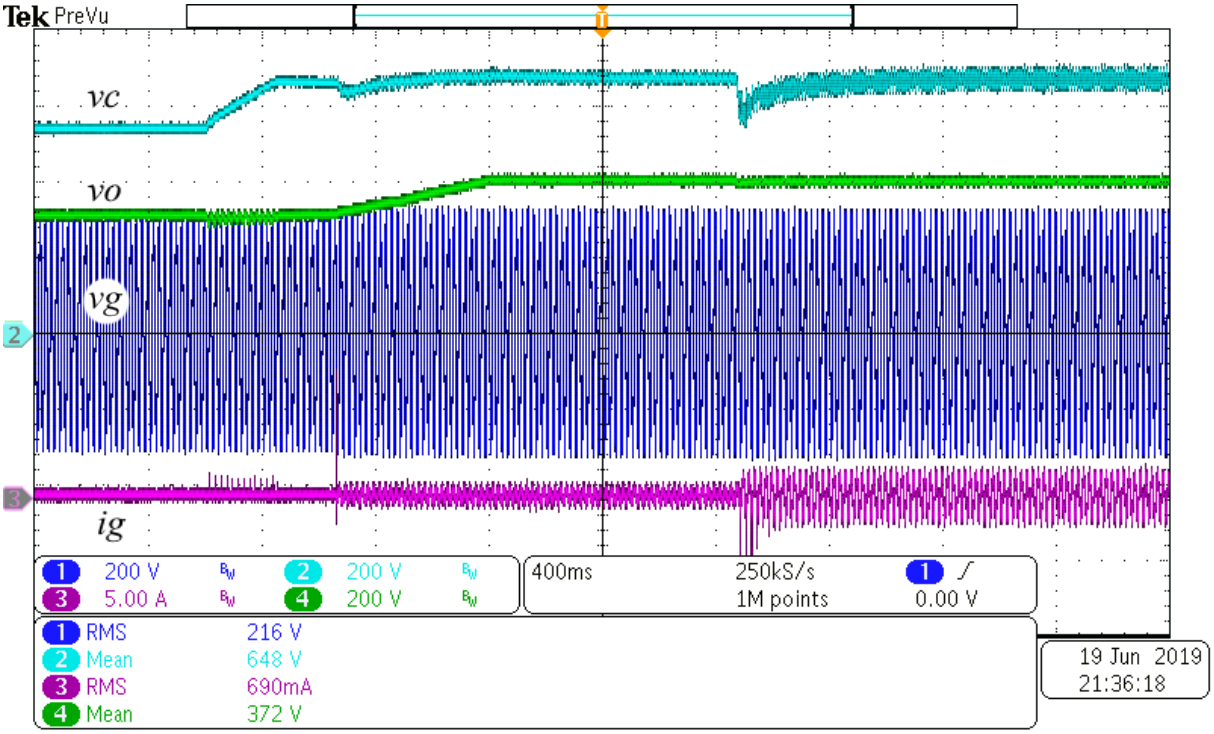
2. Apenas o interruptor S_1 é habilitado e sua razão cíclica sobe em rampa até que a tensão no capacitor de barramento C_{dc} atinja o valor médio de referência;

3. Aguarda-se um tempo de alguns ciclos da rede elétrica para que os filtros rejeita-faixa da tensão em C_{dc} possam convergir;

4. Todos os interruptores são ligados e a referência de tensão do capacitor de saída C_o sobe em rampa, sendo seu valor inicial igual ao valor lido no início da rampa, e seu valor final igual ao valor desejado de tensão da saída;

5. A carga é conectada e o conversor continua em operação.

Figura 53 – Procedimento de *soft-start* do conversor.

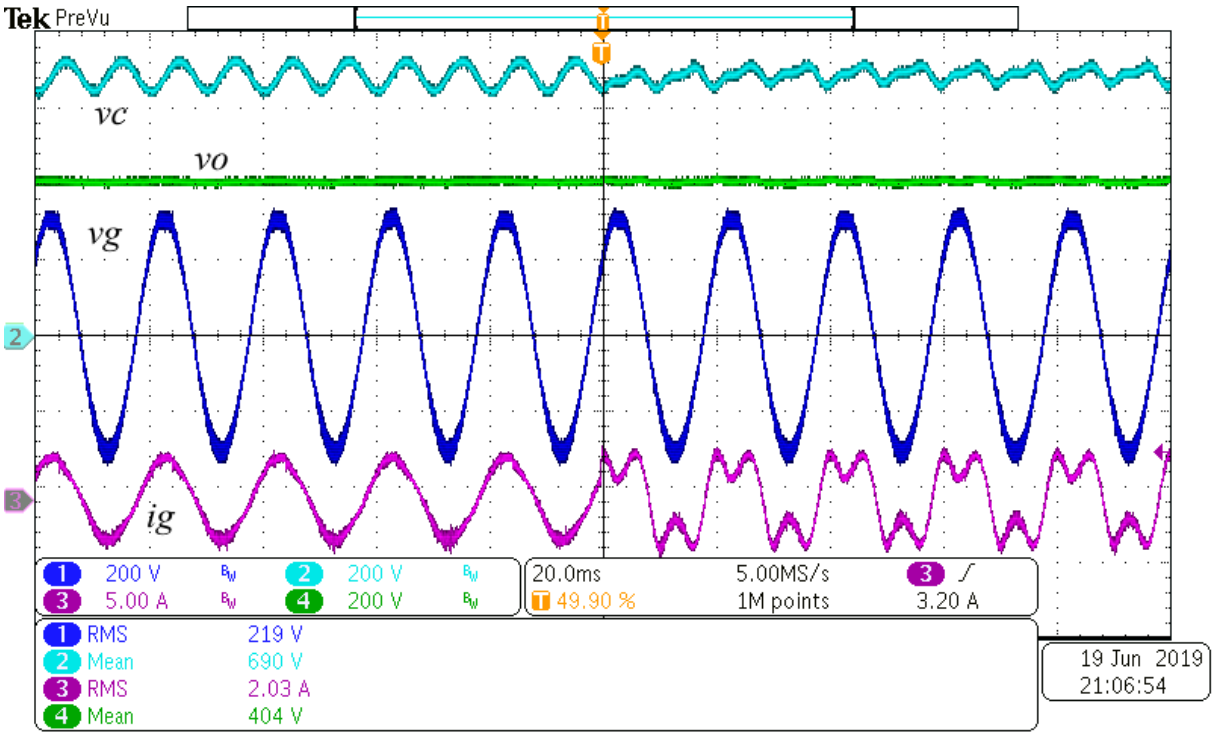


Fonte: Autor.

A Figura 54 apresenta o conversor operando com $V_g = 220\ V_{rms}, f_g = 50\ Hz, V_o = 400\ V, R_o = 400\ \Omega$ e $P_o = 400\ W$. Na Figura é apresentado o instante em que a referência de corrente da rede elétrica é acrescida de 50% de 3ª harmônica, sendo possível verificar que a tensão no capacitor C_{dc} tem sua ondulação reduzida.

A Figura 55 apresenta os dados do analisador de energia para o conversor operando a 935 W com forma de onda senoidal de corrente da rede elétrica. Nestas condições as

Figura 54 – Acréscimo de 3ª harmônica à referência de corrente da rede elétrica e redução da ondulação de tensão no capacitor C_{dc}. Canal 1: Tensão da rede elétrica, canal 2: tensão no capacitor C_{dc}, canal 3: corrente da rede elétrica, canal 4: tensão de saída.



Fonte: Autor.

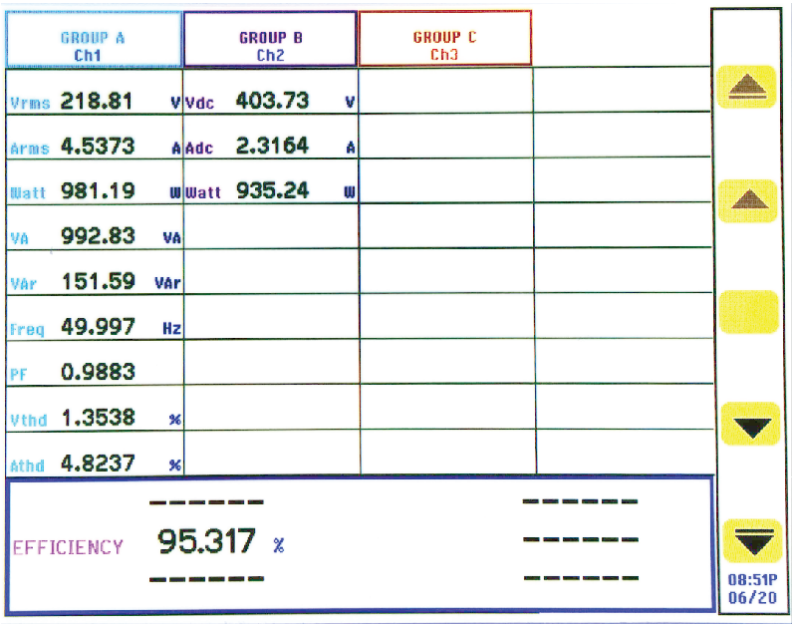
formas de onda de tensão e corrente da rede elétrica e tensões na carga e no capacitor C_{dc} estão apresentadas na Figura 56. Verifica-se que o valor médio da tensão no capacitor CDPA é de $823,2\ V$ com ondulação de pico-a-pico de $178,9\ V$. O rendimento obtido foi de $95,32\%$ com fator de potência de $0,9883$.

A Figura 57 apresenta os dados do analisador de energia para o conversor operando a 903 W[1] com forma de onda contendo 50% de 3ª harmônica de corrente da rede elétrica. Nestas condições, as formas de onda de tensão e corrente da rede elétrica e tensões na carga e no capacitor C_{dc} estão apresentadas na Figura 58. Verifica-se que o valor médio da tensão no capacitor CDPA é de $820,6\ V$ com ondulação de pico-a-pico de $125,3\ V$. O rendimento obtido foi de $94,89\%$ com fator de potência de $0,8841$.

A Figura 59 apresenta o comparativo entre o rendimento teórico e experimental. Verifica-se que o a utilização de referência de corrente com ou sem 3ª harmônica tem pouco impacto sobre o rendimento geral do conversor. Verifica-se também que o rendi-

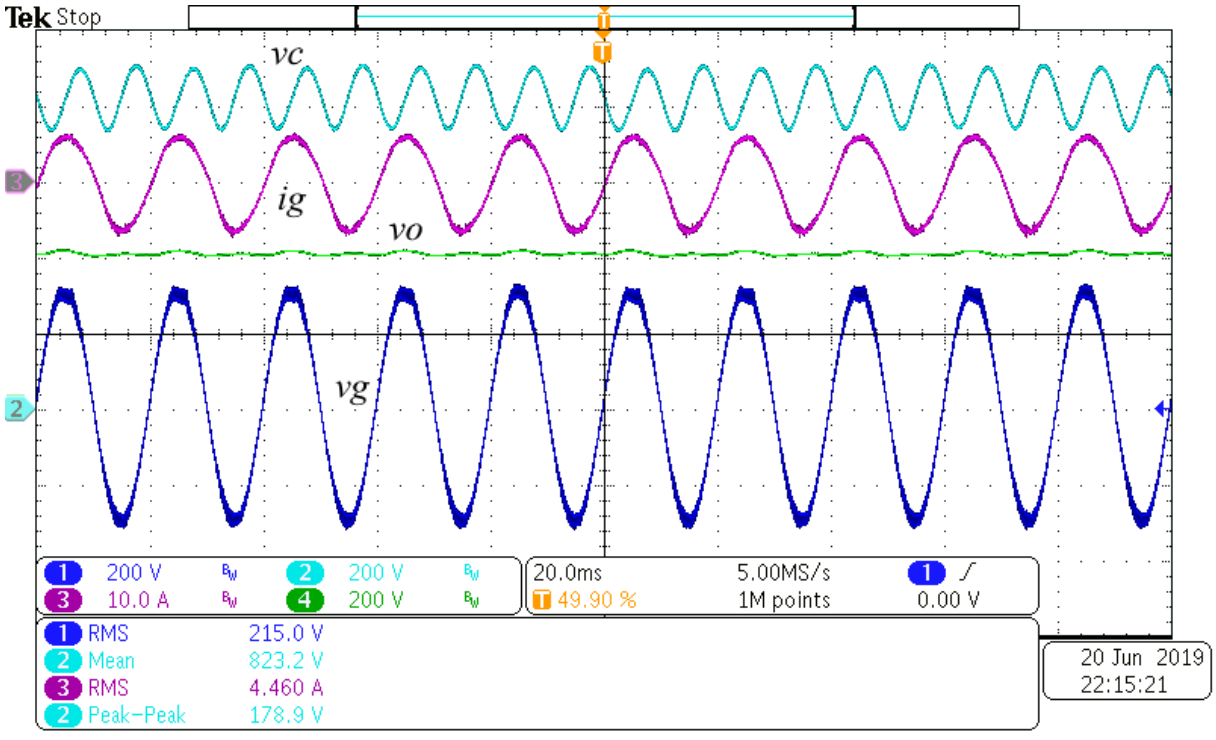
[1] A fonte CA que alimentava o conversor estava atingindo a limitação de potência aparente, por isso a tensão de entrada foi levemente reduzida para 214 V eficazes, de modo a se manter o valor de resistência de carga utilizado no ensaio com corrente de entrada senoidal. Como a referência do valor médio da tensão no CDPA é feito com relação à tensão eficaz de entrada, seu valor foi consequentemente reduzido.

Figura 55 – Fator de potência, rendimento, potência de saída e distorção harmônica para o conversor operando a 935 W com corrente senoidal.



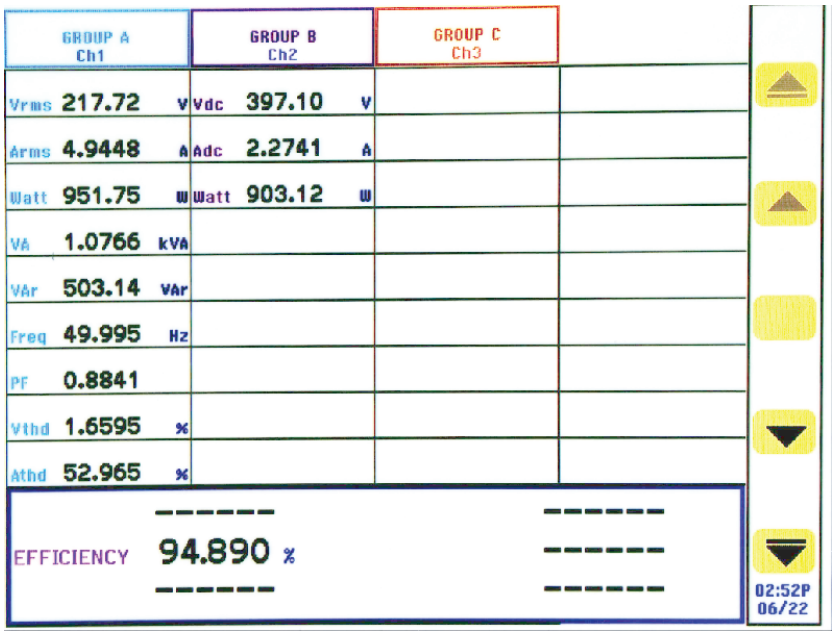
Fonte: Autor.

Figura 56 – Conversor operando a 935 W com corrente senoidal. Canal 1: tensão da rede elétrica (v_g), canal 2: tensão no barramento CC (v_c), canal 3: corrente da rede elétrica (i_g), canal 4: tensão na carga (v_o).



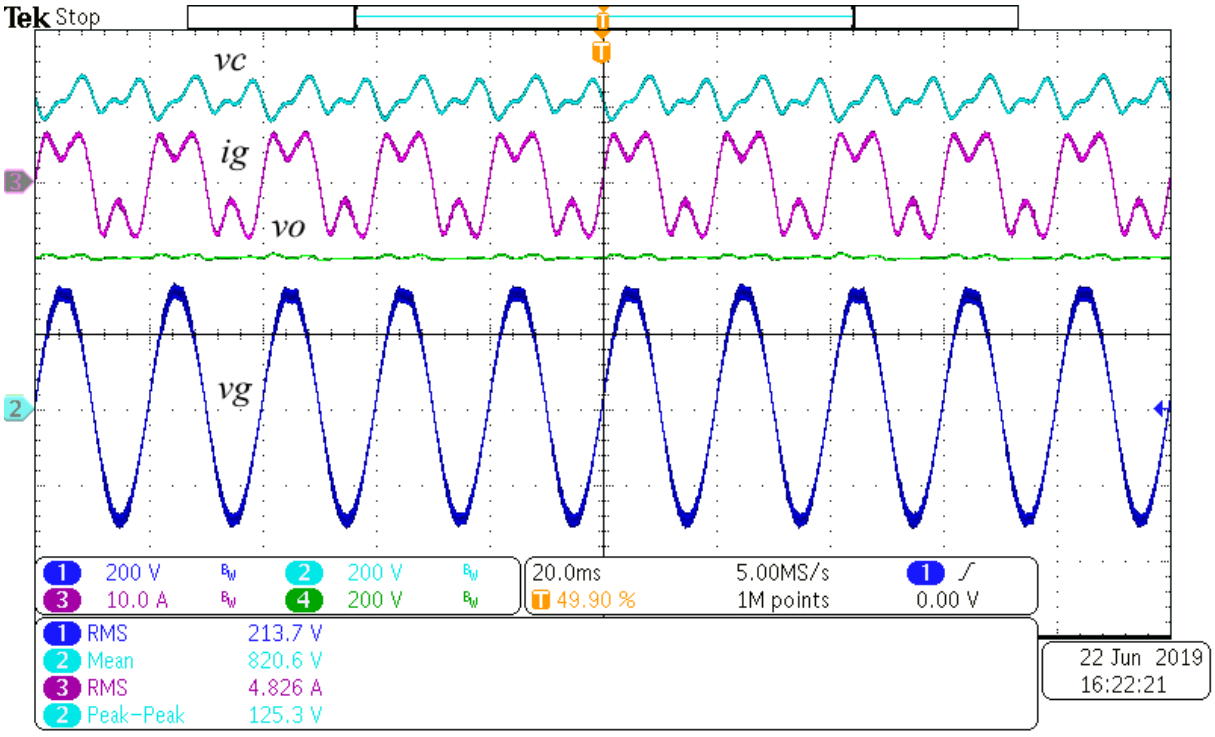
Fonte: Autor.

Figura 57 – Fator de potência, rendimento, potência de saída e distorção harmônica para o conversor operando a 903 W com corrente contendo 50% de 3ª harmônica.



Fonte: Autor.

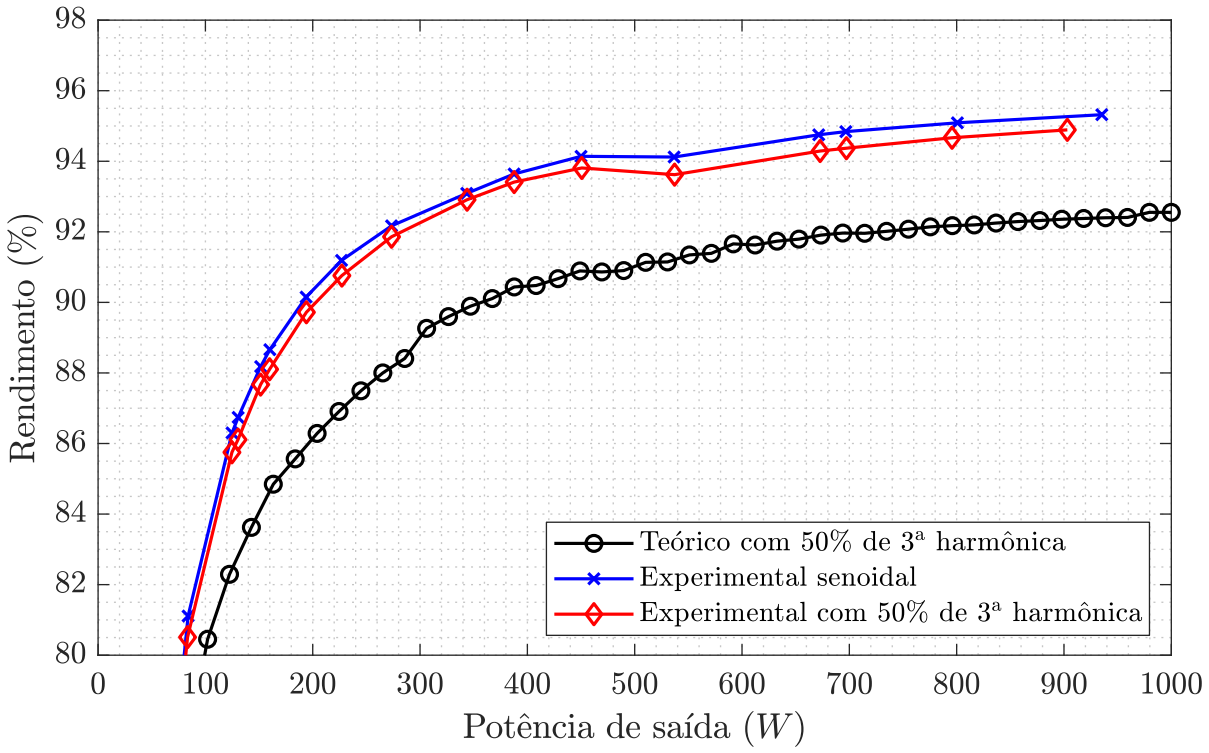
Figura 58 – Conversor operando a 903 W com corrente contendo 50% de 3ª harmônica. Canal 1: tensão da rede elétrica (v_g), canal 2: tensão no barramento CC (v_c), canal 3: corrente da rede elétrica (i_g), canal 4: tensão na carga (v_o).



Fonte: Autor.

mento experimental ficou acima do valor teórico, havendo uma diferença constante de aproximadamente 3% em quase toda a faixa.

Figura 59 – Comparativo entre rendimento teórico e experimental com a variação da potência de saída.



Fonte: Autor.

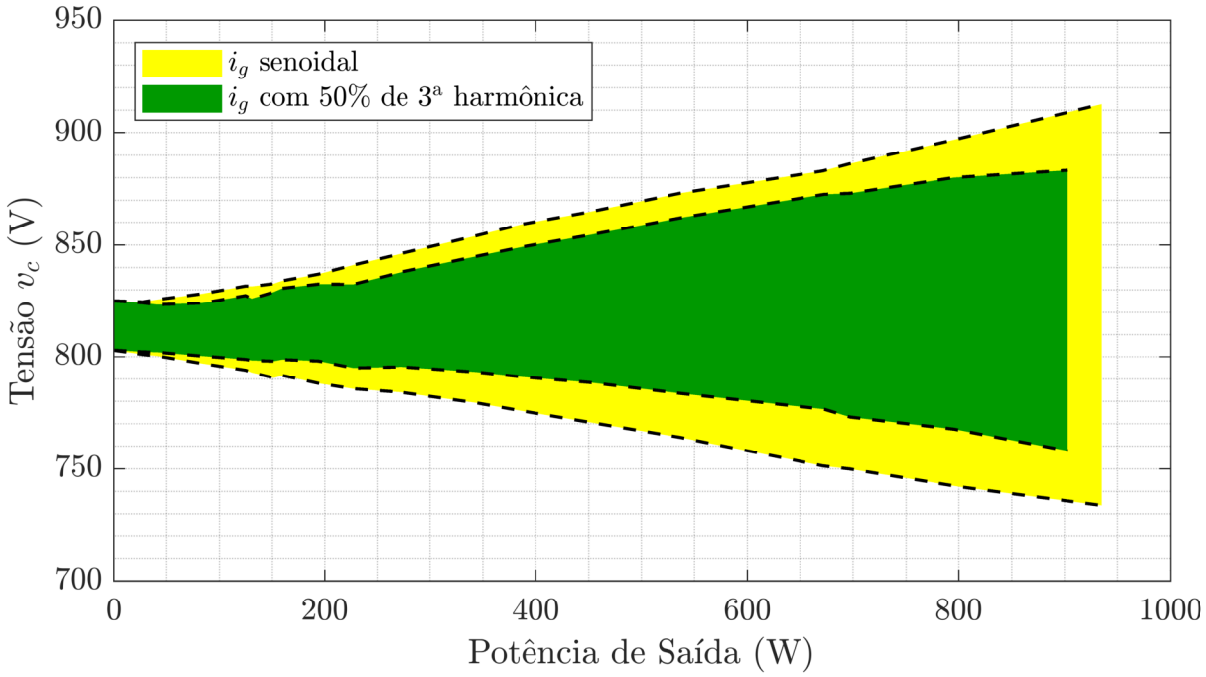
A fim de validar a redução na ondulação da tensão no CDPA com o uso de 3ª harmônica, a Figura 60 apresenta os valores máximo e mínimo da tensão no capacitor C_{dc} em função da potência de saída, considerando corrente senoidal e com 50% de 3ª harmônica. A Figura 61 apresenta a ondulação da tensão no CDPA com o aumento da potência de saída.

A fim de validar a redução de ondulação da tensão no CDPA com o uso de outras componentes harmônicas, a Tabela 10 apresenta os resultados obtidos com o uso das harmônicas $3, 5, 7$, e 9 de corrente[2].

A fim de demonstrar a capacidade de operação bidirecional com o controle proposto, o protótipo foi submetido à degraus de potência do lado da carga, utilizando a fonte

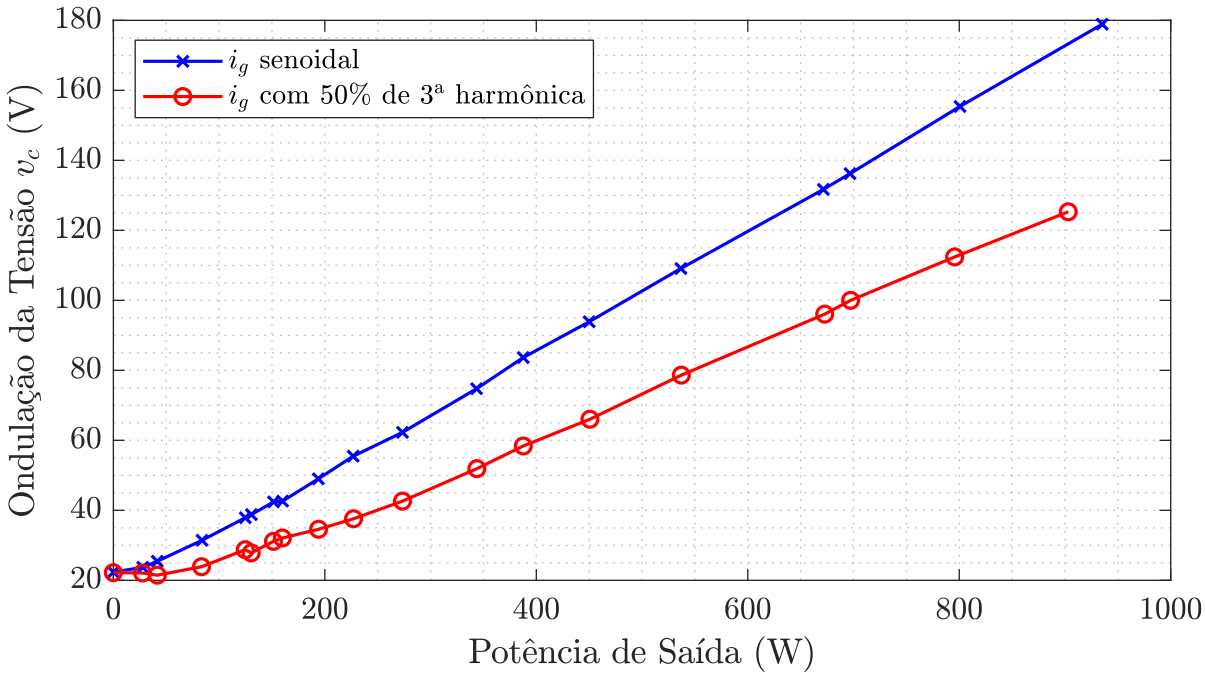
[2] Os resultados foram obtidos considerando-se o uso de 50% de 3ª harmônica, 25% de 5ª harmônica, 16% de 7ª harmônica, e 3% de 9ª harmônica em relação ao valor de fundamental corrente. Isto foi feito para que nas condições nominais ($P_o = 1\ kW$) os valores das correntes harmônicas sejam tais que estejam dentro dos valores permitidos pela IEC61000-3-2, classe A. No caso específico da 9ª harmônica, o valor que mais reduziu o valor de ondulação de tensão no CDPA foi obtido por cálculo numérico, sendo menor que o máximo permitido pela norma.

Figura 60 – Valores máximo e mínimo da tensão no CDPA com e sem 50% de 3ª harmônica na corrente da rede elétrica.



Fonte: Autor.

Figura 61 – Ondulação da da tensão no CDPA com e sem 50% de 3ª harmônica na corrente da rede elétrica.



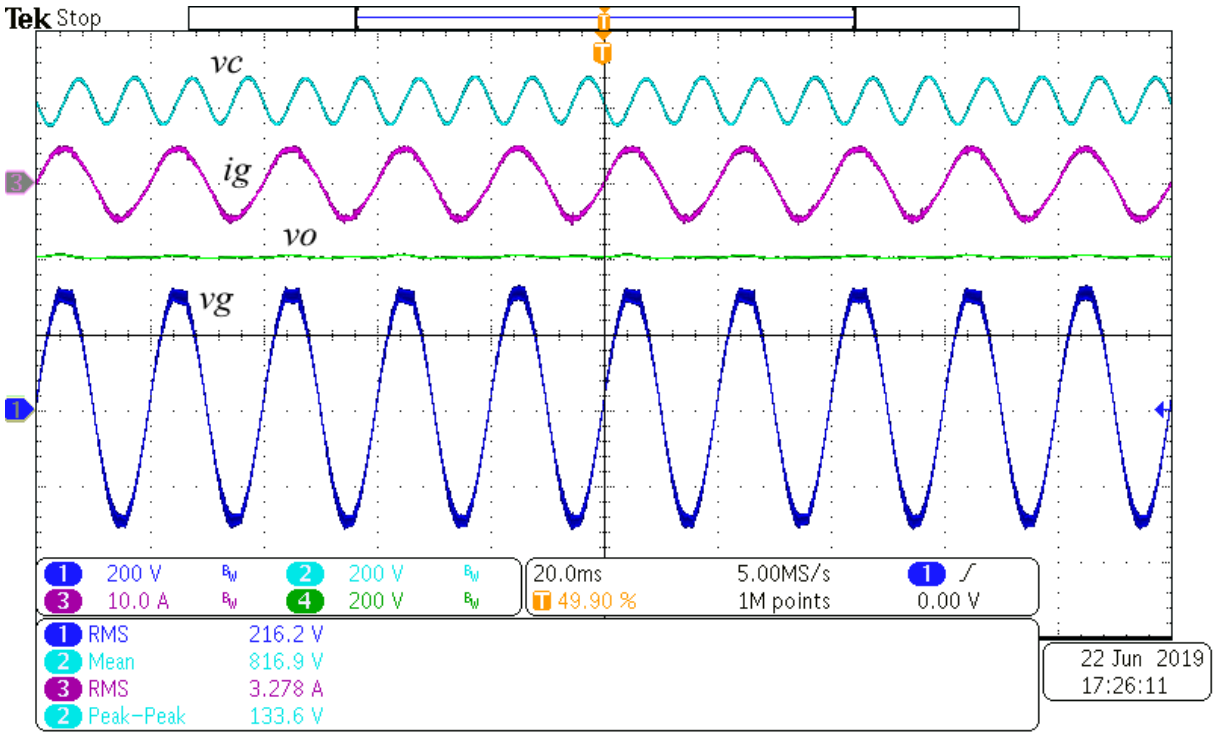
Fonte: Autor.

Tabela 10 – Uso de harmônicas ímpares para redução de ondulação da tensão no CDPA. DHTs e FP calculados considerando 40 harmônicas.

$I_1(A)$	**3,2971**	**3,3057**	**3,3142**	**3,3124**	**3,3109**
$I_3(A)$	0,1193	**1,7384**	**1,8382**	**1,8401**	**1,8386**
$I_5(A)$	0,0265	0,1543	**0,9000**	**0,9791**	**0,9769**
$I_7(A)$	0,0191	0,0328	0,1147	**0,5910**	**0,5700**
$I_9(A)$	0,0162	0,0382	0,071	0,1109	**0,1351**
$I_{rms}(A)$	3,3038	3,7451	3,9053	3,9675	3,9633
FP	0,9966	0,8840	0,8485	0,8352	0,8359
$DHT_i(\%)$	4,19	53,02	62,06	65,58	65,38
$DHT_v(\%)$	1,61	1,57	1,62	1,81	1,82
$V_{cmed}(V)$	816,9	822,0	822,5	822,4	821,9
$V_{c\ pk-pk}(V)$	133,6	97,44	88,31	83,16	82,81
$P_o(W)$	682,4	683,8	683,9	683,2	682,9
$\eta(\%)$	94,8	94,4	94,3	94,2	94,2
Figura	62	63	64	65	66

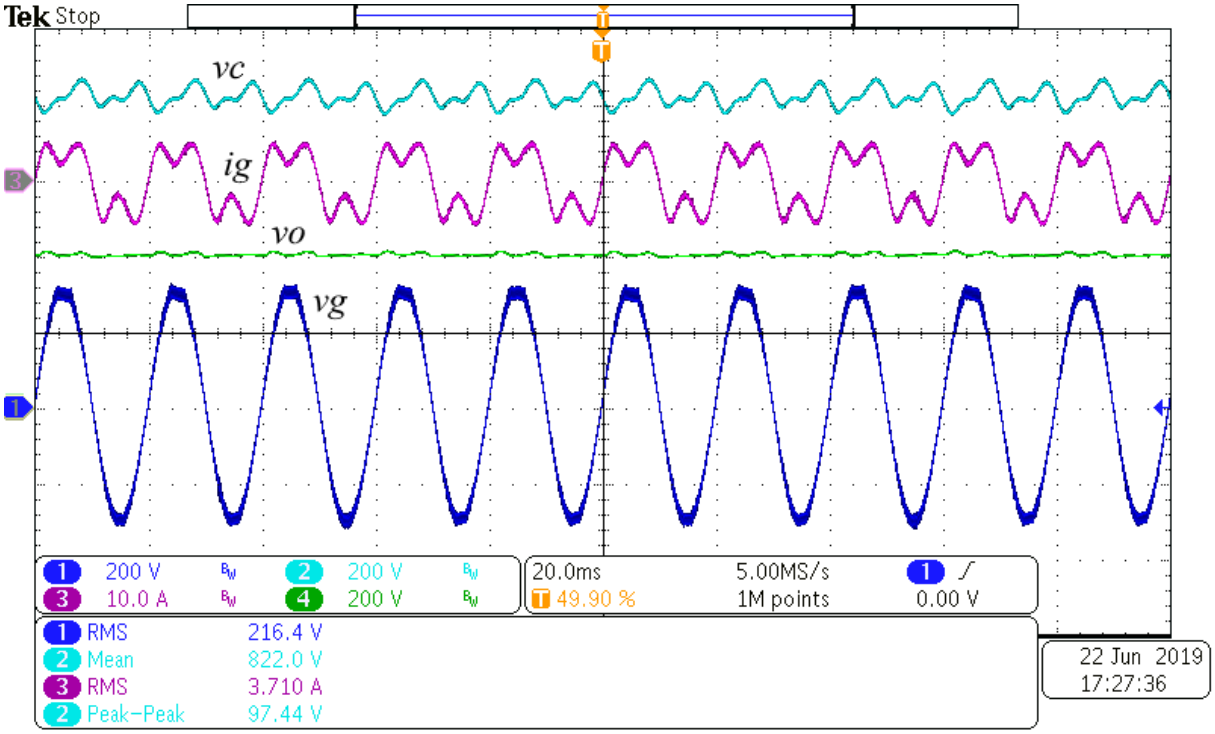
Fonte: Autor.

Figura 62 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



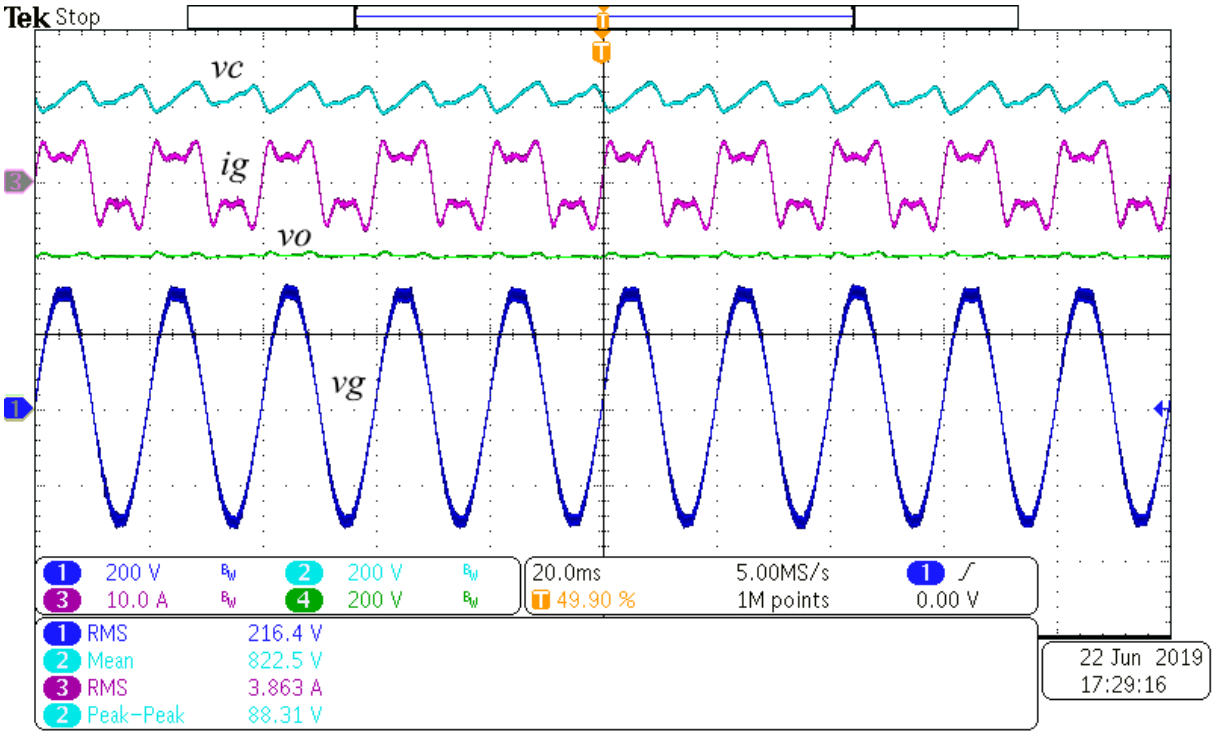
Fonte: Autor

Figura 63 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



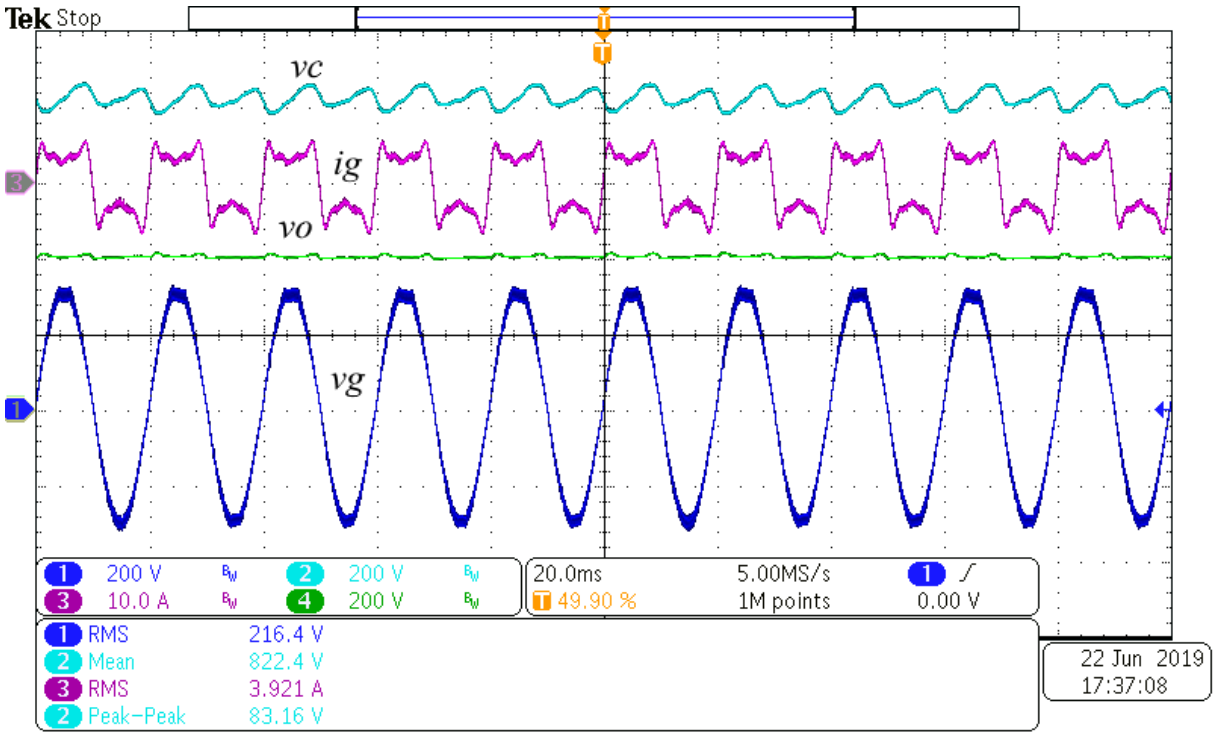
Fonte: Autor

Figura 64 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª e 5ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



Fonte: Autor

Figura 65 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª, 5ª e 7ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



Fonte: Autor

CC em série com um resistor de 56Ω para fornecer a potência reversa. Os resultados são apresentados nas Figuras 67, 68, 69 e 70 [3].

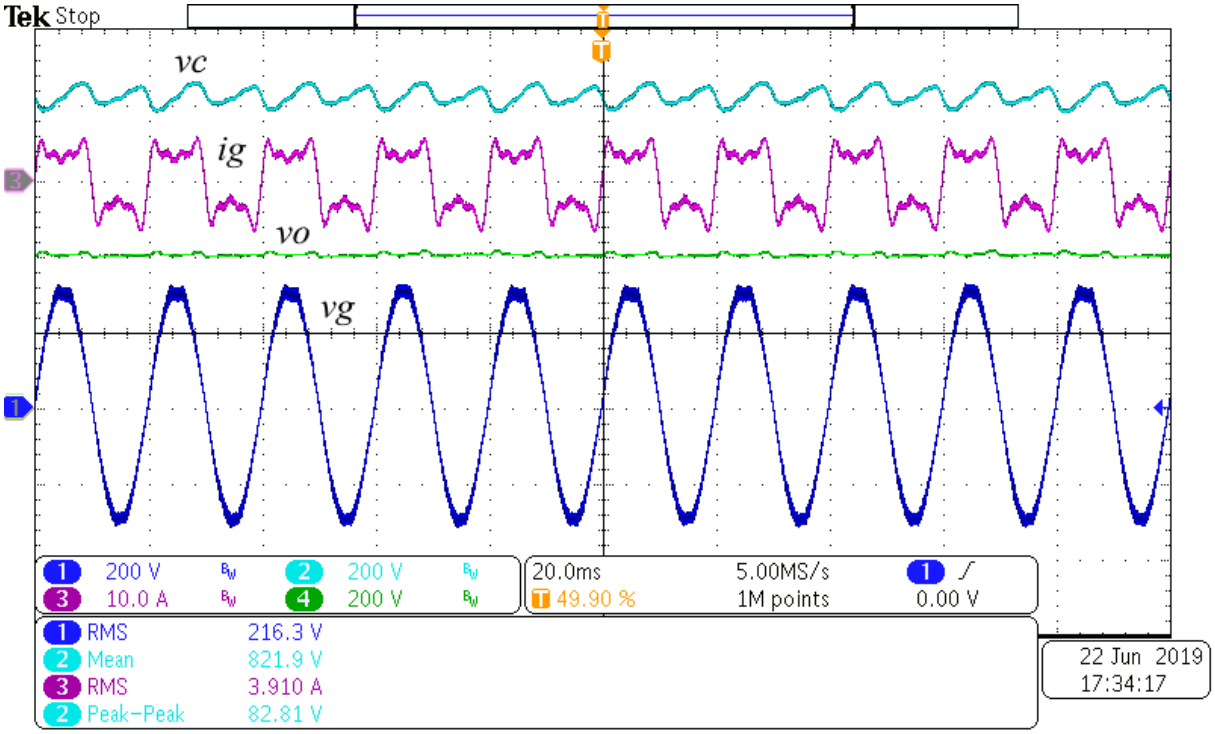
A Figura 71 apresenta os valores de fator de potência obtidos com o aumento da potência de saída para os casos em que a corrente de entrada é senoidal, e contendo 3ª harmônica. Os valores de DHT de corrente são apresentados na Figura 72.

As Figuras 73 e 74 apresentam o comparativos das componentes harmônicas de corrente com a classe A da norma IEC61000-3-2. Os valores de harmônicas pares obtidos experimentalmente não foram significativos e não estão apresentados. Como pode ser observado, o conversor atende os limites especificados na norma nos dois casos. O valor da componente de 3ª harmônica obtido no segundo caso é propositalmente elevado, de modo a reduzir o valor de ondulação de tensão no CDPA.

As formas de onda experimentais de corrente dos indutores L_g e L_o para o conversor operando a $P_o = 900\ W$ são apresentadas nas Figuras 75 e 76. Para o indutor L_g verifica-se uma ondulação de pico-a-pico máxima de 5 A com valor eficaz de corrente de $4,946\ A$,

[3] Como o controle e o projeto do conversor não foram realizados para operação bidirecional, a tensão de entrada, de saída e de barramento foram restritas à $V_g = 110V_{rms}, V_o = 200V$ e $V_c = 600V$ respectivamente.

Figura 66 – Formas de onda com o uso de harmônicas na corrente da rede elétrica: i_g contendo 3ª, 5ª, 7ª e 9ª harmônicas. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



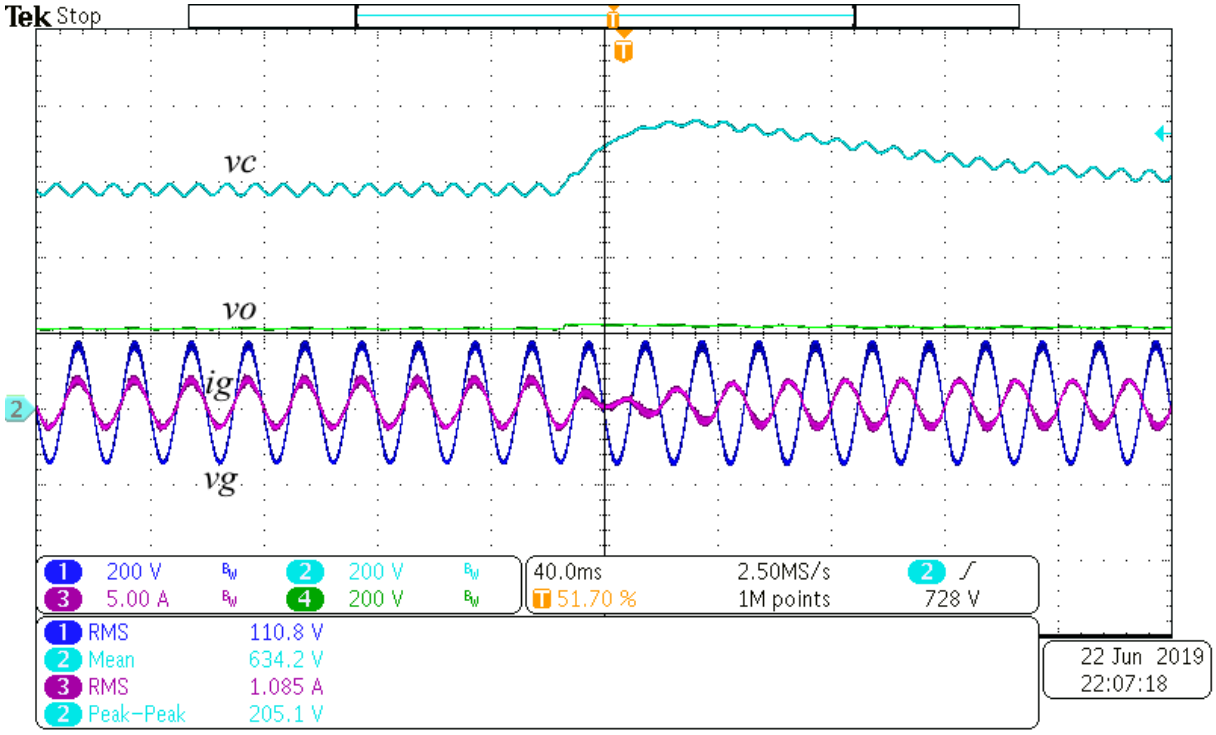
Fonte: Autor

enquanto que para L_o observa-se uma ondulação de pico-a-pico de $2,5A$ com valor eficaz de corrente de $2,395\ A$.

Como forma de apresentar o desempenho dinâmico dos controladores de tensão, as Figuras 77 e 78 apresentam o instante em que é dado um degrau de carga de $P_o = 0\ W$ para $P_o = 680\ W$, considerando referências de corrente de entrada senoidal e com 50% de 3ª harmônica.

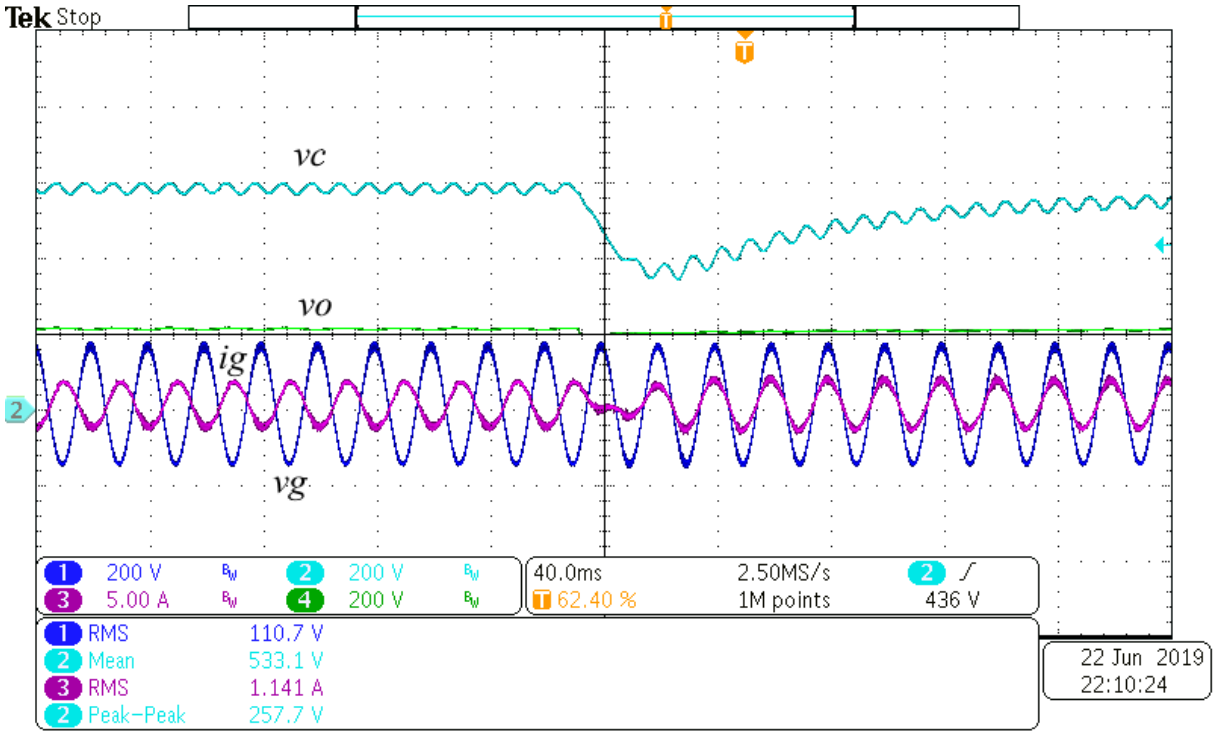
O conversor operou a 900 W durante 1:05 h, tempo durante o qual foram realizadas medidas de temperatura no encapsulamento dos semicondutores e nos indutores utilizando a câmera térmica. A Figura 79 apresenta a variação de temperatura durante o teste. A temperatura ambiente manteve-se constante em $27,2$ °C durante o teste. As temperaturas finais dos dissipadores H_1 e H_2 foram de $T_{H1} = 51,8$ °C e $T_{H2} = 51,2$ °C respectivamente. Imagens térmicas dos semicondutores e dos indutores ao final do teste são mostradas na Figura 80.

Figura 67 – Degrau de $P_o = +105\ W$ para $P_o = -130\ W$ com referência de corrente senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



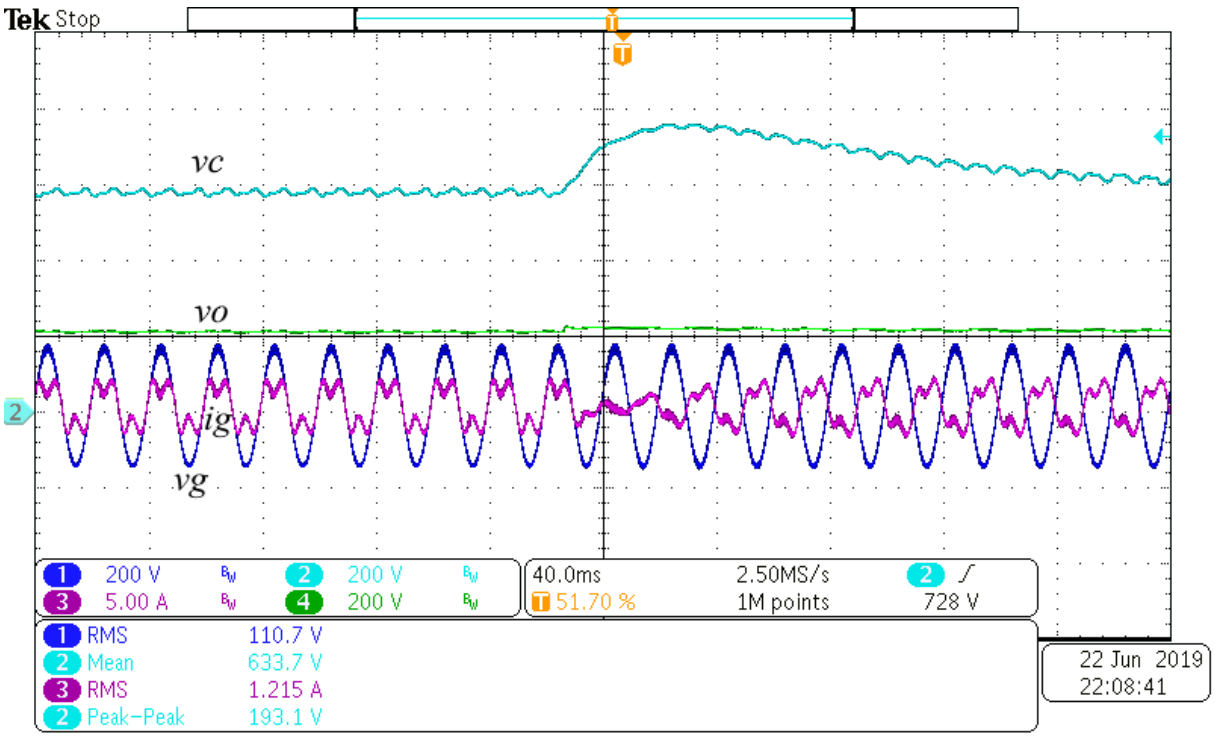
Fonte: Autor

Figura 68 – Degrau de $P_o = -130\ W$ para $P_o = +105\ W$ com referência de corrente senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



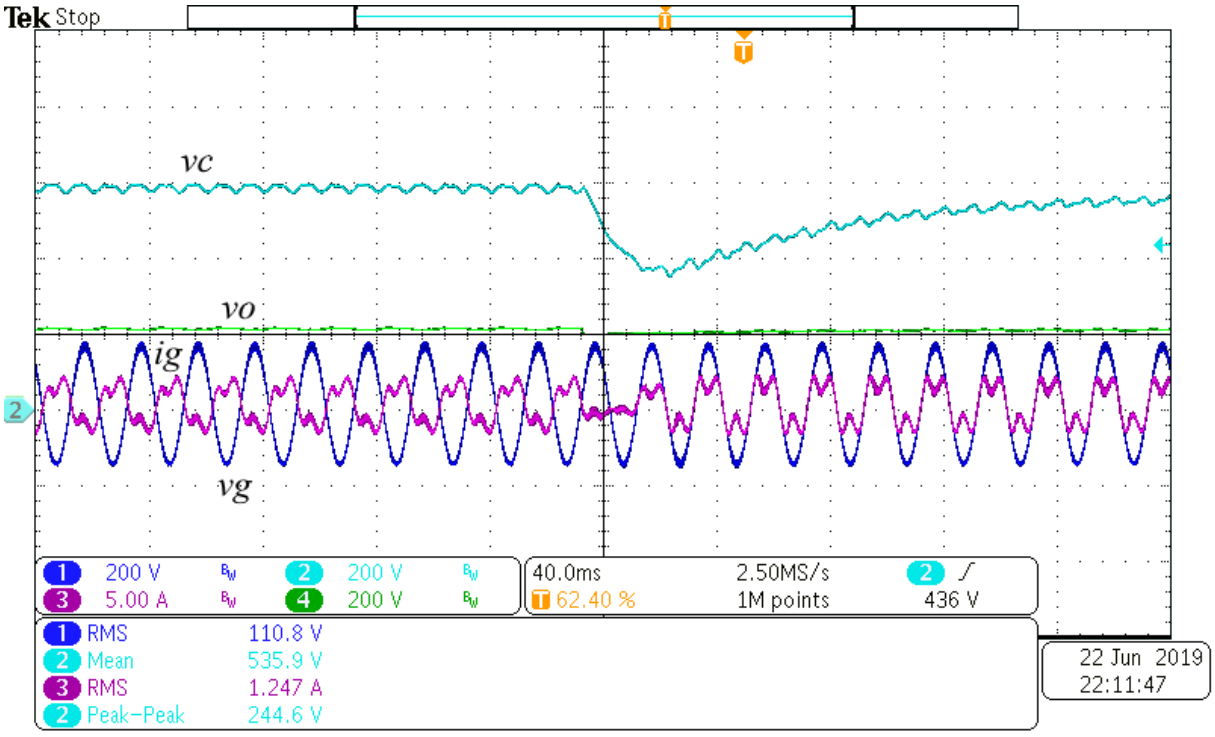
Fonte: Autor

Figura 69 – Degrau de $P_o = +105\ W$ para $P_o = -130\ W$ com referência de corrente com 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



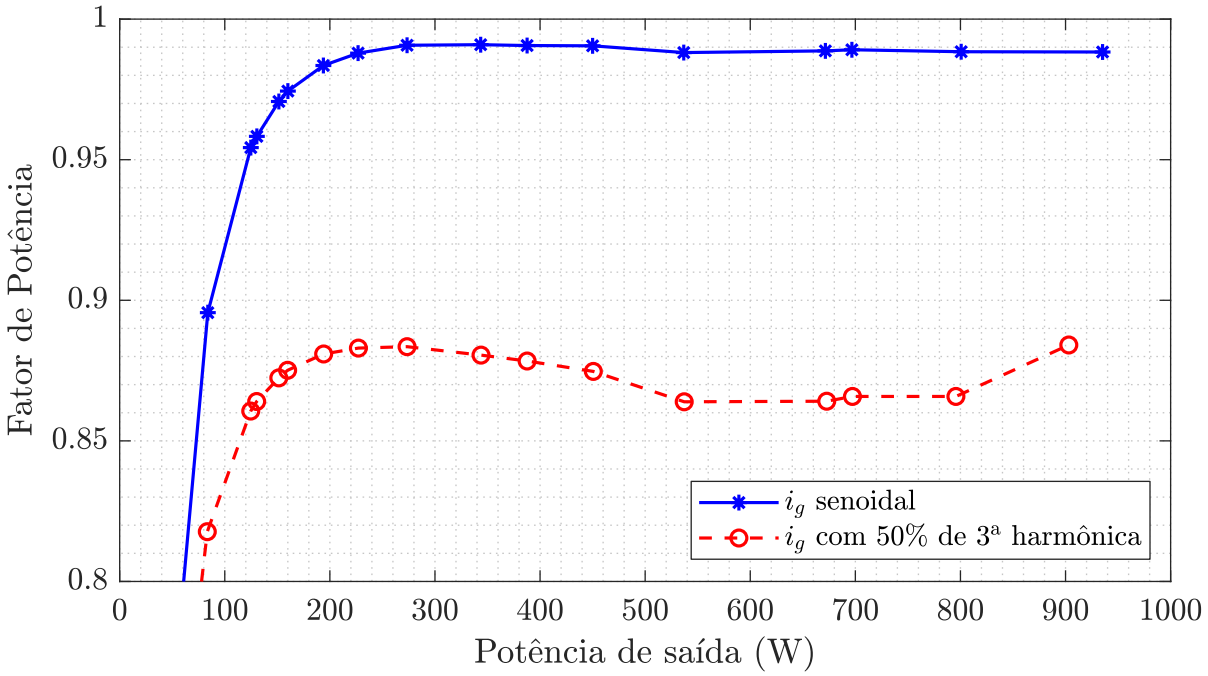
Fonte: Autor

Figura 70 – Degrau de $P_o = -130\ W$ para $P_o = +105\ W$ com referência de corrente com 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



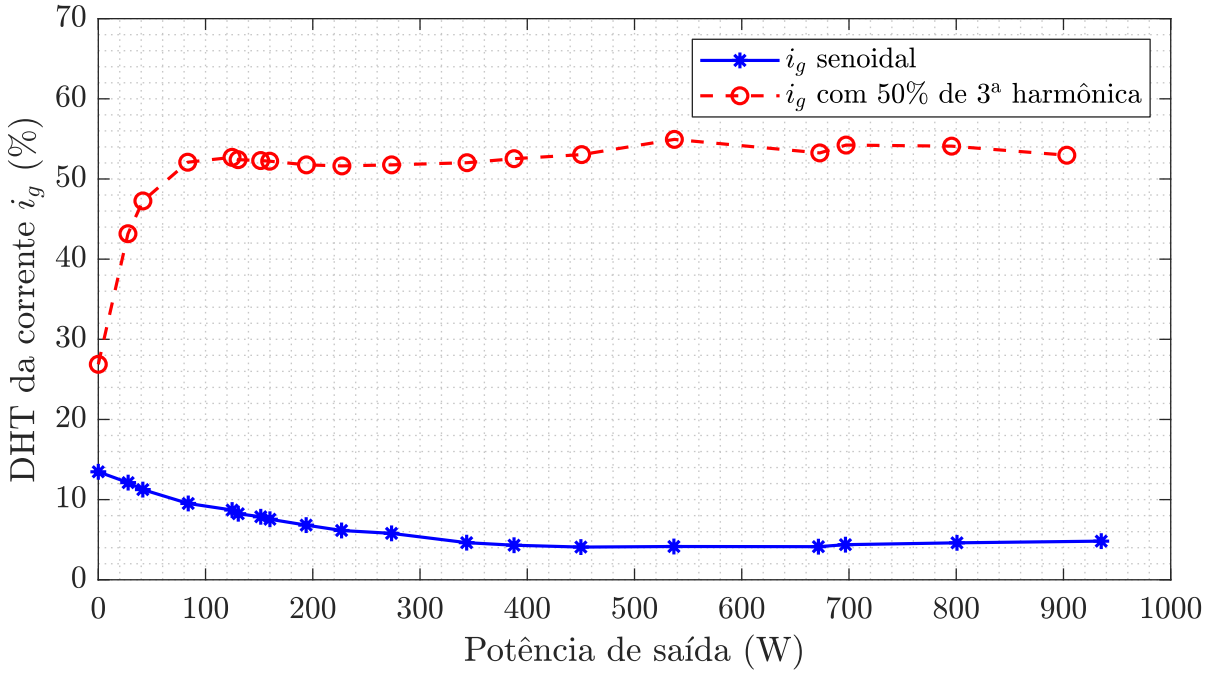
Fonte: Autor

Figura 71 – Fator de potência experimental para referência de corrente senoidal e contendo 50% de 3ª harmônica.



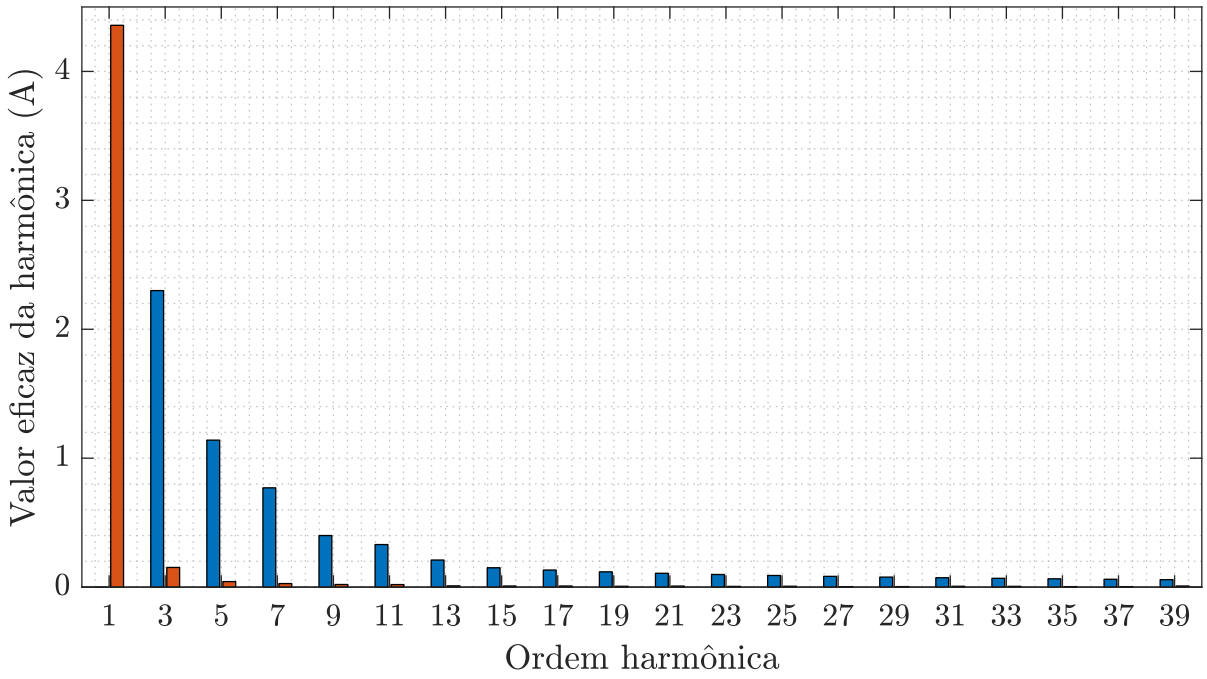
Fonte: Autor

Figura 72 – Distorção harmônica total da corrente experimental para referência de corrente senoidal e contendo 50% de 3ª harmônica.



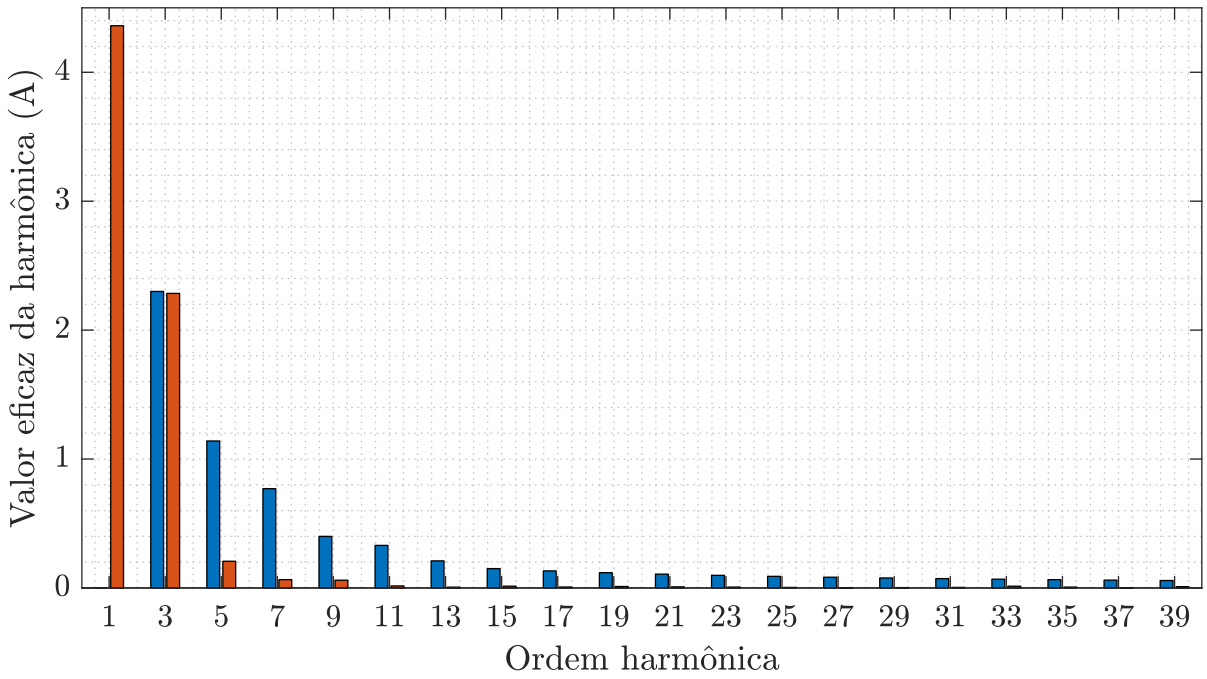
Fonte: Autor

Figura 73 – Comparativo dos valores das componentes harmônicas obtidos experimentalmente com a classe A da norma IEC61000-3-2 para corrente de entrada com referência senoidal. Conversor operando à $P_o = 902W$.



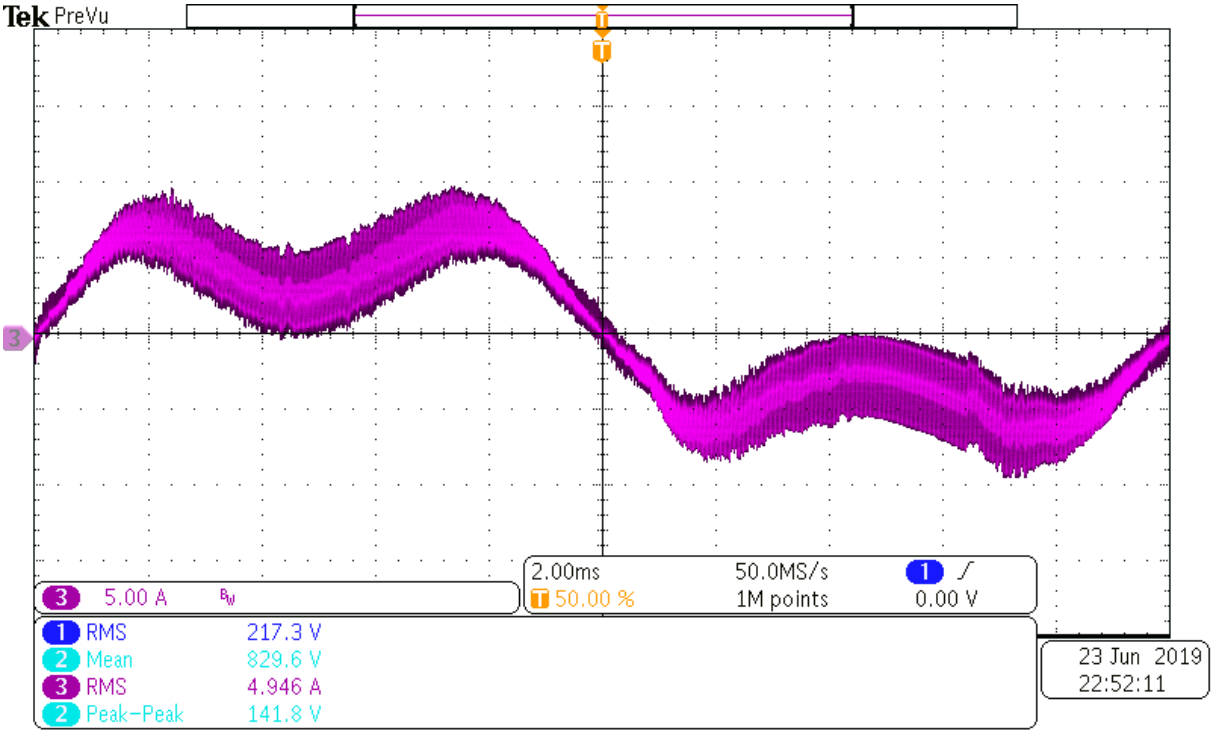
Fonte: Autor

Figura 74 – Comparativo dos valores das componentes harmônicas obtidos experimentalmente com a classe A da norma IEC61000-3-2 para corrente de entrada com referência contendo 50% de 3ª harmônica. Conversor operando à $P_o = 902W$.



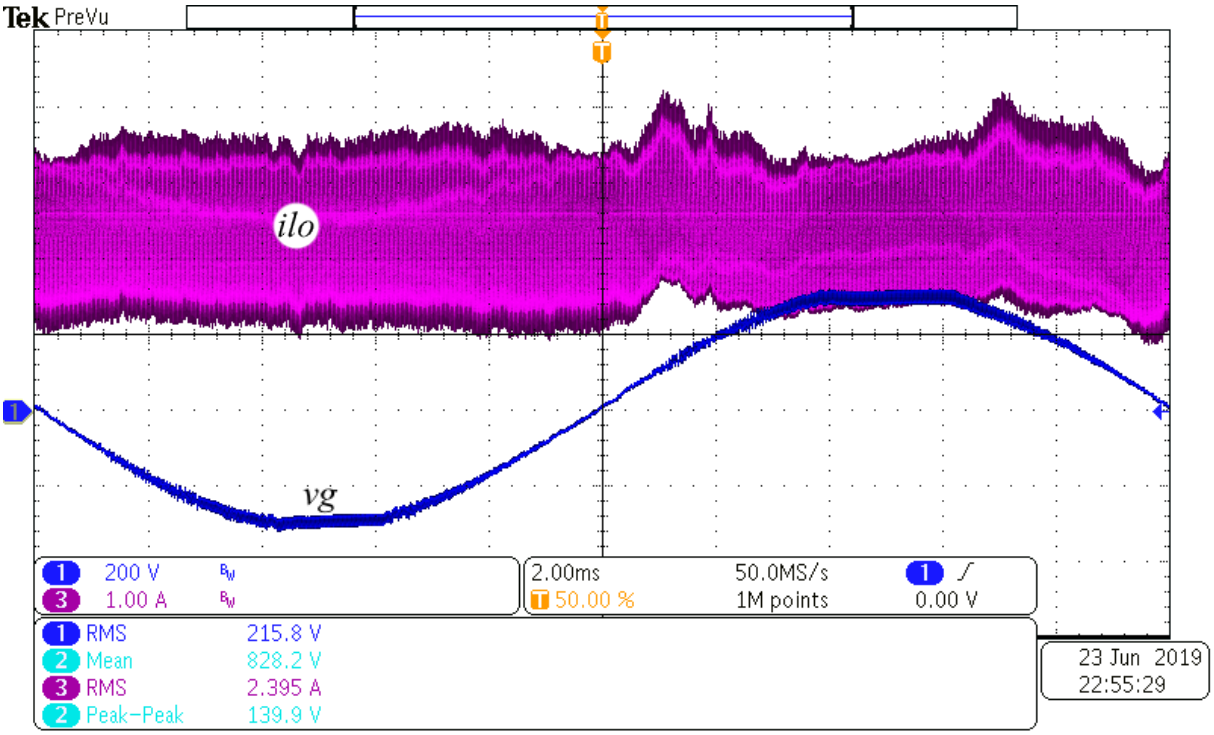
Fonte: Autor

Figura 75 – Forma de onda da corrente no indutor L_g para o conversor operando à $P_o = 900\ W$. Canal 3: i_g.



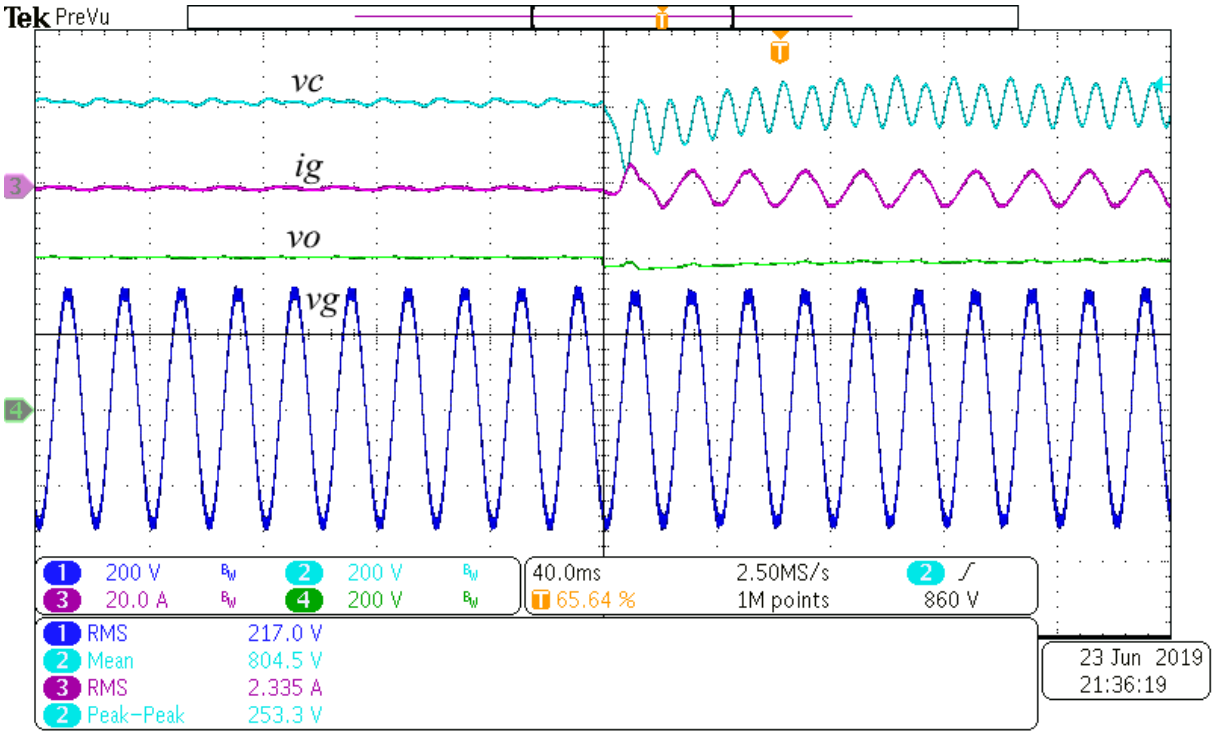
Fonte: Autor

Figura 76 – Forma de onda da corrente no indutor L_o para o conversor operando à $P_o = 900\ W$. Canal 1: v_g, canal 3: i_{Lo}.



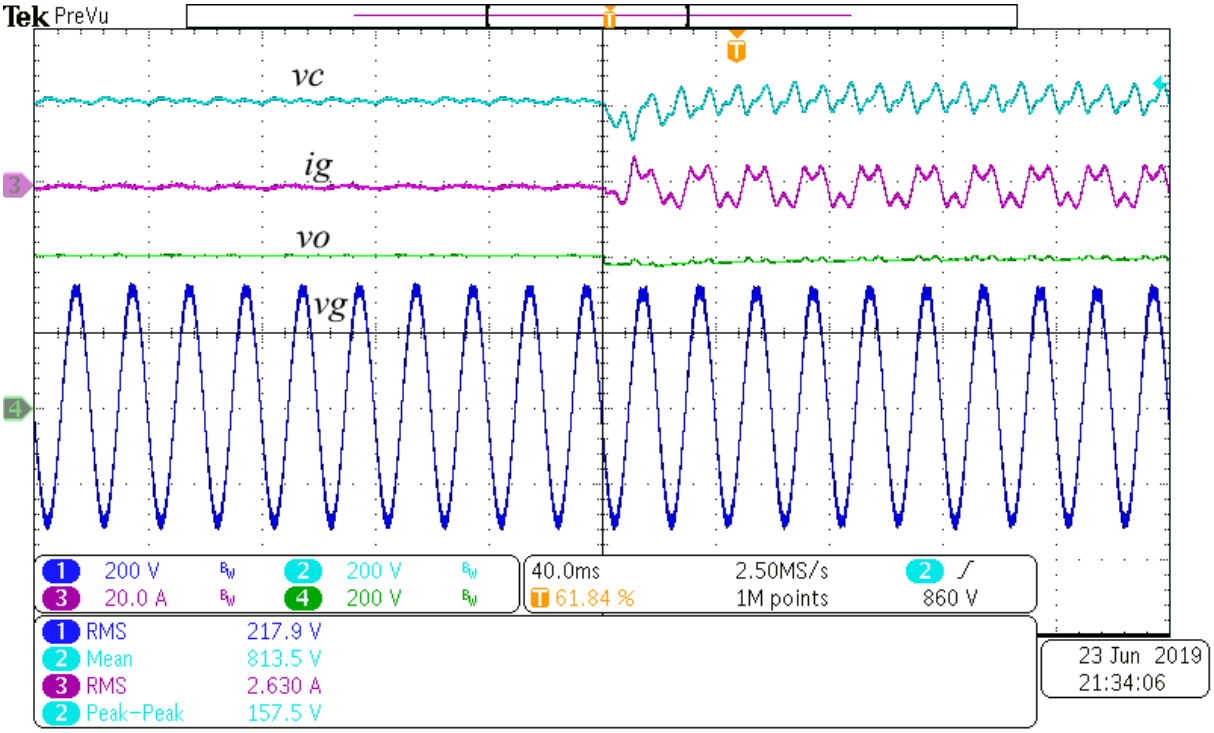
Fonte: Autor

Figura 77 – Instante em que é aplicado um degrau de carga de 0 W para 680 W com corrente de entrada senoidal. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



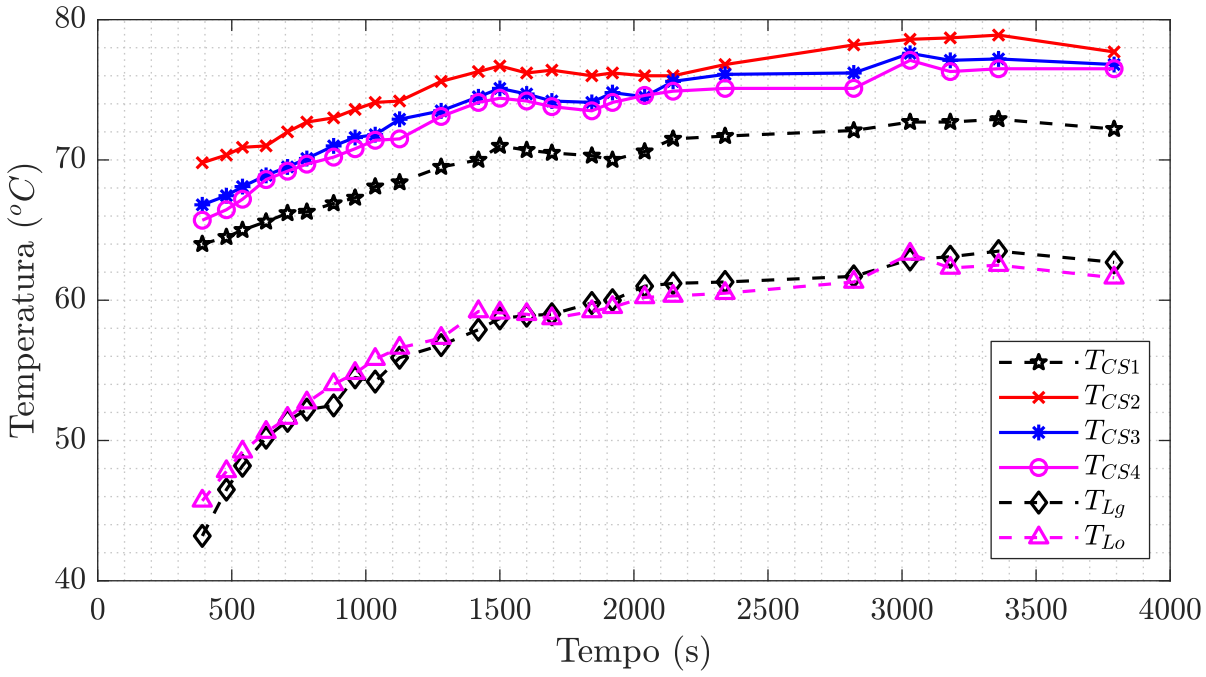
Fonte: Autor

Figura 78 – Instante em que é aplicado um degrau de carga de 0 W para 680 W com corrente de entrada contendo 50% de 3ª harmônica. Canal 1: v_g, canal 2: v_c, canal 3: i_g, canal 4: v_o.



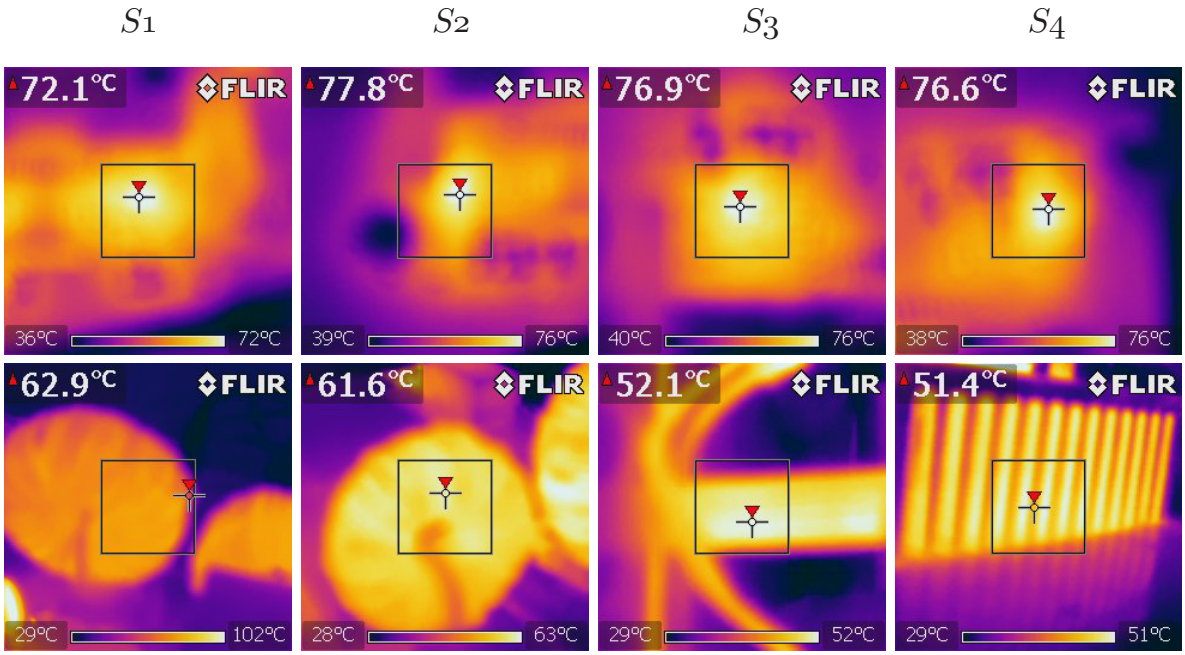
Fonte: Autor

Figura 79 – Temperaturas dos encapsulamentos dos interruptores e temperaturas dos indutores. Temperatura ambiente $T_{amb} = 27,2$ °C. Potência de carga $P_o = 900\ W$. Corrente i_g senoidal.



Fonte: Autor

Figura 80 – Imagens térmicas do conversor ao final do teste térmico, com $P_o = 900\ W$ e $T_{amb} = 27,2$ °C.



Fonte: Autor

6 CONCLUSÃO

Neste trabalho foi apresentada a topologia de conversor CA - CC monofásica bidirecional CFP com reduzido requisito de capacitância, denominada θ. Foi também apresentada uma estratégia de controle denominada *Enhanced Automatic Power Decoupling* (EAPD), a qual permite a simplificação do projeto de controladores para conversores CFP monofásicos que possuem capacitor de desacoplamento de potência ativa (CDPA). Com o uso do EAPD foi investigada a utilização de harmônicas ímpares da frequência da rede elétrica na referência da corrente do lado CA, respeitando a limitação dada na classe A da IEC61000-3-2, na redução da ondulação de tensão no CDPA, e sua consequente redução de capacitância. Foram também apresentadas metodologias de projeto de indutores e de dimensionamento de semicondutores baseadas em cálculo numérico e iterativo.

Ao final foi projetado e construído um protótipo para potência nominal $P_o = 1\ kW$, com tensão CA $V_g = 220\ V/50\ Hz$ e tensão CC $V_o = 400\ V$. O CDPA utilizado foi um capacitor de filme de polipropileno de 22 μF. A máxima potência atingida foi de 935 W com corrente senoidal e 903 W com corrente contendo 50% de 3ª harmônica, devido à limitação de potência aparente da fonte CA utilizada.

O principal problema verificado foi o ruído eletromagnético causado pelas elevadas derivadas de tensão nos semicondutores. Isto causou problemas de desconexão do DSP, e acoplamento de ruídos nos sinais lidos nos sensores. A solução encontrada foi o aumento do resistor de *Gate* de todos os interruptores para 18 Ω. O tempo morto utilizado foi ajustado de acordo.

Conforme foi possível verificar experimentalmente, o PLL projetado funcionou com baixa distorção no ângulo θ.

Embora não esteja descrito na parte teórica deste trabalho, o procedimento de *soft-start* se mostrou muito importante neste conversor, principalmente em virtude da tensão inicial do CDPA ser muito elevada. Este procedimento de *soft-start* pode ser considerado como uma contribuição deste trabalho, não tendo sido apresentado anteriormente de acordo com os conhecimentos do autor. Outra contribuição deste trabalho é a determinação da função de transferência que descreve a relação entre o valor médio da tensão no CDPA e a amplitude da corrente do lado CA.

O valor de ondulação no CDPA obtido está de acordo com o apresentado na Figura 17. Para o caso senoidal, com tensão mínima $V_{c\ mín} = 750\ V$ a tensão máxima teórica é $V_{c\ máx} \approx 920\ V$ para um CDPA de 22 μF, enquanto este valor é de $V_{c\ max} \approx 860\ V$ para a forma de onda de corrente CA contendo 50% de 3ª harmônica. De acordo com os resultados experimentais das Figuras 56 e 58, para o caso senoidal obteve-se $V_{c\ máx} \approx 913\ V$, enquanto para o caso com 3ª harmônica obteve-se $V_{c\ máx} \approx 883\ V$.

De acordo com a análise teórica Figura 17, a redução de capacitância para a mesma ondulação de tensão no CDPA com e sem o uso de 50% de 3ª harmônica foi de $35,3\%$. Nos experimentos, Figuras 60 e 61, a redução na ondulação de tensão foi de aproximadamente 30%. Estas duas reduções devem ser equivalentes de acordo com a expressão 2.40.

Embora a tensão de bloqueio dos interruptores tenha ficado menor no caso com 3ª harmônica, seu rendimento ainda ficou levemente inferior ao caso com corrente de entrada senoidal, conforme as Figuras 55 e 57. Isto pode ser explicado considerando que embora as perdas de comutação tenham ficado menores, o valor eficaz de corrente de entrada ficou maior, elevando as perdas nos enrolamentos e de condução nos semicondutores.

Os resultados de rendimento teórico calculados pelo algoritmo iterativo e obtidos na prática demonstraram que na prática o rendimento ficou cerca de 3% maior do que nos cálculos teóricos, sendo a diferença de rendimento entre os casos com e sem 3ª harmônica desprezível. O rendimento apresentou uma curva que tende a um valor máximo à medida que a potência de saída aumenta, sendo este o mesmo comportamento da curva teórica. O máximo rendimento obtido na prática foi de $95,32\%$.

Os resultados teóricos da Tabela 3 e experimentais da Tabela 10 permitem afirmar que é possível uma redução ainda maior da ondulação de tensão no CDPA, e sua consequente redução de capacitância, com o uso de outras harmônicas ímpares, à custa da redução do fator de potência e consequente aumento da DHT de corrente. Com o uso das harmônicas 3, 5, 7 e 9 é possível uma redução teórica de $49,62\%$ da capacitância para este conversor, enquanto os resultados experimentais permitem concluir que esta redução com o uso das mesmas harmônicas é de $38,02\%$ da ondulação de tensão no CDPA.

As Figuras 67, 68, 69, e 70 permitem verificar que a estratégia de controle empregada também funciona para o conversor operando no sentido reverso, isto é, CC-CA, sem nenhum esforço adicional de projeto dos controladores.

De acordo com as Figuras 73 e 74, é possível verificar que o conversor atende as recomendações da IEC61000-3-2 mesmo operando com forma de onda de corrente do lado CA contendo 3ª harmônica.

As formas de onda de corrente dos indutores L_g e L_o apresentadas nas Figuras 75 e 76 validam o projeto dos indutores. Para o indutor L_g a corrente de pico desejada em projeto para a potência nominal é de $9,47\ A$ e valor eficaz de corrente de $4,81\ A$, tendo sido obtida na prática uma corrente de pico de aproximadamente $9,5\ A$ na potência de $900\ W$, com valor eficaz de corrente de $4,946\ A$. Para o indutor L_o desejava-se uma corrente de pico de $4,05\ A$ com valor eficaz de $2,58\ A$, tendo sido obtidos na prática os valores de pico e eficaz de corrente de $3\ A$ e $2,395\ A$.

As Figuras 77 e 78 permitem verificar que o controle não torna-se instável, mesmo com a aplicação de um degrau de carga de $0\ W$ para $680\ W$. Degraus com potências maiores não foram aplicados devido a limitação de corrente da fonte CA empregada.

O conversor operou com potência de saída de 900 W durante 1:05 h até que o mesmo atingisse o equilíbrio térmico, conforme Figura 79. As temperaturas obtidas para os indutores ficaram abaixo do esperado. Isto pode ser explicado considerando que a temperatura utilizada no projeto dos indutores foi de 40 °C, enquanto a temperatura ambiente real foi de apenas $27,2$ °C. A elevação de temperatura para L_g foi de $35,7$°C no teste térmico, tendo sido projetada para ser $67,23$°C, enquanto que para L_o foi obtida uma elevação de temperatura de $34,4$ °C, tendo sido projetada uma elevação de $39,0$ °C.

A temperatura do encapsulamento dos semicondutores teórica esperada ($T_c = T_h + P_1 R_{jc}$) foi de $T_{c1} = 88,4$ °C, $T_{c2} = 88,5$ °C, $T_{c3} = 82,9$ °C, e $T_{c4} = 85,4$ °C. Os valores obtidos na prática foram de $T_{c1} = 72,2$ °C, $T_{c2} = 77,7$ °C, $T_{c3} = 76,8$ °C, e $T_{c4} = 76,5$ °C. Esta diferença pode ser explicada pelo fato de ter sido utilizada temperatura ambiente de 40°C no projeto, e a temperatura ambiente real ter sido de apenas $27,2$ °C. Além disso a potência nominal de saída do conversor foi de 900 W e não 1 kW, reduzindo as perdas.

REFERÊNCIAS

AGRAWAL, B. et al. Estimating switching losses for SiC MOSFETs with non-flat miller plateau region. In: *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*. Tampa, FL: IEEE, 2017. p. 2664–2670. ISBN 978-1-5090-5366-7. Disponível em: <http://ieeexplore.ieee.org/document/7931075/>. Citado na página 85.

AL-NASEEM, O.; ERICKSON, R. W.; CARLIN, P. Prediction of switching loss variations by averaged switch modeling. In: *APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058)*. [S.l.: s.n.], 2000. v. 1, p. 242–248 vol.1. Citado na página 86.

BRAHAM, A. et al. Recent Developments in Fault Detection and Power Loss Estimation of Electrolytic Capacitors. *IEEE Transactions on Power Electronics*, v. 25, n. 1, p. 33–43, jan. 2010. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/5200514/>. Citado na página 34.

BUSO, S.; MATTAVELLI, P. *Digital Control in Power Electronics*. [s.n.], 2006. v. 1. Disponível em: <http://www.morganclaypool.com/doi/abs/10.2200/S00047ED1V01Y200609PEL002>. Citado 2 vezes nas páginas 107 e 110.

CAMPONOGARA, D. et al. Capacitance Reduction With An Optimized Converter Connection Applied to LED Drivers. *IEEE Transactions on Industrial Electronics*, v. 62, n. 1, p. 184–192, jan. 2015. ISSN 0278-0046, 1557-9948. Disponível em: <http://ieeexplore.ieee.org/document/6824235/>. Citado 5 vezes nas páginas 15, 34, 38, 41 e 43.

Dai Xin et al. Influence factors for the self-healing of metallized polypropylene capacitors. In: *2000 Annual Report Conference on Electrical Insulation and Dielectric Phenomena (Cat. No.00CH37132)*. [S.l.: s.n.], 2000. v. 2, p. 461–465 vol.2. Citado na página 34.

DIANOV, A.; SU, K. N.; KWAN, K. Y. Future Drives of Home Appliances: Elimination of the Electrolytic DC-Link Capacitor in Electrical Drives for Home Appliances. *IEEE Industrial Electronics Magazine*, v. 9, n. 3, p. 10–18, set. 2015. ISSN 1932-4529. Disponível em: <http://ieeexplore.ieee.org/document/7271171/>. Citado 3 vezes nas páginas 34, 35 e 36.

ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of Power Electronics*. 2. ed. New York: [s.n.], 2004. Citado 3 vezes nas páginas 34, 41 e 80.

Fuchang Lin et al. Research on electrode-end contact degradation of metallized polypropylene capacitors. *IEEE Transactions on Magnetics*, v. 39, n. 1, p. 353–356, jan. 2003. ISSN 0018-9464. Citado na página 34.

GU, L. et al. Means of Eliminating Electrolytic Capacitor in AC/DC Power Supplies for LED Lightings. *IEEE Transactions on Power Electronics*, v. 24, n. 5, p. 1399–1408, maio 2009. ISSN 0885-8993. Disponível em: <http://ieeexplore.ieee.org/document/4912588/>. Citado 6 vezes nas páginas 33, 34, 36, 37, 38 e 40.

HAVANUR, S. *Power MOSFET Basics: Understanding the Turn-On Process*. [S.l.]: VISHAY, 2015. Citado na página 83.

HE, J.; RUAN, X.; ZHANG, L. Adaptive Voltage Control for Bidirectional Converter in Flicker-Free Electrolytic Capacitor-Less AC–DC LED Driver. *IEEE Transactions on Industrial Electronics*, v. 64, n. 1, p. 320–324, jan. 2017. ISSN 0278-0046, 1557-9948. Disponível em: <http://ieeexplore.ieee.org/document/7565598/>. Citado 6 vezes nas páginas 34, 36, 37, 38, 40 e 44.

HELDWEIN, M. L. *EMC Filtering of Three-Phase PWM Converters*. Tese (Doutorado) — ETH Zurich, 2008. Disponível em: <http://hdl.handle.net/20.500.11850/5094>. Citado na página 67.

IEC61000-3-2. *Limits For Harmonic Current Emissions (equipment input current < 16 A per phase)*. [S.l.], 2014. OCLC: 952457050. Citado 2 vezes nas páginas 33 e 35.

KATZ, P. *Digital control using microprocessors*. [S.l.: s.n.], 1981. Citado na página 107.

KAZIMIERCZUK, M. K. Pulse-width Modulated DC–DC Power Converters. p. 811, 2008. Citado na página 86.

KAZIMIERCZUK, M. K. High-Frequency Magnetic Components. p. 757, 2014. Citado na página 71.

LAHYANI, A. et al. Failure prediction of electrolytic capacitors during operation of a switchmode power supply. *IEEE Transactions on Power Electronics*, v. 13, n. 6, p. 1199–1207, nov. 1998. ISSN 0885-8993. Citado 2 vezes nas páginas 34 e 36.

LAMAR, D. G. et al. On the Limit of the Output Capacitor Reduction in Power-Factor Correctors by Distorting the Line Input Current. *IEEE Transactions on Power Electronics*, v. 27, n. 3, p. 1168–1176, mar. 2012. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/5571011/>. Citado 2 vezes nas páginas 37 e 38.

LANGE, A. D. B.; HELDWEIN, M. L. Optimal inductor design for single-phase three-level bridgeless PFC rectifiers. In: *2017 Brazilian Power Electronics Conference (COBEP)*. [S.l.: s.n.], 2017. p. 1–6. Citado na página 67.

LEUNG, K. H.; LOO, K. H.; LAI, Y. M. Unity-Power-Factor Control Based on Precise Ripple Cancellation for Fast-Response PFC Preregulator. *IEEE Transactions on Power Electronics*, v. 31, n. 4, p. 3324–3337, abr. 2016. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7150428/>. Citado 2 vezes nas páginas 43 e 44.

LI, S. et al. Integration of an Active Filter and a Single-Phase AC/DC Converter With Reduced Capacitance Requirement and Component Count. *IEEE Transactions on Power Electronics*, v. 31, n. 6, p. 4121–4137, jun. 2016. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7268932/>. Citado na página 40.

LI, S. et al. A Single-Stage Two-Switch PFC Rectifier With Wide Output Voltage Range and Automatic AC Ripple Power Decoupling. *IEEE Transactions on Power Electronics*, v. 32, n. 9, p. 6971–6982, set. 2017. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7725554/>. Citado 2 vezes nas páginas 39 e 54.

LI, S. et al. Enhanced Automatic-Power-Decoupling Control Method for Single-Phase AC-to-DC Converters. *IEEE Transactions on Power Electronics*, v. 33, n. 2, p. 1816–1828, fev. 2018. ISSN 0885-8993, 1941-0107. Disponível em:

<http://ieeexplore.ieee.org/document/7889014/>. Citado 4 vezes nas páginas 40, 42, 44 e 99.

LIU, Y.; SUN, Y.; SU, M. A Control Method for Bridgeless Cuk/Sepic PFC Rectifier to Achieve Power Decoupling. *IEEE Transactions on Industrial Electronics*, v. 64, n. 9, p. 7272–7276, set. 2017. ISSN 0278-0046, 1557-9948. Disponível em: <http://ieeexplore.ieee.org/document/7888979/>. Citado na página 40.

LIU, Y. et al. Active power decoupling in capacitive idling converter based PFC rectifier. In: *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*. Beijing: IEEE, 2017. p. 7929–7934. ISBN 978-1-5386-1127-2. Disponível em: <http://ieeexplore.ieee.org/document/8217390/>. Citado na página 40.

LIU, Y. et al. Control Method for the Sheppard–Taylor PFC Rectifier to Reduce Capacitance Requirements. *IEEE Transactions on Power Electronics*, v. 33, n. 3, p. 2714–2722, mar. 2018. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7902235/>. Citado na página 40.

LIU, Y. et al. A Single-Phase PFC Rectifier With Wide Output Voltage and Low-Frequency Ripple Power Decoupling. *IEEE Transactions on Power Electronics*, v. 33, n. 6, p. 5076–5086, jun. 2018. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7997947/>. Citado 2 vezes nas páginas 34 e 40.

MCLYMAN, C. W. T. Transformer and Inductor Design Handbook. p. 669, 2011. Citado na página 74.

MING, W. L.; ZHONG, Q. C. Single-phase half-bridge rectifiers with extended voltage ranges and reduced voltage ripples. In: *2014 IEEE 5th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*. [S.l.: s.n.], 2014. p. 1–6. Citado 2 vezes nas páginas 34 e 45.

MING, W. L.; ZHONG, Q. C. Current-Stress Reduction for the Neutral Inductor of Theta -Converters. *IEEE Transactions on Power Electronics*, v. 32, n. 4, p. 2794–2807, abr. 2017. ISSN 0885-8993. Citado 4 vezes nas páginas 15, 44, 45 e 46.

MING, W. L.; ZHONG, Q. C.; ZHANG, X. A Single-Phase Four-Switch Rectifier With Significantly Reduced Capacitance. *IEEE Transactions on Power Electronics*, v. 31, n. 2, p. 1618–1632, fev. 2016. ISSN 0885-8993. Citado na página 45.

NGUYEN, H. V.; LEE, D.-C. Reduction of DC-link capacitance in bridgeless PFC boost rectifiers. In: . IEEE, 2015. p. 1–5. ISBN 978-1-4799-7655-3 978-1-4799-7657-7. Disponível em: <http://ieeexplore.ieee.org/document/7361514/>. Citado 3 vezes nas páginas 33, 36 e 41.

NGUYEN, H. V.; LEE, D.-C. Reducing the dc-Link Capacitance: A Bridgeless PFC Boost Rectifier That Reduces the Second-Order Power Ripple at the dc Output. *IEEE Industry Applications Magazine*, v. 24, n. 2, p. 23–34, mar. 2018. ISSN 1077-2618. Disponível em: <http://ieeexplore.ieee.org/document/8245789/>. Citado 3 vezes nas páginas 33, 34 e 40.

OHNUMA, Y.; ITOH, J.-i. A novel single-phase buck PFC AC-DC converter using an active buffer. In: *2012 IEEE Energy Conversion Congress and Exposition*

(ECCE). Raleigh, NC, USA: IEEE, 2012. p. 4223–4229. ISBN 978-1-4673-0803-8 978-1-4673-0802-1 978-1-4673-0800-7 978-1-4673-0801-4. Disponível em: <http://ieeexplore.ieee.org/document/6342249/>. Citado na página 40.

OHNUMA, Y.; ITOH, J.-I. A Novel Single-Phase Buck PFC AC–DC Converter With Power Decoupling Capability Using an Active Buffer. *IEEE Transactions on Industry Applications*, v. 50, n. 3, p. 1905–1914, maio 2014. ISSN 0093-9994, 1939-9367. Disponível em: <http://ieeexplore.ieee.org/document/6587526/>. Citado 4 vezes nas páginas 33, 39, 40 e 54.

PANG, H. M.; PONG, B. M. H. Design-oriented model and critical inductance method for long life isolated power converters. *IET Power Electronics*, v. 6, n. 9, p. 1862–1871, nov. 2013. ISSN 1755-4535, 1755-4543. Disponível em: <https://digital-library.theiet.org/content/journals/10.1049/iet-pel.2010.0214>. Citado 3 vezes nas páginas 34, 36 e 42.

PERVAIZ, S.; KUMAR, A.; AFRIDI, K. K. A Compact Electrolytic-Free Two-Stage Universal Input Offline LED Driver With Volume-Optimized SSC Energy Buffer. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 6, n. 3, p. 1116–1130, set. 2018. ISSN 2168-6777, 2168-6785. Disponível em: <https://ieeexplore.ieee.org/document/8323363/>. Citado 2 vezes nas páginas 36 e 38.

PERVAIZ, S.; KUMAR, A.; AFRIDI, K. K. GaN-Based High-Power-Density Electrolytic-Free Universal Input LED Driver. *IEEE Transactions on Industry Applications*, v. 54, n. 4, p. 3890–3901, jul. 2018. ISSN 0093-9994, 1939-9367. Disponível em: <https://ieeexplore.ieee.org/document/8320827/>. Citado 2 vezes nas páginas 36 e 38.

QI, W. et al. A two-switch buck-boost PFC rectifier with automatic AC power decoupling capability. In: *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*. Milwaukee, WI, USA: IEEE, 2016. p. 1–7. ISBN 978-1-5090-0737-0. Disponível em: <http://ieeexplore.ieee.org/document/7854798/>. Citado 2 vezes nas páginas 40 e 44.

QI, W. et al. A single-phase three-level flying-capacitor PFC rectifier without electrolytic capacitors. *IEEE Transactions on Power Electronics*, p. 1–1, 2018. ISSN 0885-8993, 1941-0107. Disponível em: <https://ieeexplore.ieee.org/document/8469087/>. Citado na página 40.

REDDY, U. R.; NARASIMHARAJU, B. L. Single-stage electrolytic capacitor less non-inverting buck-boost PFC based AC–DC ripple free LED driver. *IET Power Electronics*, v. 10, n. 1, p. 38–46, jan. 2017. ISSN 1755-4535, 1755-4543. Disponível em: <https://digital-library.theiet.org/content/journals/10.1049/iet-pel.2015.0945>. Citado 2 vezes nas páginas 38 e 40.

ROHM, S. *SiC Power Devices and Modules*. 2013. Disponível em: <https://www.rohm.com/documents/11303/2861707/sic_app-note.pdf>. Citado na página 80.

RORABAUGH, C. B. *Electronic Filter Design Handbook*. 4. ed. [S.l.: s.n.], 1993. Citado na página 111.

RUAN, X. et al. Optimum Injected Current Harmonics to Minimize Peak-to-Average Ratio of LED Current for Electrolytic Capacitor-Less AC–DC Drivers. *IEEE Transactions on Power Electronics*, v. 26, n. 7, p. 1820–1825, jul. 2011. ISSN 0885-8993, 1941-0107.

Disponível em: <http://ieeexplore.ieee.org/document/5664804/>. Citado 2 vezes nas páginas 37 e 38.

SARTORI, H. C. *Projeto de Conversores Estáticos Fazendo uso de uma Metodologia de Minimização de Volume/Perdas/Custo*. Tese (Doutorado), 2004. Citado na página 42.

SOARES, G. M. et al. Capacitance Minimization in Offline LED Drivers Using an Active-Ripple-Compensation Technique. *IEEE Transactions on Power Electronics*, v. 32, n. 4, p. 3022–3033, abr. 2017. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7475946/>. Citado na página 38.

ST. *Calculation of turn-off power losses generated by an ultrafast diode*. 2017. Disponível em: <https://www.st.com/content/ccc/resource/technical/document/application_note/group0/2b/f3/cc/22/81/d3/4d/89/DM00380483/files/DM00380483.pdf/jcr:content/translations/en.DM00380483.pdf>. Citado na página 87.

TANG, Y. et al. Decoupling of Fluctuating Power in Single-Phase Systems Through a Symmetrical Half-Bridge Circuit. *IEEE Transactions on Power Electronics*, v. 30, n. 4, p. 1855–1865, abr. 2015. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/6823715/>. Citado 6 vezes nas páginas 15, 36, 37, 40, 41 e 42.

TANG, Y. et al. A Three-Level Quasi-Two-Stage Single-Phase PFC Converter with Flexible Output Voltage and Improved Conversion Efficiency. *IEEE Transactions on Power Electronics*, v. 30, n. 2, p. 717–726, fev. 2015. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6780621>. Citado 3 vezes nas páginas 15, 42 e 43.

TEODORESCU, R.; LISERRE, M.; RODRíGUEZ, P. *Grid Converters for Photovoltaic and Wind Power Systems: Teodorescu/Grid Converters for Photovoltaic and Wind Power Systems*. Chichester, UK: John Wiley & Sons, Ltd, 2011. ISBN 978-0-470-66705-7 978-0-470-05751-3. Disponível em: <http://doi.wiley.com/10.1002/9780470667057>. Citado na página 115.

VENKATACHALAM, K. et al. Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters. In: *2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings.* Mayaguez, Puerto Rico: IEEE, 2002. p. 36–41. ISBN 978-0-7803-7554-3. Disponível em: <http://ieeexplore.ieee.org/document/1196712/>. Citado 2 vezes nas páginas 72 e 73.

VISHAY, S. *Current Rating of Power Semiconductors. Application Note AN-949*. 2010. Disponível em: <https://www.vishay.com/docs/91419/appnote9.pdf>. Citado na página 79.

VISHAY, S. *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance. Application Note AN608A*. 2016. Disponível em: <http://www.vishay.com/docs/73217/an608a.pdf>. Citado 3 vezes nas páginas 83, 84 e 85.

WANG, B. et al. A Method of Reducing the Peak-to-Average Ratio of LED Current for Electrolytic Capacitor-Less AC–DC Drivers. *IEEE Transactions on Power Electronics*, v. 25, n. 3, p. 592–601, mar. 2010. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/5232882/>. Citado 2 vezes nas páginas 37 e 38.

WANG, R. et al. A High Power Density Single-Phase PWM Rectifier With Active Ripple Energy Storage. *IEEE Transactions on Power Electronics*, v. 26, n. 5, p. 1430–1443, maio 2011. ISSN 0885-8993. Citado na página 41.

WANG, S. et al. A Flicker-Free Electrolytic Capacitor-Less AC–DC LED Driver. *IEEE Transactions on Power Electronics*, v. 27, n. 11, p. 4540–4548, nov. 2012. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/6107616/>. Citado 5 vezes nas páginas 33, 34, 36, 38 e 40.

WONG, C. S. et al. Current-source PFC based LED drivers with electronic-smoothing inductor for AC power decoupling. In: *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*. Warsaw: IEEE, 2017. p. P.1–P.9. ISBN 978-90-75815-27-6. Disponível em: <http://ieeexplore.ieee.org/document/8099179/>. Citado na página 36.

WU, H. et al. Single-Phase LED Drivers With Minimal Power Processing, Constant Output Current, Input Power Factor Correction, and Without Electrolytic Capacitor. *IEEE Transactions on Power Electronics*, v. 33, n. 7, p. 6159–6170, jul. 2018. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/8010290/>. Citado na página 38.

YANG, Y. et al. Feed-Forward Scheme for an Electrolytic Capacitor-Less AC/DC LED Driver to Reduce Output Current Ripple. *IEEE Transactions on Power Electronics*, v. 29, n. 10, p. 5508–5517, out. 2014. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/6677609/>. Citado 6 vezes nas páginas 34, 36, 37, 38, 40 e 41.

YAO, K. et al. Reducing Storage Capacitor of a DCM Boost PFC Converter. *IEEE Transactions on Power Electronics*, v. 27, n. 1, p. 151–160, jan. 2012. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/5685575/>. Citado 2 vezes nas páginas 37 e 38.

YAO, K. et al. An Online Monitoring Scheme of DC-Link Capacitor's ESR and C for a Boost PFC Converter. *IEEE Transactions on Power Electronics*, v. 31, n. 8, p. 5944–5951, ago. 2016. ISSN 0885-8993, 1941-0107. Disponível em: <http://ieeexplore.ieee.org/document/7313000/>. Citado na página 33.

ZEFFERYS, S.; MACDONALD, D. *Current Ratings for Vishay Siliconix MOSFETs*. 2007. Citado na página 79.

ZHONG, Q. C.; MING, W. L. A Theta-Converter That Reduces Common Mode Currents, Output Voltage Ripples, and Total Capacitance Required. *IEEE Transactions on Power Electronics*, v. 31, n. 12, p. 8435–8447, dez. 2016. ISSN 0885-8993. Citado 2 vezes nas páginas 39 e 45.

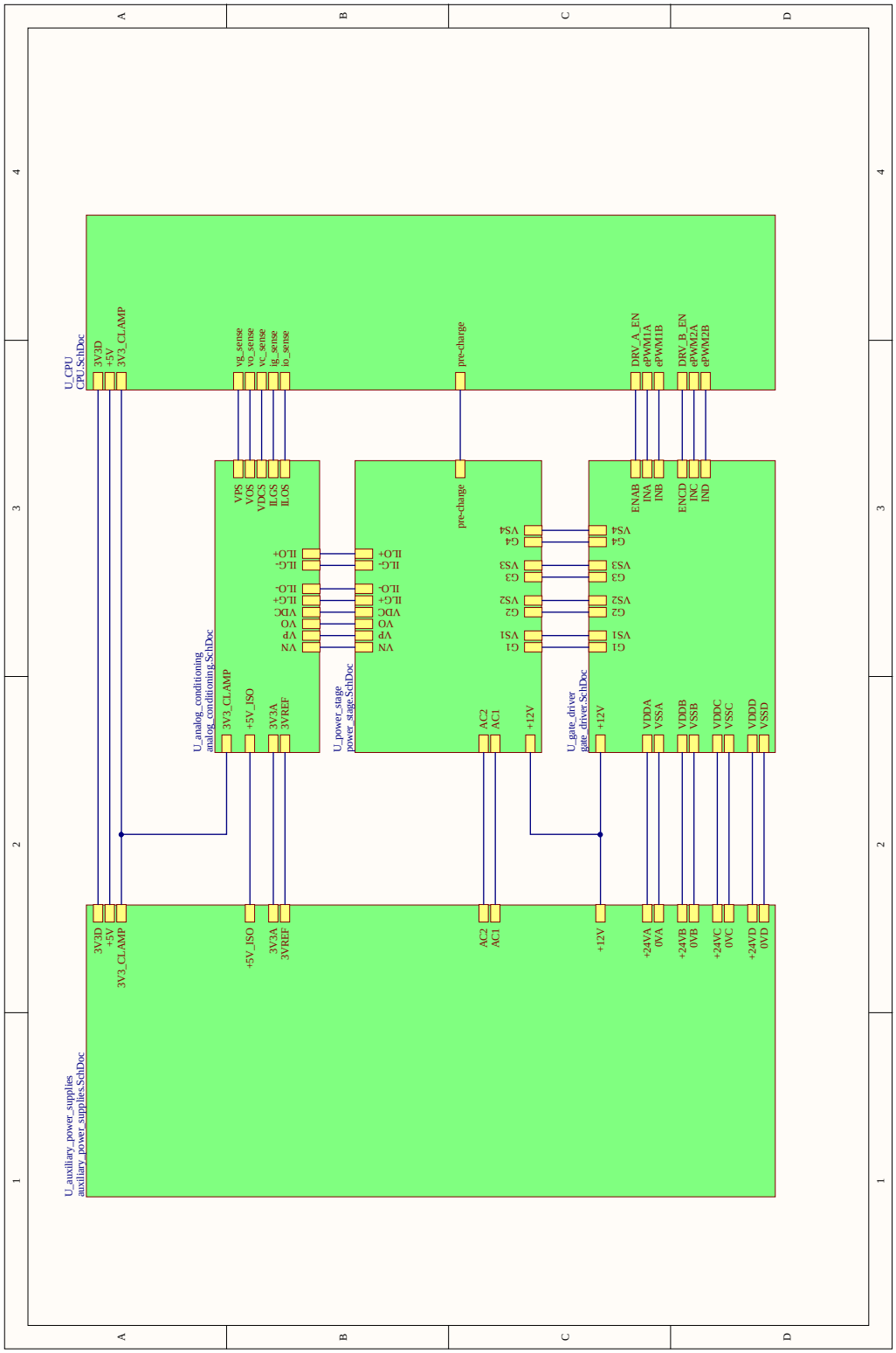
ZHONG, Q.-C. et al. Control of Ripple Eliminators to Improve the Power Quality of DC Systems and Reduce the Usage of Electrolytic Capacitors. *IEEE Access*, v. 4, p. 2177–2187, 2016. ISSN 2169-3536. Disponível em: <http://ieeexplore.ieee.org/document/7463457/>. Citado na página 45.

APÊNDICES

APÊNDICE A – ESQUEMÁTICO E *LAYOUT* DO CONVERSOR θ

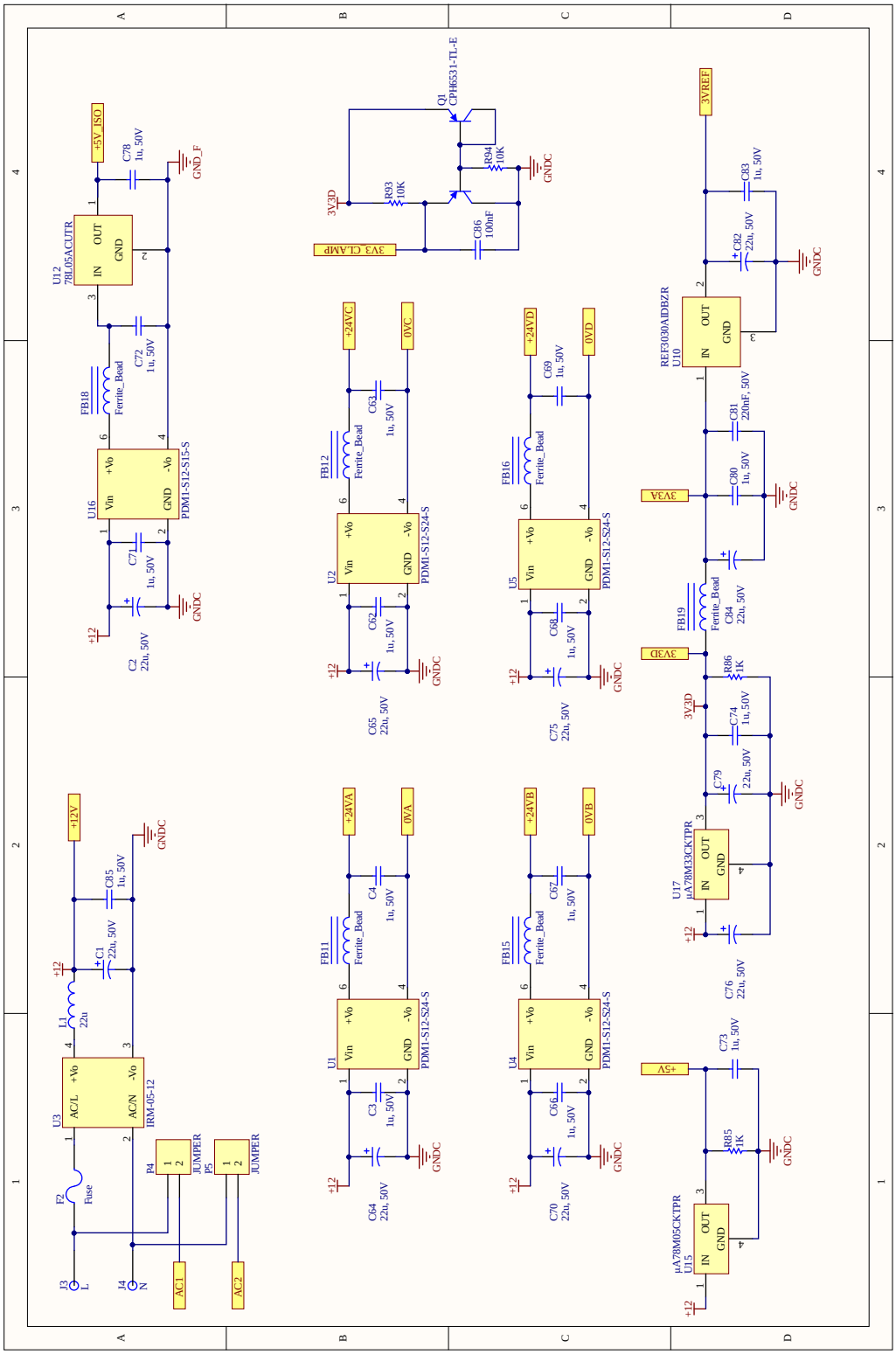
Neste apêndice são apresentados os esquemáticos e o layout do conversor θ. Componentes nomeados NM não são montados, mas apenas reservados no caso de necessidade de alteração do circuito.

Figura A.1 – Esquemático geral do conversor



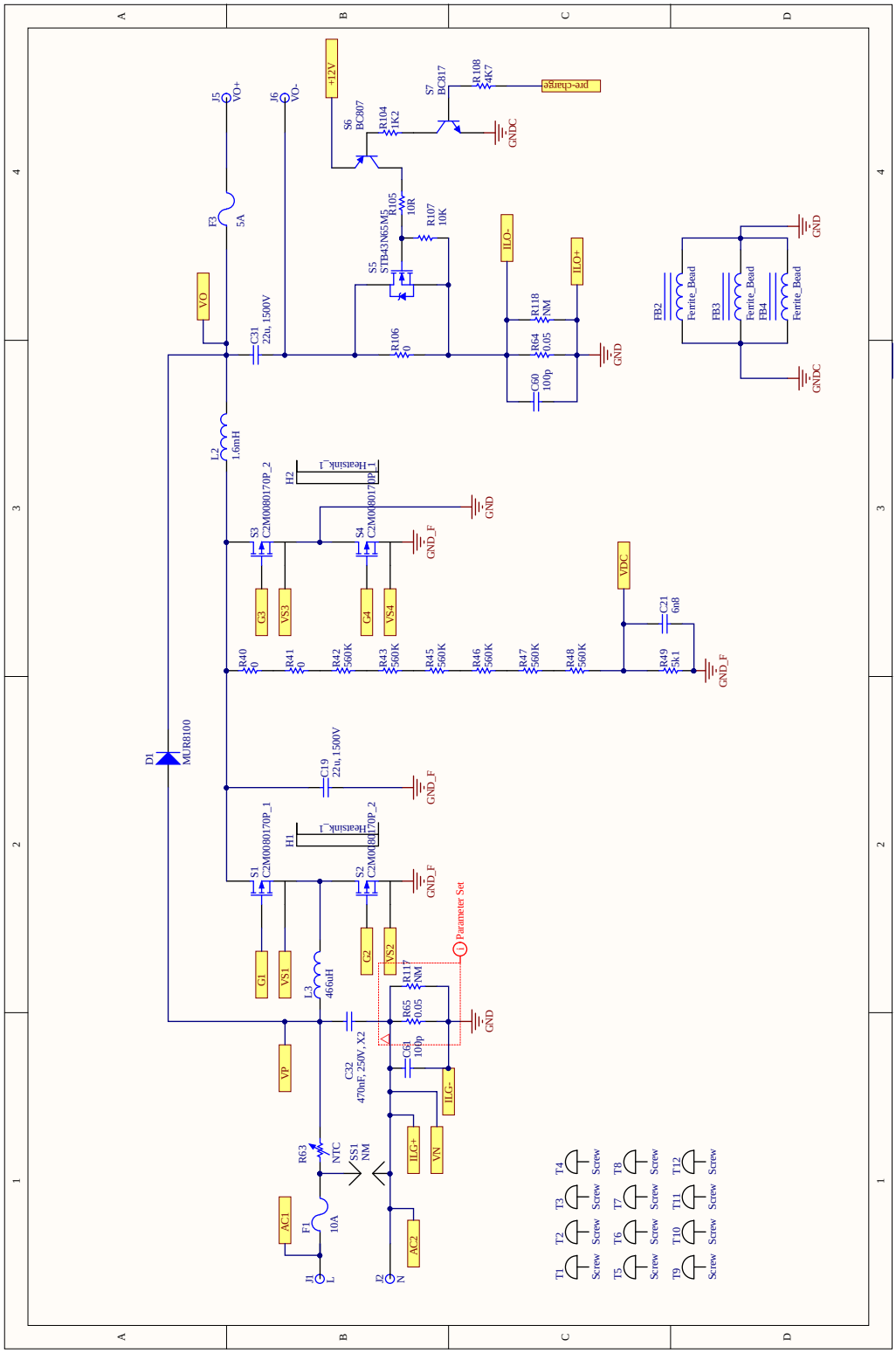
Fonte: Autor.

Figura A.2 – Fontes Auxiliares



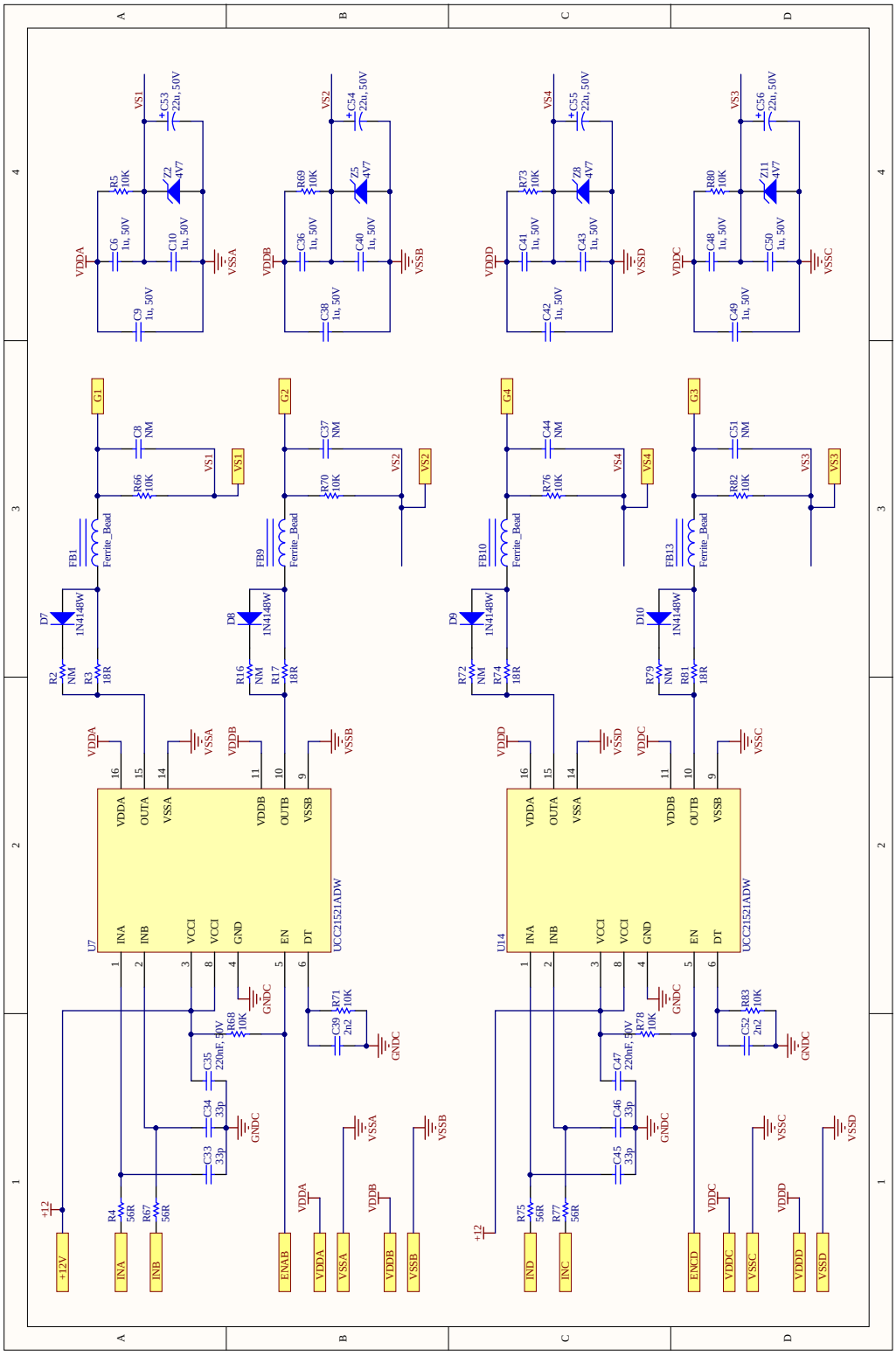
Fonte: Autor.

Figura A.3 – Estágio de Potência



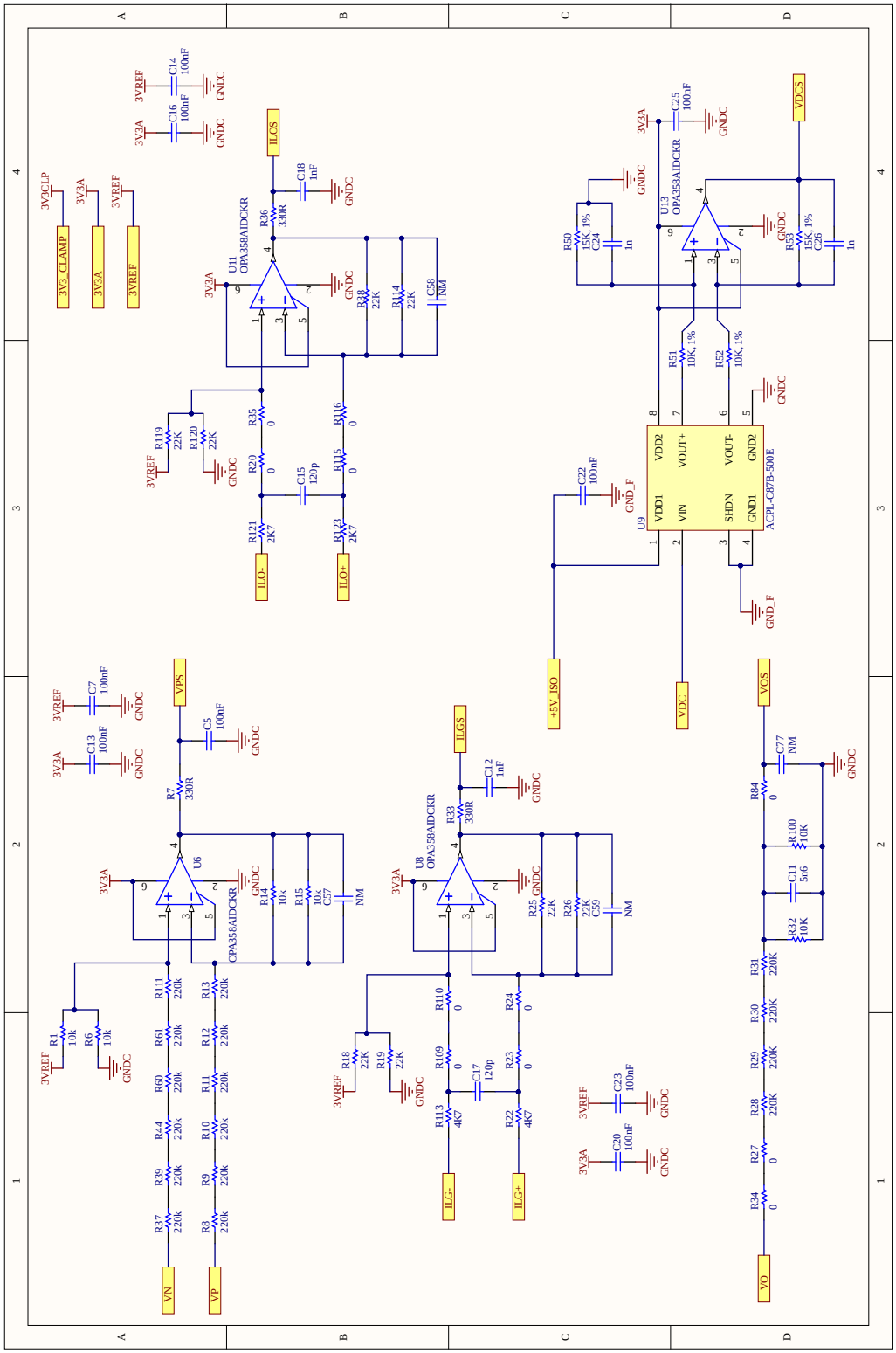
Fonte: Autor.

Figura A.4 – Gate Driver



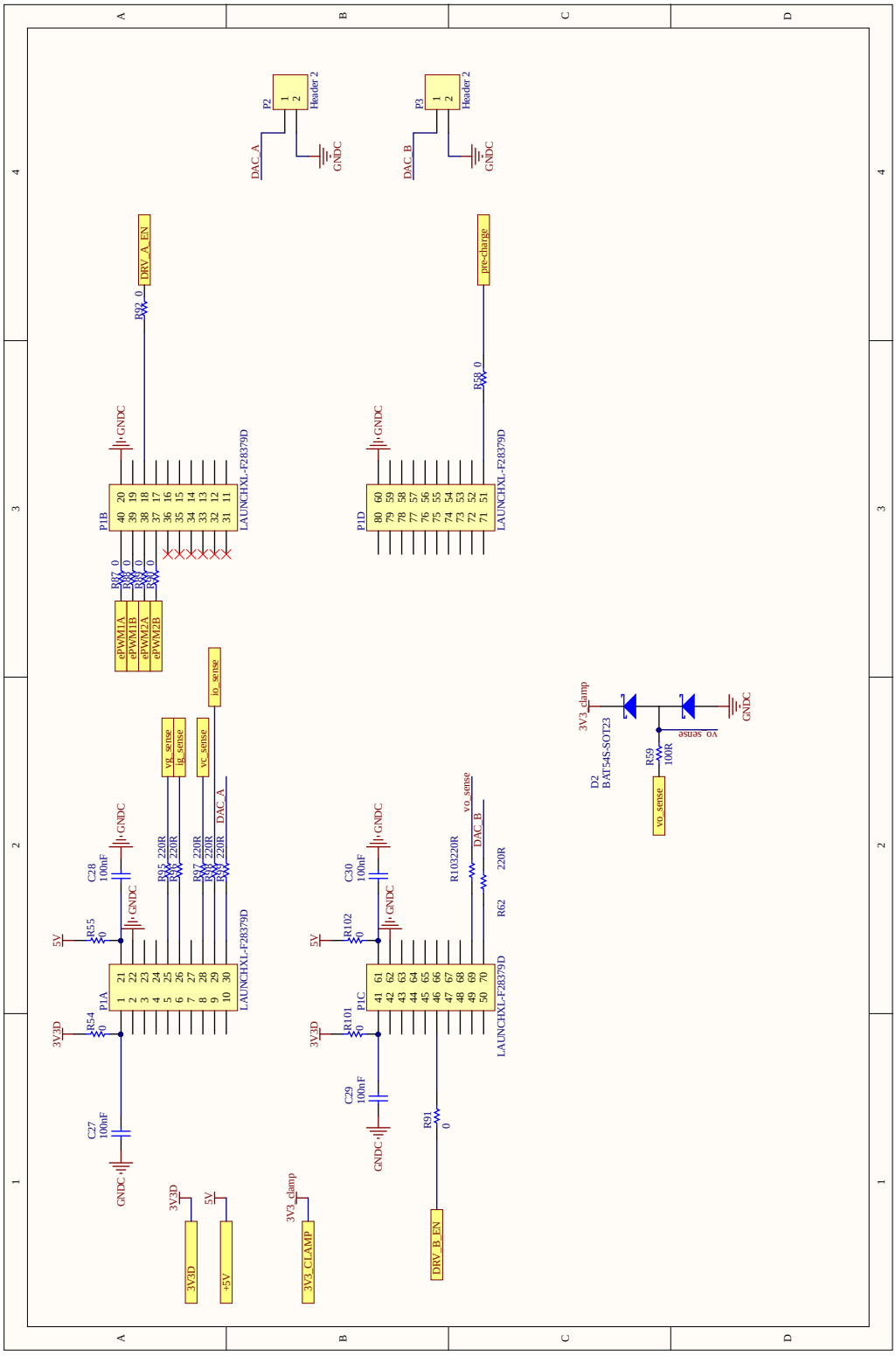
Fonte: Autor.

Figura A.5 – Condicionamento de Sinais



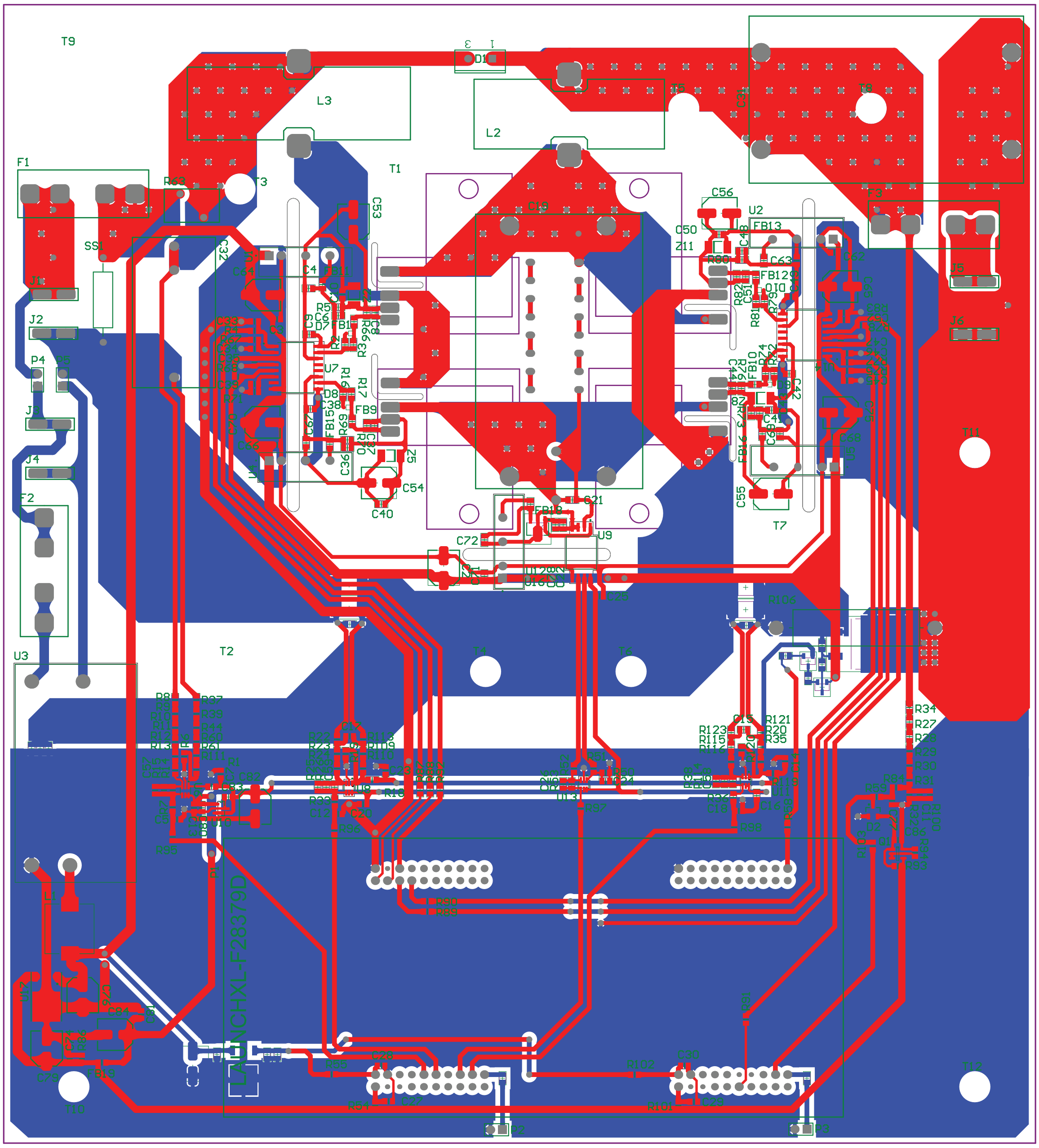
Fonte: Autor.

Figura A.6 – Circuitos do DSP



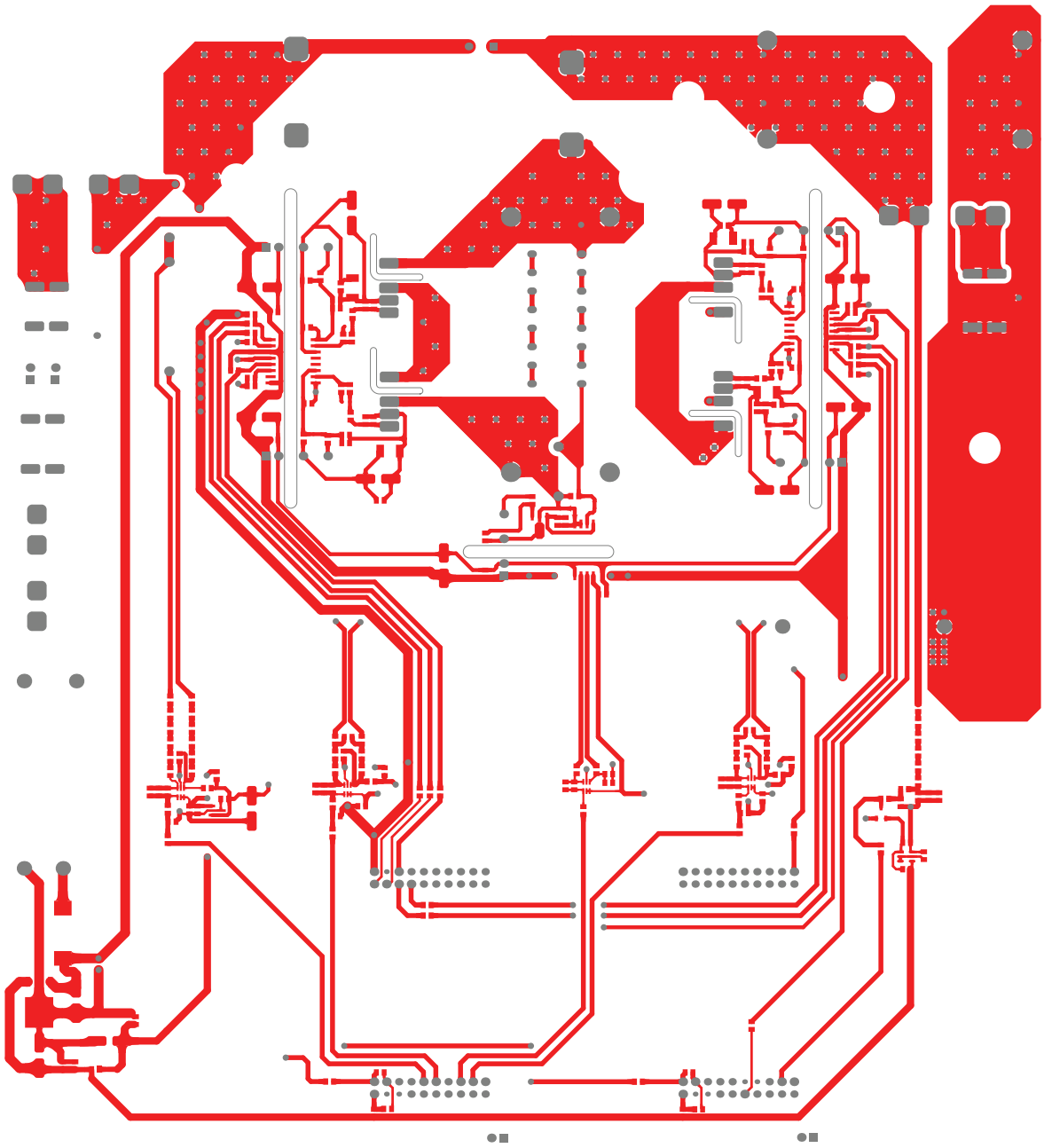
Fonte: Autor.

Figura A.7 – *Layout* do Conversor θ



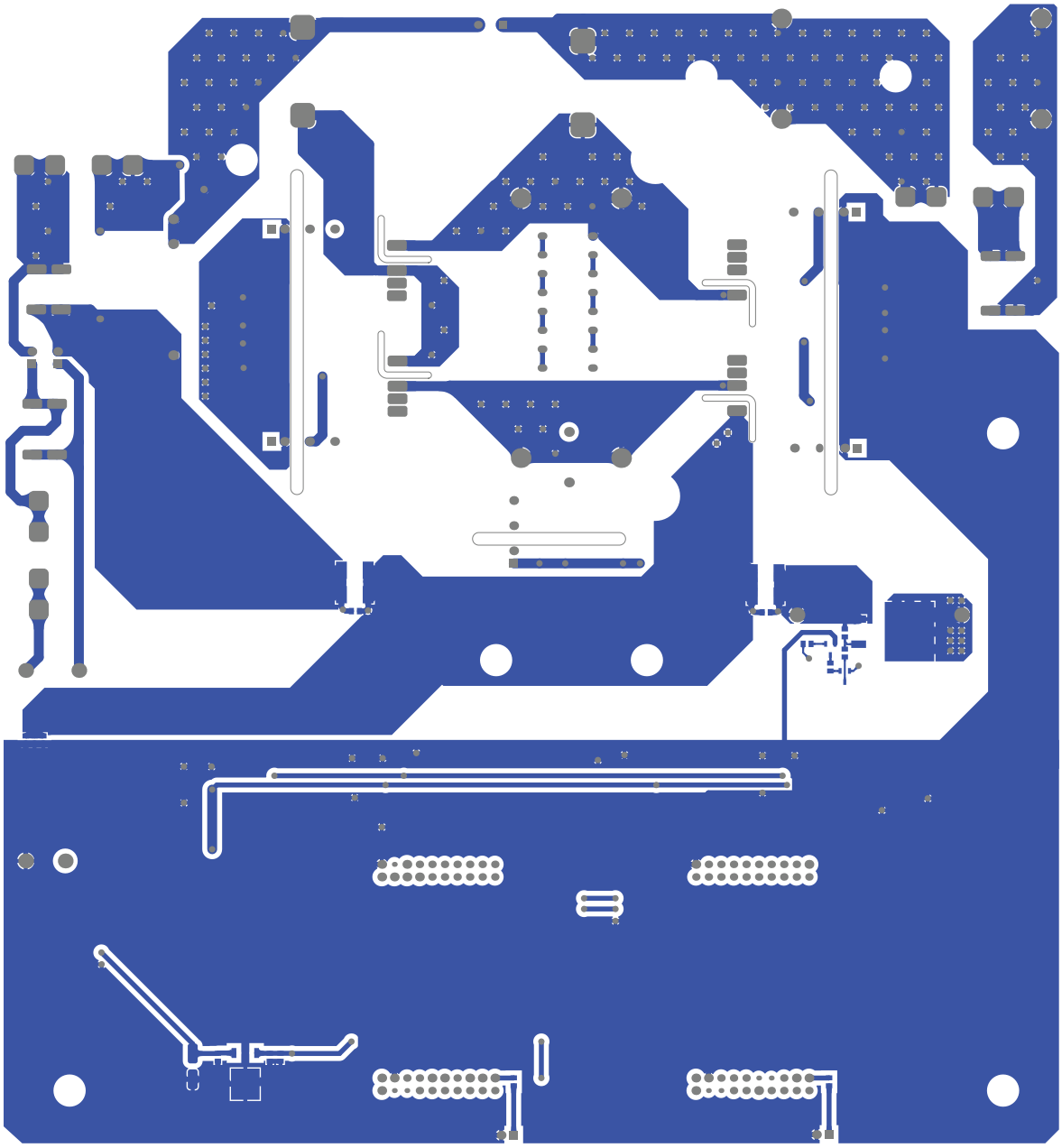
Fonte: Autor.

Figura A.8 – *Layout* - Camada Superior (*Top Layer*)



Fonte: Autor.

Figura A.9 – *Layout* - Camada Inferior (*Bottom Layer*)



Fonte: Autor.

APÊNDICE B – CÓDIGO EM MATLAB PARA DETERMINAÇÃO DA CAPACITÂNCIA C_{dc}

```
% Relationship between minimum capacitance and blocking voltage Vcmax:
clear all, clf
% Specifications:
Po = 1000;
Vgrms = 220;
Vg = Vgrms*sqrt(2);
fg = 50;
Lg = 466e-6;
I3_iec = 2.3;
Vdcmin = 750;
Igrms  = Po/Vgrms;                    % rms input current
Ig     = Igrms*sqrt(2);               % peak input current
vdcmax_range = Vdcmin+50:1500;
cdc = [];
cdc_3rd = [];
for vdc_max = vdcmax_range
    C1 = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, vdc_max,[Igrms 0], [0 0],
       3, 1e-6);
    C2 = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, vdc_max,[Igrms I3_iec], [0
       0], 3, 1e-6);
    cdc = [cdc C1];
    cdc_3rd = [cdc_3rd C2];
end
plot(vdcmax_range, cdc.*1e6,'k--', 'LineWidth', 1.2)
hold on
plot(vdcmax_range, cdc_3rd.*1e6, 'k-', 'LineWidth', 1.2)
legend('$i_g$ senoidal', '$i_g$ com $I_{3rms} = 2,30A$')
ylabel('Capacitancia ($\mu F$)')
xlabel('$V_{cmax}$ (V)')
grid minor
```

```
% Calculates the required decoupling capacitance for the PFC converter:
function Cdc = ripple_capacitor(Vgrms,fg,Lg, Vcmin, Vcmax,Igrms, Ph, h,
   step)
%  Vgrms = input rms voltage (V)
%  fg    = grid frequency (Hz)
%  Lg    = input inductor (H)
```

```
%  Vcmax = minimum capacitor voltage (V)
%  Vcmax = maximum capacitor voltage (V)
%  Igrms = [I1rms I3rms I5rms ...] input rms current (A)
%  Ph    = [Ph1   Ph3   Ph5   ...] input current phase displacement (rad)
%  h     = number of harmonics (5 for 1,3,5 harmonics)
%  step  = numerical integration step size
%  Cdc    = theoretical minimum capacitance to filter ripple
%           voltage fluctuates between 0 and Vcmax

Tg                 = 1/fg;
w                  = 2*pi*fg;
t                  = 0:step:Tg;
vg                 = Vgrms*sqrt(2).*sin(w.*t);

Igrms(1:2:2*end-1) = Igrms(1:end);
Igrms(2:2:end)     = 0;
Ph(1:2:2*end-1)    = Ph(1:end);
Ph(2:2:end)        = 0;

ig                 = zeros(1,length(t));
der_ig             = zeros(1,length(t)); % current derivative
n                  = 1:2:h;
for k = n
    ig     = ig + Igrms(k)*sqrt(2).*sin(k*w.*t + Ph(k));
    der_ig = der_ig + Igrms(k)*k*w*sqrt(2).*cos(k*w.*t + Ph(k));
end

pg  = ig.*vg;
pL  = ig.*Lg.*der_ig;
pcc = pg - pL;
Pc  = mean(pcc);
pr  = pcc - Pc;

integ    = cumtrapz(t,pr);
emin = min(integ);
emax = max(integ);

Cdc       = double((2/(Vcmax^2 - Vcmin^2))*(emax - emin));
```

APÊNDICE C – CÓDIGO EM MATLAB: RELAÇÃO ENTRE CAPACITÂNCIA C_{dc} E HARMÔNICAS DE i_g

```
% Minimize capacitance by introducing harmonics in the input current
% clear workspace variables and console
clear variables; clc;

% Specifications for the theta converter
Vgrms  = 220;              % RMS grid voltage
Vg     = Vgrms*sqrt(2);    % peak input voltage
fg     = 50;               % grid frequency
Vo     = 400;              % dc output voltage
Po     = 1e3;              % output power
Vdcmax = 1000;             % maximum buffering capacitor Cdc voltage
Vdcmin = 750;              % minimum buffering capacitor Cdc voltage
sim_step = 1e-6;
Igrms  = Po/Vgrms;         % rms input current

% IEC61000-3-2 standard class A limits:
Irms_iec(3:2:13)  = [2.3, 1.14, 0.77, 0.40, 0.33, 0.21];
Irms_iec(15:2:39) = 0.15.*15./(15:2:39);
Irms_iec(2:2:6)   = [1.08, 0.43, 0.30];
Irms_iec(8:2:40)  = 0.23.*8./(8:2:40);

% Input inductor:
Lg = 466e-6;

%% Capacitance without ig harmonics:
Cdc_min_1 = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, Vdcmax,Igrms, 0, 1,
   sim_step);
print_variables(Cdc_min_1);

%% Reduction using only 3rd:
Cdc_min = Inf;
Iharm_min = [];
values = 20;
for I3rms = linspace(0,Irms_iec(3), values)
    Cdc = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, Vdcmax,[Igrms I3rms 0 0
       0], [0 0 0 0 0], 9, sim_step);
```

```
    if Cdc < Cdc_min
        Cdc_min = Cdc;
        Iharm_min = [Igrms I3rms 0 0 0];
    end
end
Cdc_min_3 = Cdc_min;
Iharm_min_3 = Iharm_min;

%% Reduction using 3rd and 5th:
Cdc_min = Inf;
Iharm_min = [];
for I5rms = linspace(0,Irms_iec(5), values)
    for I3rms = linspace(0,Irms_iec(3), values)
        Cdc = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, Vdcmax,[Igrms I3rms
            I5rms 0 0], [0 0 0 0 0], 9, sim_step);
        if Cdc < Cdc_min
            Cdc_min = Cdc;
            Iharm_min = [Igrms I3rms I5rms 0 0];
        end
    end
end
Cdc_min_5 = Cdc_min;
Iharm_min_5 = Iharm_min;

%% Reduction using 3rd, 5th, and 7th:
Cdc_min = Inf;
Iharm_min = [];
for I7rms = linspace(0,Irms_iec(7), values)
    for I5rms = linspace(0,Irms_iec(5), values)
        for I3rms = linspace(0,Irms_iec(3), values)
            Cdc = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, Vdcmax,[Igrms
                I3rms I5rms I7rms 0], [0 0 0 0 0], 9, sim_step);
            if Cdc < Cdc_min
                Cdc_min = Cdc;
                Iharm_min = [Igrms I3rms I5rms I7rms 0];
            end
        end
    end
end
```

```
Cdc_min_7 = Cdc_min;
Iharm_min_7 = Iharm_min;

%% Reduction using 3rd, 5th, 7th and 9th:
Cdc_min = Inf;
Iharm_min = [];
for I9rms = linspace(0,Irms_iec(9), values)
    for I7rms = linspace(0,Irms_iec(7), values)
        for I5rms = linspace(0,Irms_iec(5), values)
            for I3rms = linspace(0,Irms_iec(3), values)
                Cdc = ripple_capacitor(Vgrms,fg,Lg, Vdcmin, Vdcmax,[Igrms
                    I3rms I5rms I7rms I9rms], [0 0 0 0 0], 9, sim_step);
                if Cdc < Cdc_min
                    Cdc_min = Cdc;
                    Iharm_min = [Igrms I3rms I5rms I7rms I9rms];
                end
            end
        end
    end
end
Cdc_min_9 = Cdc_min;
Iharm_min_9 = Iharm_min;

%% Calculates THD and Power Factor:
I1_thd = 0; pf1 = 1;
[I3_thd, pf3] = thd_kd(Iharm_min_3);
[I5_thd, pf5] = thd_kd(Iharm_min_5);
[I7_thd, pf7] = thd_kd(Iharm_min_7);
[I9_thd, pf9] = thd_kd(Iharm_min_9);
```

```
% Calculates THD and Distortion Factor
function [x_thd, x_kd] = thd_kd(x)
    % x is an array containing the RMS values of the harmonic components
    % ex.: x = [I1rms I2rms I3rms I4rms]
    % kd is the distortion factor, i.e., PF = kd*kphi, kphi = cos(phi)
    x_thd = 100*sqrt(sum(x(2:end).^2))/x(1);
    x_kd = 1/sqrt(1 + (x_thd/100)^2);
end
```

APÊNDICE D – CÓDIGO EM MATLAB: CORRENTES EFICAZES NOS INTERRUPTORES

```
% Algorithm to calculate switches RMS currents:
Vgrms  = 220;
fg     = 50;
Tg     = 1/fg;
Lg     = 466e-6;
Vcmin  = 750;
Cdc    = 22e-6;
Po     = 1e3;
Vo     = 400;
I3     = 2.3;
Igrms  = [Po/Vgrms 0 I3];
PhIg   = [0 0 0];
t_step = 1e-6;

t  = 0:t_step:Tg;
vg = Vgrms*sqrt(2).*sin(2*pi*fg.*t);
ig = 0;
for k   = 1:length(Igrms)
    ig     = ig + Igrms(k)*sqrt(2).*sin(k*2*pi*fg.*t + PhIg(k));
end
vc = voltage_ripple_capacitor(Vgrms,fg,Lg,Vcmin,Cdc,Igrms, PhIg, t_step);
d4 = Vo./vc;
d2 = d4 - vg./vc;
io = Po/Vo;

Is1rms = sqrt((1/Tg)*trapz(t, (1-d2).*ig.^2))
Is2rms = sqrt((1/Tg)*trapz(t, d2.*ig.^2))
Is3rms = sqrt((1/Tg)*trapz(t, (1-d4).*(ig - io).^2))
Is4rms = sqrt((1/Tg)*trapz(t, d4.*(io-ig).^2))
```

```
function vc = voltage_ripple_capacitor(Vgrms,fg,Lg, Vcmin, Cdc,Igrms, PhIg
    , t_step)
%  Vgrms = input voltage (rms)
%  fg    = grid frequency (Hz)
%  Lg    = input inductor (H)
%  Cdc   = ripple buffering capacitor (F)
%  Igrms = input current (rms) [I1rms I2rms I3rms ...]
```

```
%  PhIg  = input current phase displacement [Ph1   Ph2   Ph3   ...]

Tg      = 1/fg;
w       = 2*pi*fg;
t       = 0:t_step:Tg;
vg      = Vgrms*sqrt(2).*sin(w.*t);

ig      = zeros(1,length(t));
der_iac = zeros(1,length(t));
for k   = 1:length(Igrms)
    ig     = ig + Igrms(k)*sqrt(2).*sin(k*w.*t + PhIg(k));
    der_iac = der_iac + Igrms(k)*k*w*sqrt(2).*cos(k*w.*t + PhIg(k));
end

pac      = ig.*vg;
pL       = ig.*Lg.*der_iac;
pcc      = pac - pL;
Pc       = mean(pcc);
pr       = pcc - Pc;

e_t      = cumtrapz(t,pr);
emin     = min(e_t);
vc = sqrt(Vcmin^2 + 2.*(e_t - emin)./Cdc);
```