UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Formação: Mestrado em Engenharia Elétrica.

DISSERTAÇÃO DE MESTRADO OBTIDA POR

Fabiano Luz Cardoso

PROJETO DE UM RETIFICADOR BIDIRECIONAL COM ELEVADO FATOR DE POTÊNCIA COM CONTROLE POR VALORES MÉDIOS INSTANTÂNEOS IMPLEMENTADO NO DSP TMS320F2812

Apresentada em 19 / 05 / 2006 Perante a Banca Examinadora:

Dr. Marcello Mezaroba - Presidente (UDESC)
Dr. Alcindo do Prado Júnior (UDESC)
Dr. Antônio Heronaldo Souza (UDESC)
Dr. Hari Bruno Mohr (UFSC)

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA - DEE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

DISSERTAÇÃO DE MESTRADO

Mestrando: FABIANO LUZ CARDOSO – Engenheiro Eletricista

Orientador: Prof. Dr. MARCELLO MEZAROBA

CCT/UDESC – JOINVILLE

PROJETO DE UM RETIFICADOR BIDIRECIONAL COM ELEVADO FATOR DE POTÊNCIA COM CONTROLE POR VALORES MÉDIOS INSTANTÂNEOS IMPLEMENTADO NO DSP TMS320F2812

DISSERTAÇÃO APRESENTADA PARA OBTENÇÃO DO TÍTULO DE MESTRE EM ENGENHARIA ELÉTRICA DA UNIVERSIDADE DO ESTADO DE SANTA CATARINA, CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT, ORIENTADA PELO PROF. DR. MARCELLO MEZAROBA

Joinville
2006

UNIVERSIDADE DO ESTADO DE SANTA CATARINA - UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
COORDENAÇÃO DE PÓS-GRADUAÇÃO - CPG

“Projeto de um Retificador Bidirecional com Elevado Fator de Potência com Controle por Valores Médios Instantâneos Implementado no DSP TMS320F2812”

por

Fabiano Luz Cardoso

Essa dissertação foi julgada adequada para a obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

na área de concentração "**Automação Industrial**", e aprovada em sua forma final pelo

CURSO DE MESTRADO EM ENGENHARIA ELÉTRICA

DO CENTRO DE CIÊNCIAS TECNOLÓGICAS DA

UNIVERSIDADE DO ESTADO DE SANTA CATARINA

Dr. Marcello Mezaroba
(presidente)

Banca Examinadora:

Dr. Alcindo Prado Júnior

Dr. Antônio Heronaldo Souza

Dr. Hari Bruno Mohr
UFSC / SC

FICHA CATALOGRÁFICA

NOME: CARDOSO, Fabiano Luz
DATA DEFESA: 19/05/2006
LOCAL: Joinville, CCT/UDESC
NÍVEL: Mestrado Número de ord em: **22** – CCT/UDESC
FORMAÇÃO: Engenharia Elétrica **ÁREA DE CONCENTRAÇÃO**: Automação Industrial
TÍTULO: Projeto de um Retificador Trifásico Regenerativo com Elevado Fator de Potência com Controle por Valores Médios Instantâneos Implementado no DSP TMS320F2812 **PALAVRAS - CHAVE**: Controle digital, modelagem digital, retificador reversível, retificador com alto fator de potência. **NÚMERO DE PÁGINAS**: xvi, 124 p.
CENTRO/UNIVERSIDADE: Centro de Ciências Tecnológicas da UDESC
PROGRAMA: Pós-graduação em Engenharia Elétrica - PGEE
CADASTRO CAPES: -
ORIENTADOR: Dr. Marcello Mezaroba
PRESIDENTE DA BANCA: Dr. Marcello Mezaroba **MEMBROS DA BANCA**: Dr. Alcindo Prado Júnior, Dr. Antônio Heronaldo Souza, Dr. Hari Bruno Mohr

A toda a minha família,
em especial a minha esposa Mariane

AGRADECIMENTOS

A Deus, a quem coube a tarefa de me guiar nos momentos tortuosos e desgastantes desta jornada

Ao Prof. Dr. Marcello Mezaroba, que como orientador e amigo soube cobrar, mas também não mediu esforços em oferecer todas as condições necessárias à realização do presente trabalho.

À Universidade do Estado de Santa Catarina – UDESC e ao Programa de Pós-graduação em Engenharia Elétrica - PGEE pela realização do presente trabalho.

Ao Centro de Ciências Tecnológicas e ao Departamento de Engenharia Elétrica pela infraestrutura oferecida.

À empresa WEG Equipamentos Elétricos S.A. pelos horários cedidos e pelo incentivo ao aperfeiçoamento profissional.

A Texas Instrumens e Semikron do Brasil pelas doações feitas, as quais foram importantes para a implementação prática do conversor.

Aos professores Dr. Samir A. Mussa e M. Sc. Alessando Luiz Batschauer, aos mestrandos Priscila, Neomar, Jonathan, aos técnicos e demais bolsistas do Laboratório de Eletrônica de Potência pelo auxílio prestado, conhecimento e experiências compartilhadas apoio técnico e incentivo recebido durante o desenvolvimento desse trabalho.

Ao M. Sc. Juliano Sadi Scholtz pela ajuda, companheirismo e conhecimento compartilhado nestes meses de trabalho em conjunto.

A minha família que soube me apoiar e incentivar nos momentos mais difíceis, entendendo a importância da conclusão deste trabalho.

A todos aqueles aos quais não mencionei, não por falta de merecimento mas, por minha inépcia em fazê-lo em tão pouco espaço e com tão poucas palavras.

Resumo da Dissertação apresentada à UDESC como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

RETIFICADOR BIDIRECIONAL COM ALTO FATOR DE POTÊNCIA COM CONTROLE POR VALORES MÉDIOS INSTANTÂNEOS IMPLEMENTADO NO DSP TMS320F2812

Fabiano Luz Cardoso

Maio de 2006

Orientador: Professor Marcello Mezaroba, Dr.
Área de Concentração: Automação Industrial.
Palavras-chave: Controle digital, modelagem digital, retificador reversível, retificador com alto fator de potência.
Número de páginas: 124

RESUMO: Este estudo aborda a metodologia a ser seguida para o desenvolvimento do sistema de controle de um retificador trifásico bidirecional com alto fator de potência com controle digital implementado em DSP utilizando as técnicas de projeto por valores médios instantâneos. Parte-se de um estudo sobre o funcionamento do conversor, passando pelas principais características necessárias ao projeto do controlador no DSP, chegando às etapas de simulação e implementação do conversor a partir das técnicas propostas. Os resultados experimentais são derivados de um protótipo com potência de saída de 2500W, tensão de saída de 400V e freqüência de comutação de 20kHz; para uma entrada trifásica de 127V.

Abstract of Dissertation presented to UDESC as a partial fulfillment of the requirements for the degree of Master in Electrical Engineering.

HIGH POWER FACTOR BIDIRECTIONAL RECTIFIER WITH AVERAGE CURRENT CONTROL CARRIED OUT DSP TMS320F2812

Fabiano Luz Cardoso

May of 2006

Advisor: Professor Marcello Mezaroba, Dr.
Area of Concentration: Industrial Automation
Key-words: Digital control, digital modeling, bidirectional rectifier, high power factor rectifier.
Pages: 124

ABTRACT: This work deals a methodology to follow during the development of a bidirectional three-phase rectifier with high power factor's control system using a digital controller carry out on a DSP by the instantaneous average values technique. Starts with a study about the converter operation, going on by the main design characteristics of the DSP controller, the system simulation and tests on the prototype assembled with the detailed techniques. Tests results was get on a prototype with 2500W of output power, 400V on the output voltage and 20kHz of the switching frequency, for a three-phase source on 127V.

SUMÁRIO

Lista de símbolos xii
1 Símbolos adotados no equacionamento xv
2 Sub índices adotados no equacionamento xv
3 Símbolo de componentes adotados xv
4 Anacronismos xv
Introdução Geral 1
1 Projeto do Retificador Bidirecional Trifásico 4
1.1 Introdução 4
1.2 Apresentação do Circuito 4
1.3 Análise qualitativa 5
1.3.1 Considerações iniciais 5
1.3.2 Definição das regiões de operação 6
1.3.3 Análise das etapas de operação 8
1.4 Análise Quantitativa 15
1.4.1 Modelagem simplificada do circuito 15
1.4.2 Equacionamento para as Razões de Modulação 19
1.4.3 Dimensionamento dos Indutores de Entrada 21
1.4.4 Dimensionamento das Chaves 24
1.4.5 Dimensionamento dos Diodos 27
1.4.6 Dimensionamento do Capacitor de Saída 29
1.5 Conclusão 34
2 Projeto do circuito de potência do conversor 36
2.1 Especificação do conversor 36
2.2 Dimensionamento do indutor 36
2.3 Dimensionamento do capacitor 40
2.4 Dimensionamento dos interruptores 40
2.5 Dimensionamento dos diodos 41
2.6 Dimensionamento dos dissipadores 41
2.7 Considerações sobre o projeto 42
2.8 Conclusão 43
3 Controle Digital 44

3.1 Resumo Histórico 44
3.2 Características de sinais digitais 45
3.2.1 Sinais Contínuos, Discretos e Digitais 45
3.2.2 Discretização e Amostragem 46
3.3 Transformada z 47
3.3.1 Definição 47
3.3.2 Função de Transferência em z 49
3.4 Controle de Sistemas Amostrados 50
3.4.1 Mapeamento entre o Plano s e o Plano z 51
3.4.2 Análise de Estabilidade 52
3.4.3 Projeto baseado no método analítico 52
3.4.4 Projeto baseado no método do lugar das raízes 53
3.4.5 Projeto baseado no método da resposta em freqüência 54
3.4.6 Procedimento para projeto de controladores digitais 55
3.5 Conclusão 56
4 Projeto dos controladores digitais 57
4.1 Descrição do controle 57
4.2 Projeto do Controle Digital do Conversor 61
4.2.1 Modelo da Malha de Corrente do Retificador Trifásico 61
4.2.2 Modelo da Malha de Tensão do Retificador Trifásico 62
4.2.3 Modelo do Modulador PWM 64
4.2.4 Modelo do Filtro Anti-Aliasing 66
4.2.5 Modelo do Conversor A/D 67
4.2.6 Modelo do Sensor de Corrente 67
4.2.7 Modelo do Sensor de Tensão 68
4.2.8 Procedimento de Projeto dos Controladores Digitais 68
4.3 Projeto do Controlador de Corrente 69
4.4 Projeto do Controlador de Tensão 75
4.5 Conclusão 81
5 Processadores Digitais de Sinais 82
5.1 Introdução 82
5.2 Processador Digital de Sinais – DSP 82
5.3 Especificando o DSP 85

5.4 Família TMS320 86
5.5 O processador TMS320C28xx 87
5.6 Conclusão 89
6 Simulação 90
6.1 Introdução 90
6.2 Circuito simulado 90
6.3 Considerações sobre o circuito simulado 91
6.4 Resultados simulados 93
6.5 Validação de Esforços nos Componentes 96
6.6 Conclusão 97
7 Implementação do Protótipo 98
7.1 Introdução 98
7.2 Controle do conversor com o DSP 98
7.3 Programação 99
7.4 Circuitos 102
7.4.1 Unidade de potência 103
7.4.2 Drivers 104
7.4.3 Condicionamento dos sinais de corrente de entrada 105
7.4.4 Condicionamento dos sinais de tensão de entrada 107
7.4.5 Condicionamento do sinal de tensão do barramento CC 109
7.4.6 Módulo DSP 110
7.4.7 Interface DSP – drivers 111
7.4.8 Fonte de entrada 113
7.5 Resultados experimentais 114
7.6 Conclusão 118
8 Conclusões Gerais 120
9 Bibliografia 122

LISTA DE SÍMBOLOS

1. Símbolos adotados no equacionamento

Símbolo	Descrição
α	Relação entre a tensão de pico de entrada e a tensão de saída
ΔI_L	Variação de corrente no indutor - riple
ΔQ_{Co}	Variação de carga no capacitor de saída
ΔV_O	Variação da tensão de saída
Δt	Variação de tempo
δ_T	Função impulso unitário
η	Rendimento do conversor
μ_0	Permeabilidade magnética do vácuo
ν_z	Zero do controlador de tensão
ω	Freqüência angular das fontes de entrada
ω_S	Freqüência de amostragem em rad/s
$\pounds[f(t)]$	Transformada de Laplace da função f(t)
A_1	Variável auxiliar utilizada no cálculo do controlador de tensão
A_2	Variável auxiliar utilizada no cálculo do controlador de tensão
Ae	Área efetiva do núcleo do indutor
Aw	Área de janela no núcleo do indutor
B	Fluxo magnético
Ca	Capacitância do filtro anti-aliasing
C_O	Capacitância de saída
d	Razão cíclica de chaveamento – valor instantâneo
D_n	Diodo n da ponte retificadora
d_{Qn}	Razão cíclica para o IGBT n em um ciclo de chaveamento
$d_{Qn}(t)$	Razão cíclica de chaveamento para o IGBT n ao longo do tempo
E_D	Energia dissipada pelo diodo em um ciclo de chaveamento
E_{OFF}	Energia dissipada pelo IGBT durante o bloqueio
E_{ON}	Energia dissipada pelo IGBT na entrada em condução
E_Q	Energia dissipada pelo IGBT em um ciclo de chaveamento
f	Freqüência da rede
f(n)	Função discreta no tempo
f(t)	Função contínua no tempo
fa	Freqüência de amostragem
f_{CK}	Freqüência de clock do DSP
fs	Freqüência de chaveamento
G(s)	Função de transferência qualquer no plano s
G(z)	Função de transferência qualquer no plano z
$G_i(s)$	Função de transferência auxiliar para análise da malha de corrente no plano s
$G_i(w)$	Função de transferência auxiliar para análise da malha de corrente no plano w
$G_i(z)$	Função de transferência auxiliar para análise da malha de tensão no plano z
$G_v(s)$	Função de transferência auxiliar para análise da malha de tensão no plano s

$G_v(w)$	Função de transferência auxiliar para análise da malha de tensão no plano w
$G_v(z)$	Função de transferência auxiliar para análise da malha de tensão no plano z
H(s)	Função de transferência qualquer no plano s
H(z)	Função de transferência qualquer no plano z
$H_i(w)$	Função de transferência do controlador de corrente no plano w
$H_i(z)$	Função de transferência do controlador de corrente no plano z
$H_v(w)$	Função de transferência do controlador de tensão no plano w
$H_v(z)$	Função de transferência do controlador de tensão no plano z
I	Corrente
I_{Co}	Corrente no capacitor de saída – valor instantâneo
$\overline{I_{Co\_ef}}$	Corrente no capacitor de saída normalizada
$\overline{I_{D\_ef}}$	Corrente eficaz normalizada nos diodos
$\overline{I_{D\_med}}$	Corrente média normalizada nos diodos
I_{Dn}	Corrente no diodo n
$i_{Dn}(t)$	Corrente no diodo n ao longo do tempo
I_{faseQn}	Corrente de fase para qual a chave Q_n está conectada
I_L	Corrente nos indutores
$i_{Ln}(t)$	Corrente no indutor da fase n ao longo do tempo
I_n	Corrente na fase n – valor instantâneo
$i_n(t)$	Corrente na fase n ao longo do tempo
$i_O(t)$	Corrente de saída ao longo do tempo
I_P	Corrente de fase de pico
I_Q	Corrente nas chaves IGBT
I_{Qn}	Corrente na chave IGBT n
$i_{Qn}(t)$	Corrente na chave Q_n ao longo do tempo
$\overline{I_{Q\_ef}}$	Corrente eficaz normalizada nas chaves
$\overline{I_{Q\_med}}$	Corrente média normalizada nas chaves
I_{Ro}	Corrente na carga – valor instantâneo
I_ref	Corrente de referência para o controlador de corrente
J	Densidade de corrente
k_{AD}	Ganho do conversor A/D
k_{ADc}	Ganho do conversor A/D para a malha de corrente
k_{ADv}	Ganho do conversor A/D para a malha de tensão
k_{Hi}	Ganho do controlador de corrente
k_{Hv}	Ganho do controlador de tensão
k_i	Ganho equivalente do sensor de corrente
k_{i_eq}	Ganho equivalente da malha de controle de corrente
k_M	Ganho do multiplicador
k_v	Ganho equivalente do sensor de tensão
k_w	Fator de preenchimento da janela do núcleo do indutor
L	Indutor em série com as fontes de entrada
$\overline{L}$	Indutância normalizada
L_n	Indutor em série com a fonte da fase n
P_D	Potência dissipada pelo diodo

P_O	Potência de saída
P_Q	Potencia dissipada pelo IGBT
Q_n	Chave IGBT n da ponte retificadora
R_1	Resistência de polarização do sensor de tensão
Ra	Resistência do filtro anti-aliasing
Rb	Resistência do filtro anti-aliasing
R_G	Resistência ligada ao gate do IGBT
R_M	Resistor de saída do sensor de tensão
R_O	Resistência de saída – carga
R_{SE}	Resistência série equivalente para o capacitor C_O
r_T	Resistência do diodo em condução
R_{TH_D}	Resistência térmica junção – cápsula para o diodo
R_{TH_Q}	Resistência térmica junção – cápsula para o IGBT
t	Tempo
T_a	Período de amostragem
T_{CK}	Período do sinal de clock do DSP
$T_{dissipador}$	Temperatura no dissipador
Tj	Temperatura de junção do semicondutor
T_M	Período da onda triangular do modulador PWM
T_S	Período de chaveamento
V_{CE}	Tensão coletor-emissor do IGBT
V_{DIG}	Tensão digitalizada pelo conversor A/D
V_{Hi}	Tensão analógica de entrada máxima para o conversor A/D
V_{in}	Tensão de entrada
V_{In}	Tensão relativa a amostragem do sinal de corrente da fase n
V_G	Tensão de gatilho para o disparo do IGBT
V_L	Tensão no indutor – valor instantâneo
$v_{Ln}(t)$	Tensão no indutor da fase n ao longo do tempo
V_{mn}	Tensão de saída do modulador PWM para o braço das chaves m e n
V_n	Tensão na fase n – valor instantâneo
$v_n(t)$	Tensão na fase n ao longo do tempo
V_O	Tensão de saída – barramento CC
V_{out}	Tensão de saída
V_P	Tensão de pico nas fontes de entrada
$V_{portadora}$	Tensão da onda portadora triangular do modulador PWM
V_Q	Tensão sobre as chaves
V_{Qn}	Tensão PWM aplicada ao gate da chave n
V_{REF}	Tensão de referência para o modulador PWM
V_{RM}	Tensão sobre o resistor R_M
V_{TO}	Tensão de junção para o diodo em condução
V_ref	Tensão de referência para o controlador de tensão
$Z[f(n)]$	Transformada Z da função f(n)
$x_n(k)$	Entrada do controlador, valor discreto em k
$X_n(z)$	Entrada do controlador no plano z
$y_n(k)$	Saída do controlador, valor discreto em k
$Y_n(z)$	Saída do controlador no plano z

2. Sub índices adotados no equacionamento

Sub índice	Descrição
%	Percentual relativo ao valor nominal
ef	Relativo ao valor eficaz
i	Relativo à corrente
max	Relativo ao valor máximo
med	Relativo ao valor médio
pico	Relativo ao valor de pico
SAT	Relativo ao valor de saturação
Ts	Relativo ao período de chaveamento
v	Relativo à tensão

3. Símbolos de componentes adotados

Sub índice	Descrição
C	Capacitor
CI	Circuito integrado
D	Diodo
Dz	Diodo Zener
L	Indutor
P	Potenciômetro
Q	Chave IGBT
R	Resistor
V	Fonte de tensão

4. Anacronismos

Sub índice	Descrição
A/D	Analógico-Digital
AC	Valor alternado
BIOS	Basic Input/Output System
CC	Valor contínuo
CMOS	Complementary Metal Oxide Semiconductor
CPU	Central Process Unit
D/A	Digital-analógico
DSP	Digital Signal Process
EVA	Event Manager A
EVB	Event Manager B
FTMA	Função de transferência de malha aberta
I/O	Input – output
IGBT	Isolated Gate Bipolar Transistor
McBSP	Multi-channel Buffered Serial Port
MSPS	1.10^6 amostras por segundo
OTP	One Time Programmable
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
RAM	Random Access Memory
ROM	Ready Only Memory

SARAM	Single Access RAM
SPI	Serial Peripherical Interface
SCI	Serial Controller Interface
THD	Total Harmonic Distortion
UART	Universal Asynchronous Receiver Transmiter
UPS	Uninterruptable Power Supply

INTRODUÇÃO GERAL

Como acontece em diversas áreas do conhecimento humano, a aplicação do controle digital sobre processos analógicos fora vislumbrado muito antes que o desenvolvimento tecnológico permitisse sua aplicação. Entretanto, hoje o controle digital pode ser aplicado à maioria dos processos, desde que corretamente estruturado e modelado, graças a evolução dos processadores digitais.

Paralelo ao controle digital, que vem encontrando uma usabilidade cada vez maior devido aos grandes benefícios que permite obter, tem-se o retificador trifásico reversível com alto fator de potência e suas variações que são circuitos amplamente utilizados tanto em pesquisas acadêmicas como em aplicações industriais. Pode-se encontrar na literatura muitos trabalhos que utilizam esta estrutura, formando uma grande base de conhecimento sedimentada ao longo tempo, sendo que muitos destes trabalhos foram desenvolvidos utilizando o controle clássico e suas premissas como ponto de partida para o projeto dos controladores do circuito.

O impulso inicial da eletrônica de potência deu-se nas décadas de 1930 e 40, com a extensiva utilização de válvulas, principalmente nos retificadores a arco de mercúrio.

William Schockley, quando observou pela primeira vez o funcionamento de um semicondutor no final da década de 30, imaginou que o princípio recém descoberto poderia ser utilizado no controle da energia elétrica. A invenção do transistor só ocorreu quase dez anos depois. [8]

Em 1957 a General Electric anunciou a invenção do tiristor, que foi inicialmente chamado de SCR (silicon controlled rectifier) para ser diferenciado do diodo normal (silicion rectifier). Esta invenção deu início à era da Eletrônica de Potência baseada em semicondutores, a qual vem sendo estudada e evoluindo até os dias de hoje.

Os primeiros conversores estáticos com semicondutores desenvolvidos foram projetados para funcionarem com diodos. Estes conversores apresentam baixo fator de potência e alta THD. Desde o início, buscava-se a correção de fator de potência, inicialmente com técnicas passivas, utilizando filtros indutivos e capacitivos. A posteriori, surgiram os conversores controlados, que operavam com valores bem melhores de fator de potência [37].

Os primeiros filtros ativos para correção de fator de potência surgiram na década de 70, suprindo a necessidade de conversores de melhor rendimento [1]

A evolução dos retificadores trifásicos bidirecionais se confunde com a dos filtros ativos, pois são uma particularidade destes e estão cada vez mais sendo utilizados em aplicações industriais em substituição aos retificadores a diodos convencionais, pois possibilitam trabalhar com fator de potência próximo a unidade, logo, com baixas distorções de tensão e corrente [18]. Além das imposições da engenharia contemporânea, essa substituição também foi impulsionada por normas tais como a IEEE 519-1992, e a IEC 61000-3-2 / IEC 61000-3-4, que objetivaram limitar os harmônicos de corrente de conversores eletrônicos de potência [12].

A necessidade de buscar novas soluções para o problema relativo ao fator de potência levou ao desenvolvimento dos conversores retificadores trifásicos com modulação PWM, pois este tipo de modulação permite controlar a corrente no conversor obtendo-se praticamente qualquer forma de onda de corrente.

Embora o chaveamento utilizando técnicas PWM (inicialmente a partir de controladores analógicos e, posteriormente, os digitais) seja o mais comum, existem outras técnicas de chaveamento abordadas na literatura tais como histerese e modulação vetorial [27].

Com relação às estratégias de controle, têm-se os controles clássicos P, PI, PID, adaptativos, dead beat, preditivo, modos deslizantes, lógica nebulosa ou fuzzy logic [31] e [32], IPT, coordenadas “dq0”, coordenadas “••0”, linearização, histerese, pseudo-hybrido, e redes neurais adaptativas [12].

Com o intuito de seguir a evolução natural da eletrônica de potência associada à evolução do controle digital e reaproveitar toda a sólida base de conhecimento estruturada a partir do controle clássico de sistemas é que se desenvolveu este trabalho, o retificador bidirecional com alto fator de potência com controle por valores médios instantâneos implementado no DSP TMS320F2812.

No primeiro capítulo deste trabalho será apresentado o circuito do retificador bidirecional, focando inicialmente sua análise qualitativa através do seu princípio de funcionamento e, posteriormente, sua análise quantitativa, focando no equacionamento utilizado em projetos e nos esforços dos componentes.

No segundo capítulo é apresentado o procedimento de projeto do conversor com base no equacionamento levantado no capítulo 1. O conversor ilustrado no procedimento de projeto é o conversor que será utilizado na confecção do protótipo.

No capítulo 3, a abordagem baseia-se no projeto dos controladores digitais. Uma rápida explanação teórica fornece os subsídios necessários para que sejam abordadas as premissas do projeto de controladores digitais baseados na resposta em freqüência,

O capítulo 4 baseia-se na obtenção das malhas de controle do conversor e o projeto dos controladores a serem utilizados no protótipo.

O capítulo 5 é destinado a apresentar o DSP TMS320F2812, bem como suas principais características, destacando aquelas de maior relevância para a implementação.

No capítulo 6 são apresentados os dados relativos a simulação, servindo como validação dos procedimentos de modelagem e projeto das malhas de controle durante o desenvolvimento do projeto.

No capítulo 7 são apresentadas informações relativas a implementação física do conversor. Através de abordagens sobre as técnicas de programação utilizadas e a análise dos resultados obtidos pode-se avaliar se o procedimento de projeto esta coerente, dando origem a um conversor que atenda aos requisitos de desempenho fornecidos para a concepção do conversor.

Finalmente, no capítulo 8, são levantadas as conclusões deste trabalho, fazendo uma rápida análise sobre o projeto e as divergências encontradas entre o que se esperava do conversor e o que foi realmente obtido durante a fase de implementação e testes.

1 Projeto do Retificador Bidirecional Trifásico

1.1 Introdução

Apesar da análise do retificador trifásico bidirecional e das técnicas de projeto para conversores eletrônicos serem bastante difundidas, há uma certa dificuldade de encontrar na literatura referências que abordem o tema de maneira clara e direta do seu início, através da análise da estrutura, até o projeto dos componentes que comporão a parte de potência do conversor [2, 4, 7, 9, 10, 13, 16, 17, 19].

Buscando consolidar conhecimentos, tornando clara a sistemática de análise e projeto do conversor, é que se apresenta neste capítulo a análise qualitativa e quantitativa do conversor.

No decorrer deste capítulo busca-se fazer uma abordagem geral sobre o funcionamento do retificador trifásico reversível. Inicialmente, busca-se identificar as diferentes regiões de operação do conversor. Posteriormente, define-se uma das regiões de operação e faz-se uma análise mais detalhada do circuito, mostrando as etapas de funcionamento da estrutura e os circuitos equivalentes para cada uma das etapas de operação do conversor.

Através desta análise qualitativa pode-se desenvolver um modelo simplificado da estrutura [2], viabilizando o levantamento do equacionamento básico e as principais formas de onda que caracterizam o conversor, o que vem a servir de subsídio para o posterior projeto do circuito.

A análise quantitativa faz-se necessária para que os componentes que serão parte integrante do circuito de potência do conversor possam ser especificados para atender a necessidade do protótipo através do equacionamento do conversor.

1.2 Apresentação do Circuito

O retificador bidirecional trifásico, apresentado na figura 1.1, é uma estrutura bastante versátil e possibilita trabalhar com praticamente qualquer forma de onda para a corrente de entrada. Desta forma consegue-se controlar o fluxo de potência dentro da estrutura. Esta característica é obtida escolhendo-se um sinal de referência adequado para a aplicação, de modo a gerar um sinal de corrente bem definido nas fontes de entrada. Esta topologia de circuito também pode ser encontrada na literatura como um circuito inversor

trifásico ou ainda como retificador de corrente trifásico reversível. Esta variação na nomenclatura ocorre de acordo com o enfoque com o qual a estrutura é abordada teoricamente. Neste estudo, consideraremos o circuito como sendo um retificador bidirecional trifásico, com o fluxo de energia fluindo das fontes de entrada AC para o capacitor de saída C_o. Quando o fluxo se der no sentido inverso, ou seja, do capacitor para as fontes de corrente alternada de entrada, assume-se que o conversor está operando como inversor de tensão em uma etapa regeneradora de energia.

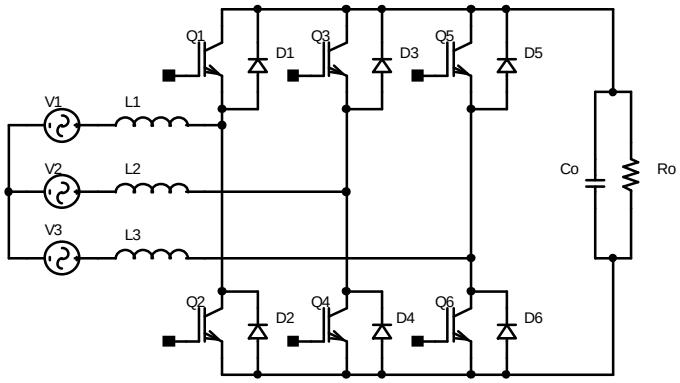


Figura 1.1 – Retificador de corrente reversível trifásico

1.3 Análise qualitativa

A seguir, serão apresentadas as etapas e as regiões de operação do circuito, bem como as considerações utilizadas durante todo o processo de análise do conversor. Como o circuito possui grande similaridade entre suas regiões de operação, o estudo será detalhado apenas para uma das regiões de operação, sendo que as demais regiões de operação serão obtidas através de analogias e comparações com a etapa que foi detalhada.

1.3.1 Considerações iniciais

A seguir encontram-se algumas considerações que se fazem necessárias e servem como premissas e/ou condições de contorno durante a análise do circuito.

As fontes de tensão existentes na entrada do conversor representam o sistema de alimentação trifásico convencional, sendo fontes de tensão senoidais equilibradas e defasadas de 120º elétricos entre si.

Como o circuito pode operar com o fluxo de potência em duas direções (das fontes de entrada para a carga ou da carga para as fontes de entrada), faz-se necessário que haja a possibilidade de bidirecionalidade da corrente no circuito. Para garantir esta

bidirecionalidade, cada IGBT possui um diodo em anti-paralelo, tornando o conjunto "IGBT+diodo" reversível em corrente.

Parte-se do princípio que o sistema operará com fator de potência unitário, ou seja, a corrente que circula pelos indutores será senoidal e em fase com a fonte de tensão da respectiva fase.

Haverá sempre três semicondutores conduzindo simultaneamente (quer sejam IGBTs ou diodos), um em cada braço, para evitar a interrupção da corrente nos indutores.

Os pulsos de comando utilizados para o chaveamento dos IGBTs é da ordem de centenas de vezes mais rápido que a freqüência da rede existente nas fontes de entrada do sistema. Então, considerando a análise do circuito dentro de um intervalo de chaveamento, pode-se assumir que as tensões de entrada permanecem constantes durante este reduzido intervalo de tempo, sem perda de generalidade.

Exclui-se desta análise a dinâmica do circuito durante regimes transitórios, durante toda a análise do retificador de corrente será suposto que a tensão de saída permanece constante.

1.3.2 Definição das regiões de operação

Analisando as correntes que circulam pelos indutores ao longo de um período da rede e considerando a relação dos valores instantâneos entre si, podem-se determinar seis regiões de operação distintas. Em cada uma delas, uma única corrente é maior que as demais ao longo de toda a região, outra é a menor e a terceira corrente possui um valor intermediário entre ambas. Os valores instantâneos modificam-se ao longo destes intervalos, mas as posições relativas entre as curvas não se alteram. O limite de uma região de operação ocorre quando duas das correntes assumem o mesmo valor em módulo, pois a partir deste ponto, a mudança na seqüência de chaveamento resultaria em prováveis mudanças de polaridade em um ou mais componentes do circuito.

Como as formas de onda das correntes nos indutores estão em fase com as tensões de alimentação, a análise das regiões de funcionamento da estrutura é feita a partir das correntes de cada fase, conforme mostra a figura 1.2.

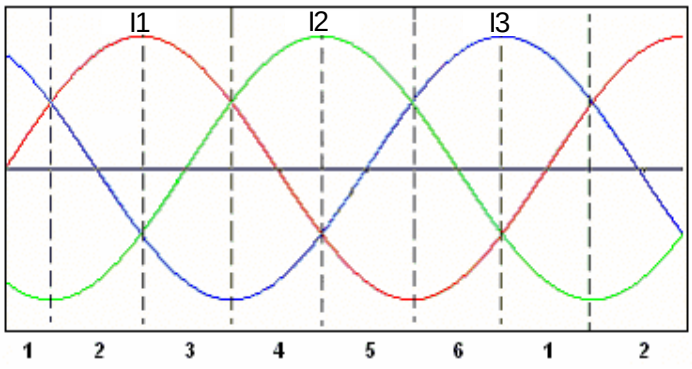


Figura 1.2 – Regiões de operação do retificador de corrente

Considerando agora apenas o período referente a um ciclo de chaveamento, pode-se aproximar as correntes como constantes para cada uma das fases, pois a freqüência de chaveamento é da ordem de centenas de vezes maior que a freqüência da rede, como definido anteriormente.

A freqüência de chaveamento dos interruptores depende da freqüência da portadora, um sinal gerado internamente ao controle do circuito para comparação com o sinal de referência do controlador. A figura 1.3 representa como se comportaria um sinal PWM para controle das chaves de um braço a partir do sinal de referência.

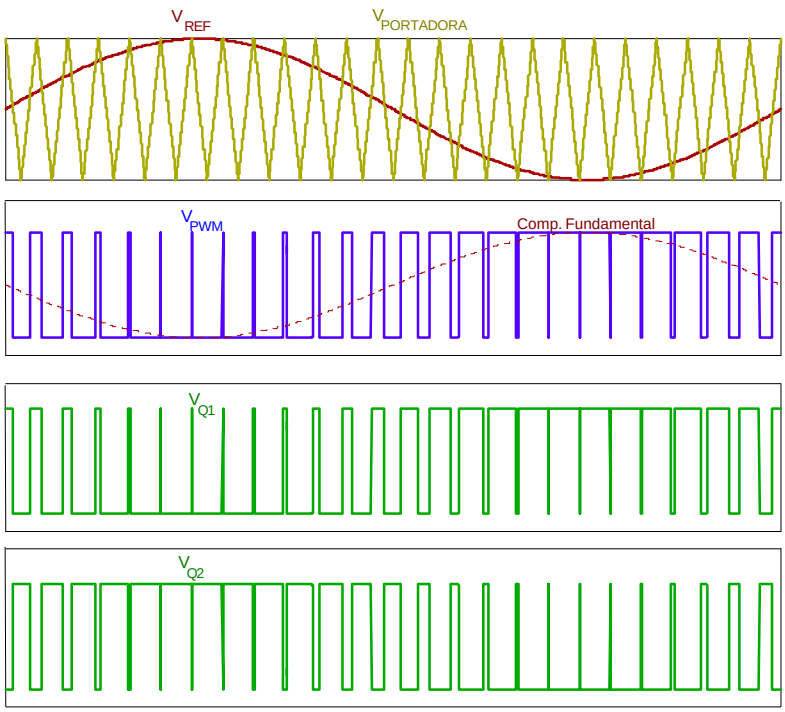


Figura 1.3 – Geração dos Pulsos de Comando das Chaves

Maiores detalhes sobre a geração dos sinais PWM e o funcionamento do controle do conversor serão apresentados em momento oportuno no desenvolvimento deste trabalho.

1.3.3 Análise das etapas de operação

Para facilitar a compreensão e tornar mais didática a abordagem, a análise será feita considerando inicialmente apenas uma das regiões de operação. A primeira região a ser analisada é a região 3. Nesta região, a corrente I_1 é a maior, I_3 é a menor e I_2 possui um valor intermediário entre elas. As correntes de cada fase são amostradas e levadas ao circuito de controle do conversor, onde são denominadas tensões de amostragem de corrente. A figura 1.4 apresenta as correntes de fase e as tensões amostradas que são levadas ao controle.

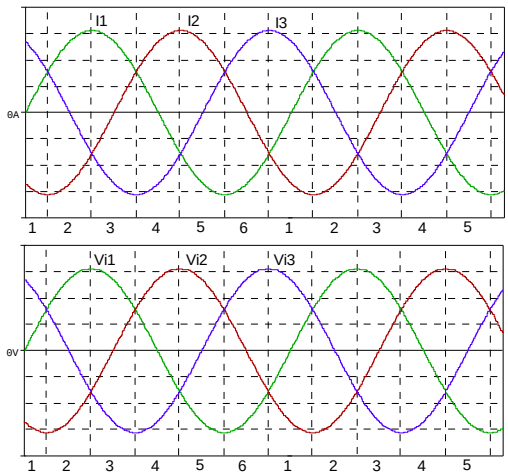


Figura 1.4 – Relação entre a corrente de cada fase e suas tensões de amostragem de corrente.

Os sinais V_{I1}, V_{I2} e V_{I3} são os sinais utilizados para comparação com portadora PWM para gerar os sinais de comando para as chaves. Para ilustrar o princípio de funcionamento da geração dos sinais de comando dentro de um ciclo de chaveamento a partir do modulador PWM, as figuras 1.5 e 1.6 ilustram dois momentos diferentes dentro da região 3 e com $I_2<0$, bem como os sinais resultantes da comparação entre os sinais de corrente amostrados e o sinal da portadora triangular interna ao controle, estes pulsos serão utilizados para gerar o chaveamento dos interruptores.

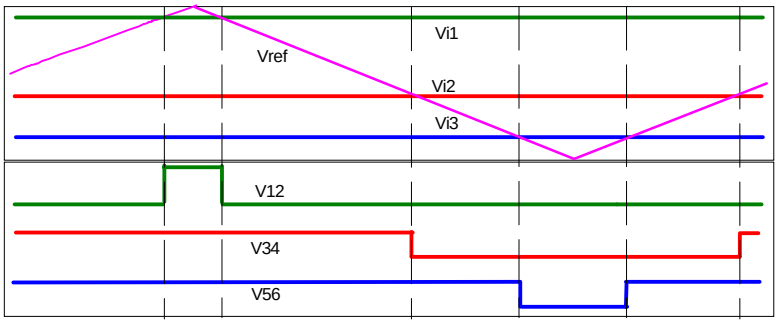


Figura 1.5 – Sinais de corrente, comparação e saída dos comparadores – Região 3

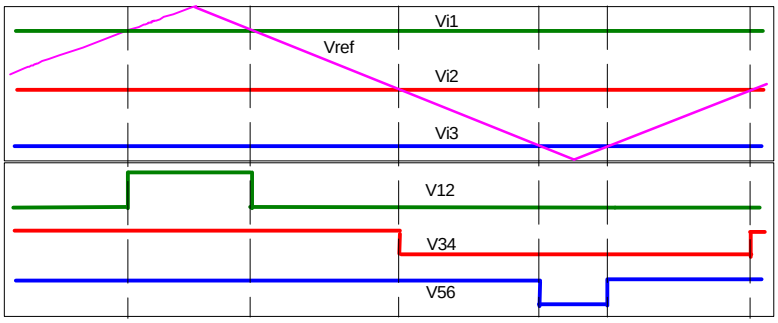


Figura 1.6– Sinais de corrente, comparação e saída dos comparadores – Região 3 (segundo momento)

Verifica-se, a partir das figuras acima que, dentro de uma mesma região de operação, sem alteração de sinal da corrente intermediária, a largura dos pulsos gerados se alteram, mas sua seqüência não; ou seja, o pulso V_{12} estará sempre contido em V_{34}, e V_{34} estará contido em V_{56}, ressaltando que o pulso V_{12} é utilizado para a geração dos pulsos de comando do braço do conversor que possui as chaves 1 e 2, sendo esta mesma metodologia empregada para a definição dos pulsos V_{34} e V_{56}.

Logo, pode-se afirmar que dentro de uma mesma região de operação, para uma mesma polaridade da corrente intermediária, existirá uma seqüência única de eventos e que ocorrerão sempre seis transições nos sinais gerados a partir da comparação do sinal da portadora com os sinais de corrente amostrados. Com base nisto, pode-se definir 6 etapas de operação do conversor dentro de cada região de operação. A Figura 1.7 mostra cada uma das etapas de operação dentro da região 3 com $I_2<0$ a partir da análise dos pulsos de comparação.

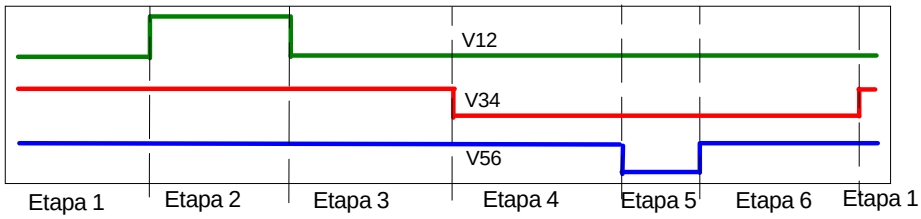


Figura 1.7 – Etapas de operação do conversor

Para se descobrir quais chaves estarão habilitadas e quais chaves estarão efetivamente conduzindo deve-se fazer uma análise considerando a corrente instantânea em cada braço do conversor no instante da análise. Neste caso, as correntes nos indutores se comportam conforme mostrado na figura 1.8.

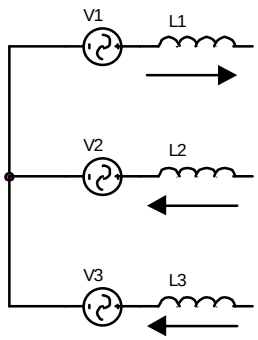


Figura 1.8 – Sentido das correntes nas fases no momento da análise

Como o conversor, do ponto de vista topológico e funcional, pode ser comparado a um duplo conversor Boost trifásico, então se pode assumir a seguinte premissa: o tempo de condução dos diodos em cada braço deverá ser maior que o tempo de condução das chaves. Então, sabendo-se o sentido da corrente e o pulso de comando PWM para cada braço, pode-se concluir quais chaves estarão habilitas e quais estarão efetivamente conduzindo em cada uma das etapas de cada região de operação.

Ilustrando o que foi exposto acima, pode-se fazer a seguinte análise: como a corrente média sobre L_1 tem o sentido especificado na figura 1.8, por convenção este sentido será considerado positivo. Sabe-se que a chave Q_2 terá que passar menos tempo conduzindo do que D_1 (como todos os semicondutores de cada braço são unidirecionais em corrente, apenas 2 deles são aptos a conduzir para cada sentido de corrente, para o sentido assumido para o braço 1, D_1 e Q_2 conduzem, ao passo que Q_1 e D_2 permanecerão bloqueados até que o sentido da corrente se inverta.). Então, o sinal V_{12} apresentado na figura 1.7 refere-se ao sinal aplicado a Q_2, pois passa mais tempo em nível baixo do que

em alto. O sinal de comando para Q_1 será o complemento de V_{12}. Porém, quando Q_1 está habilitada a conduzir, a corrente que tenderia a passar pela chave não o faz, pois a chave (IGBT) é unidirecional e não permite circulação de corrente no sentido fonte-carga. Então a corrente fecha a malha circulando por D_1, que estará diretamente polarizado nesta condição e servirá de caminho para a corrente.

Repetindo a mesma análise, para que a corrente média sobre L_2 tenha o sentido negativo, a chave Q_4 deve estar habilitada por mais tempo que Q_3. Então o pulso V_{34} da figura 1.7 é referente à chave Q_4 e o seu complemento referente à chave Q_3. Para que a corrente média sobre L_3 tenha o sentido negativo, é necessário que a chave Q_6 esteja habilitada por mais tempo que a chave Q_5. Como neste caso o pulso passa mais tempo em nível baixo do que em alto, a curva apresentada corresponde ao sinal de chaveamento de Q_6, e o seu complemento será o sinal de Q_5.

Uma vez definida quais chaves estão habilitadas, cabe agora verificar se estas chaves estão efetivamente conduzindo ou não.

Na análise de Q_3 e Q_4, encontra-se semelhança à operação de Q_1 e Q_2. A corrente a circular no braço encontra-se no sentido carga-fonte, ou seja, entrando na fonte. Neste sentido, quando Q_3 estiver habilitada, esta entrará em condução devido a sua polarização. Porém quando Q_4 estiver habilitado, quem entrará em condução é D_4, pois Q_4 não permite que a corrente circule na direção carga-fonte.

Para a análise de Q_5 e Q_6, o procedimento é semelhante. Então, quando Q_5 estiver habilitado, a corrente passará sobre si, ao passo que quando Q_6 estiver habilitado, a corrente circulará através de D_6, pois, devido ao sentido da corrente, não há possibilidade de circulação pela chave Q_6.

Deste modo, pode-se fazer uma tabela (Tabela 1.1) mostrando quais chaves estão habilitadas por etapa de funcionamento e quais delas estão efetivamente conduzindo. Deve-se estar atento ao fato de que durante a região de operação 3 a corrente $i_2(t)$ inverte a sua direção, levando a uma condição de condução distinta daquela obtida para a corrente $i_2(t)$ negativa.

Tabela 1.1 – Seqüência de chaveamento para Região 3

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_2 < 0$					
1	Q1	Q4	Q6	D1	D4	D6
2	Q2	Q4	Q6	Q2	D4	D6
3	Q1	Q4	Q6	D1	D4	D6
4	Q1	Q3	Q6	D1	Q3	D6
5	Q1	Q3	Q5	D1	Q3	Q5
6	Q1	Q3	Q6	D1	Q3	D6

Com base na tabela acima, pode-se determinar os circuitos equivalentes para cada etapa da região 3 com I_2<0. Tais circuitos podem ser visualizados na Figura 1.9

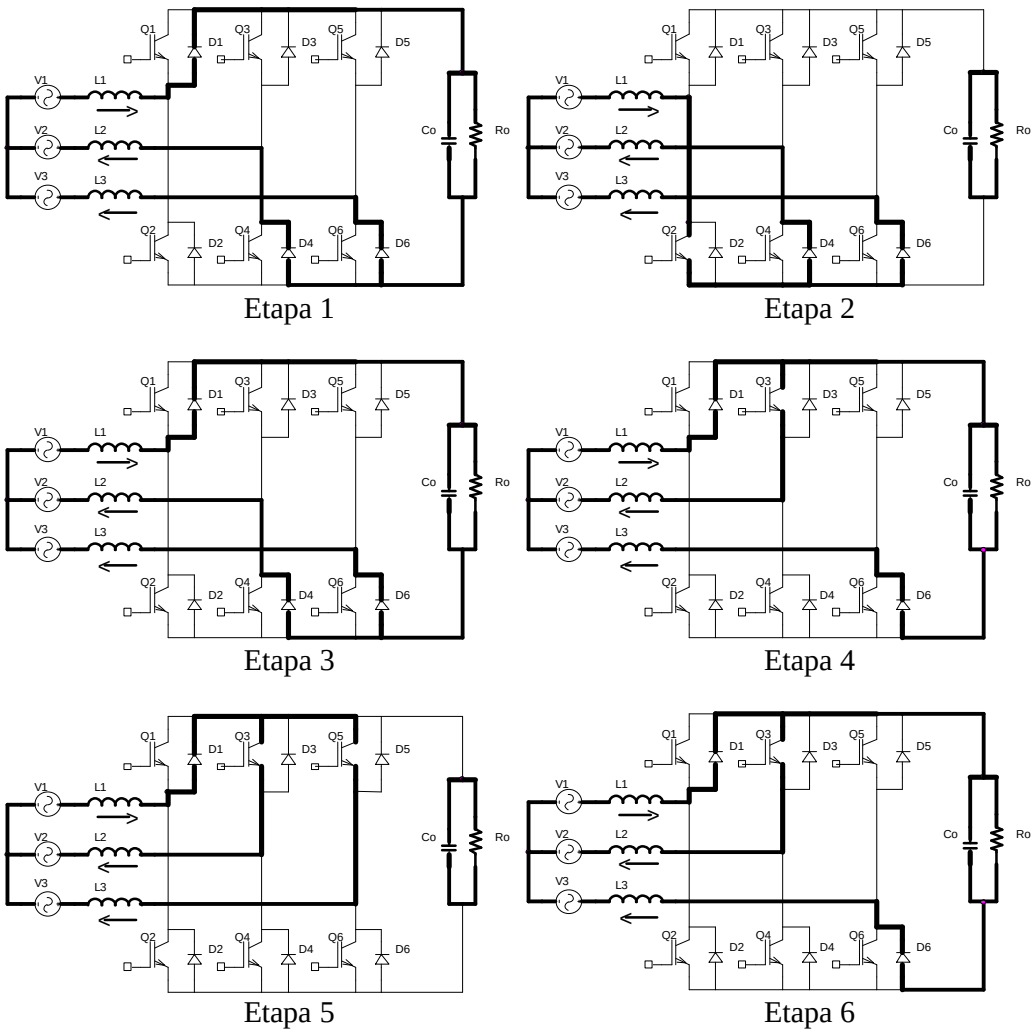


Figura 1.9 – Circuitos Equivalentes para as Etapas da Região 3 com I_2<0

A Figura 1.10 apresenta as tensões e correntes nos componentes do conversor dentro de um ciclo de chaveamento dentro da região 3.

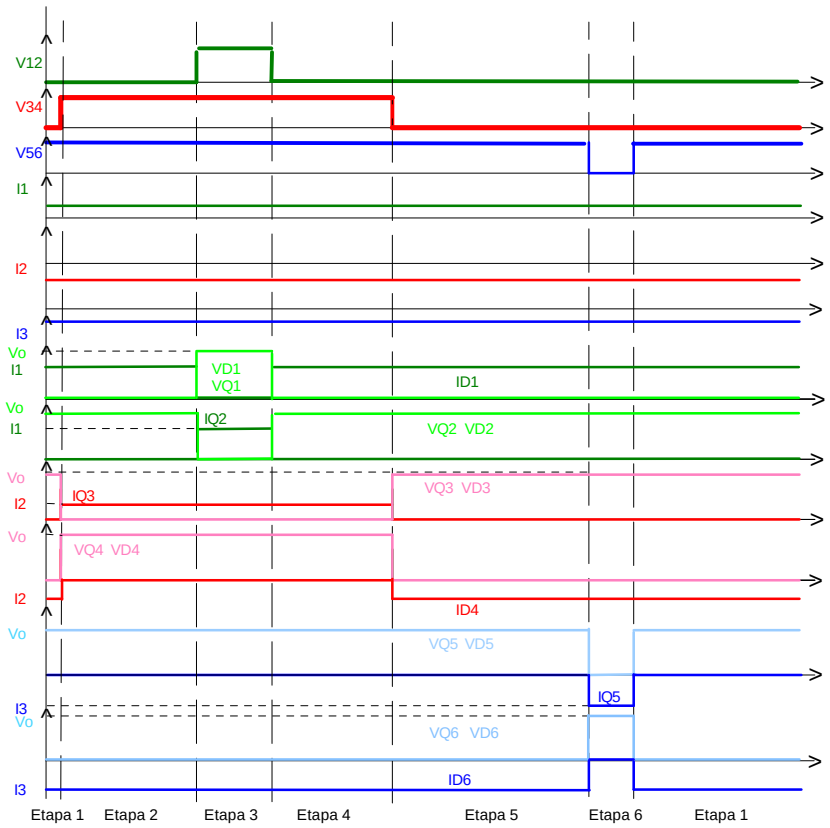


Figura 1.10 – Tensões e correntes nos componentes dentro de um ciclo de chaveamento

Expandindo esta mesma metodologia de análise para a região 3 com a corrente $I_2>0$ e as outras regiões de operação do conversor, chega-se facilmente às tabelas abaixo de chaves habilitadas e em condução para cada uma das regiões de operação.

Tabela 1.2– Seqüência de chaveamento para Região 1

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_1 > 0$					
1	Q2	Q4	Q5	Q2	D4	D5
2	Q2	Q4	Q6	Q2	D4	Q6
3	Q2	Q4	Q5	Q2	D4	D5
4	Q1	Q4	Q5	D1	D4	D5
5	Q1	Q3	Q5	D1	Q3	D5
6	Q1	Q4	Q5	D1	D4	D5
	$I_1 < 0$					
1	Q2	Q4	Q5	D2	D4	D5
2	Q2	Q4	Q6	D2	D4	Q6
3	Q2	Q4	Q5	D2	D4	D5
4	Q1	Q4	Q5	Q1	D4	D5
5	Q1	Q3	Q5	Q1	Q3	D5
6	Q1	Q4	Q5	Q1	D4	D5

Tabela 1.3 – Seqüência de chaveamento para Região 2

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_3 > 0$					
1	Q1	Q4	Q6	D1	D4	Q6
2	Q2	Q4	Q6	Q2	D4	Q6
3	Q1	Q4	Q6	D1	D4	Q6
4	Q1	Q4	Q5	D1	D4	D5
5	Q1	Q3	Q5	D1	Q3	D5
6	Q1	Q4	Q5	D1	D4	D5
	$I_3 < 0$					
1	Q1	Q4	Q6	D1	D4	D6
2	Q2	Q4	Q6	D1	D4	D6
3	Q1	Q4	Q6	D1	Q3	D6
4	Q1	Q4	Q5	D1	D4	Q5
5	Q1	Q3	Q5	D1	D4	Q5
6	Q1	Q4	Q5	Q2	D4	Q5

Tabela 1.4 – Seqüência de chaveamento para Região 3

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_2 > 0$					
1	Q1	Q4	Q6	D1	Q4	D6
2	Q2	Q4	Q6	Q2	Q4	D6
3	Q1	Q4	Q6	D1	Q4	D6
4	Q1	Q3	Q6	D1	D3	D6
5	Q1	Q3	Q5	D1	D3	Q5
6	Q1	Q3	Q6	D1	D3	D6
	$I_2 < 0$					
1	Q1	Q4	Q6	D1	D4	D6
2	Q2	Q4	Q6	Q2	D4	D6
3	Q1	Q4	Q6	D1	D4	D6
4	Q1	Q3	Q6	D1	Q3	D6
5	Q1	Q3	Q5	D1	Q3	Q5
6	Q1	Q3	Q6	D1	Q3	D6

Tabela 1.5 – Seqüência de chaveamento para Região 4

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_1 > 0$					
1	Q2	Q3	Q6	Q2	D3	D6
2	Q2	Q4	Q6	Q2	Q4	D6
3	Q2	Q3	Q6	Q2	D3	D6
4	Q1	Q3	Q6	D1	D3	D6
5	Q1	Q3	Q5	D1	D3	Q5
6	Q1	Q3	Q6	D1	D3	D6
	$I_1 < 0$					
1	Q2	Q3	Q6	D2	D3	D6
2	Q2	Q4	Q6	D2	Q4	D6
3	Q2	Q3	Q6	D2	D3	D6
4	Q1	Q3	Q6	Q1	D3	D6
5	Q1	Q3	Q5	Q1	D3	Q5
6	Q1	Q3	Q6	Q1	D3	D6

Tabela 1.6 – Seqüência de chaveamento para Região 5

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_3 > 0$					
1	Q2	Q3	Q6	D2	D3	Q6
2	Q2	Q4	Q6	D2	Q4	Q6
3	Q2	Q3	Q6	D2	D3	Q6
4	Q2	Q3	Q5	D2	D3	D5
5	Q1	Q3	Q5	Q1	D3	D5
6	Q2	Q3	Q5	D2	D3	D5
	$I_3 < 0$					
1	Q2	Q3	Q6	D2	D3	D6
2	Q2	Q4	Q6	D2	Q4	D6
3	Q2	Q3	Q6	D2	D3	D6
4	Q2	Q3	Q5	D2	D3	Q5
5	Q1	Q3	Q5	Q1	D3	Q5
6	Q2	Q3	Q5	D2	D3	Q5

Tabela 1.7– Seqüência de chaveamento para Região 6

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_2 > 0$					
1	Q2	Q4	Q5	D2	Q4	D5
2	Q2	Q4	Q6	D2	Q4	Q6
3	Q2	Q4	Q5	D2	Q4	D5
4	Q2	Q3	Q5	D2	D3	D5
5	Q1	Q3	Q5	Q1	D3	D5
6	Q2	Q3	Q5	D2	D3	D5
	$I_2 < 0$					
1	Q2	Q4	Q5	D2	D4	D5
2	Q2	Q4	Q6	D2	D4	Q6
3	Q2	Q4	Q5	D2	D4	D5
4	Q2	Q3	Q5	D2	Q3	D5
5	Q1	Q3	Q5	Q1	Q3	D5
6	Q2	Q3	Q5	D2	Q3	D5

1.4 Análise Quantitativa

Uma vez definido o método de análise, apresenta-se o procedimento utilizado para o projeto do mesmo. Então, o equacionamento que permitirá fazer o projeto dos componentes que irão compor a parte de potência do sistema é apresentado neste item.

1.4.1 Modelagem simplificada do circuito

A partir da figura 1.2, a qual define as regiões de operação do circuito, pode-se verificar que apesar de apresentar um funcionamento distinto para cada uma das regiões de operação, as etapas internas a cada uma das regiões são simétricas e de análises semelhantes para cada um dos intervalos de 60º.

Foi mostrado também que para uma determinada região de operação, a seqüência na qual as etapas de funcionamento ocorrem são únicas, embora possam ter o seu período alterado de acordo com o ponto tomado para análise dentro de cada região.

Então, fazendo a análise para um dos pontos de operação, pode-se generalizar o funcionamento para toda a região em questão, e por conseqüência, pode-se estender o princípio da modelagem para as demais regiões de operação, conseguindo assim um modelo válido para todo o intervalo de operação do conversor.

Como já indicado anteriormente, a alimentação do conversor pode ser definida como:

$$\begin{cases} v_1(t) = V_p.sen(\omega t) \\ v_2(t) = V_p.sen(\omega t - 120^o) \\ v_3(t) = V_p.sen(\omega t + 120^o) \end{cases} \quad (1.1)$$

Considerando as correntes que circulam pelas fontes de entrada com forma e fase similares à tensão de entrada, opta-se em continuar fazendo a análise do conversor no terceiro quadrante, definido para $90^o \leq \omega t \leq 150^o$.

Se considerarmos a análise para o conversor no ponto onde $\omega.t = 90^o$, pode-se afirmar que:

$$\begin{cases} |v_1(t)| = |v_{1\_\max}(t)| = V_p \\ |v_2(t)| = |v_3(t)| = \dfrac{V_p}{2} \end{cases} \quad (1.2)$$

Esta condição de operação implica que a corrente $i_1(t)$ atinge o seu ponto máximo enquanto $i_2(t)$ e $i_3(t)$ possuem o mesmo valor médio dentro de um ciclo de chaveamento. Logo, os pulsos de comando gerados neste ponto de operação apresentam algumas particularidades; a razão cíclica do pulso V_{12}, ou pode assim ser considerada, é unitária, enquanto a razão cíclica dos pulsos V_{34} e V_{56} são idênticas e possuem transições simultâneas, conforme pode ser visto na figura 1.11

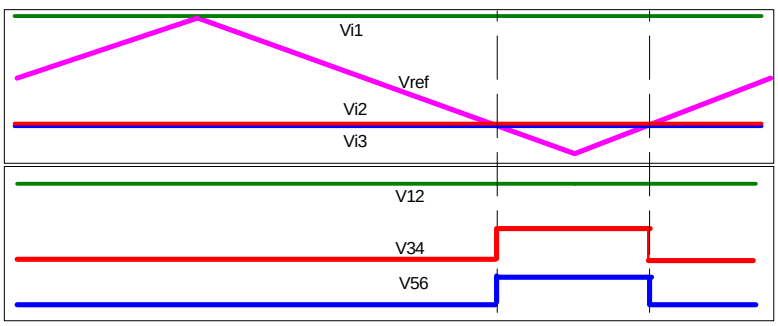
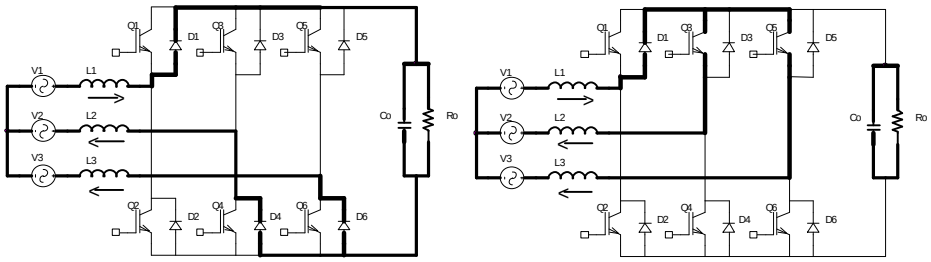


Figura 1.11 – Pulsos de comando para $\omega t=90^o$

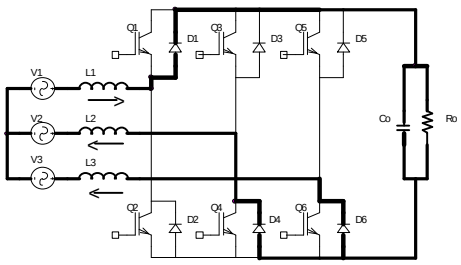
Como os pulsos de comando V_{34} e V_{56} apresentam transições simultâneas e V_{12} não apresenta transições, consegue-se uma simplificação das etapas de operação, esta condição é ilustrada abaixo na tabela 1.8 e na figura 1.12.

Tabela 1.8 – Seqüência de chaveamento para a Região 3 com ωt=90º

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
	$I_2 < 0$					
1	Q1	Q4	Q6	D1	D4	D6
2	Q1	Q3	Q5	D1	Q3	Q5
3	Q1	Q4	Q6	D1	D4	D6



Etapa 1 Etapa 2



Etapa 3

Figura 1.12 – Circuitos equivalentes para as etapas de funcionamento da Região 3 com ωt=90º

Através da análise primeira etapa de operação, a qual é similar a terceira etapa, pode-se facilmente chegar a

$$\begin{cases} v_1(t)+v_2(t)+v_3(t)=0 \\ v_1(t)-v_{L1}(t)=v_2(t)+V_o-v_{L2}(t)=v_3(t)+V_o-v_{L3}(t) \\ i_{L1}(t)+i_{L2}(t)+i_{L3}(t)=0 \end{cases} \quad (1.3)$$

Para facilitar a análise e o equacionamento do conversor, assume-se que $L_1=L_2=L_3=L$, desta forma, a partir da equação. (1.3) tem-se:

$$\frac{di_{L1}(t)}{dt}+\frac{di_{L2}(t)}{dt}+\frac{di_{L3}(t)}{dt}=0$$

$$L.\frac{di_{L1}(t)}{dt}+L.\frac{di_{L2}(t)}{dt}+L.\frac{di_{L3}(t)}{dt}=0$$

$$v_{L1}(t)+v_{L2}(t)+v_{L3}(t)=0 \qquad (1.4)$$

A partir das equações (1.3) e (1.4) obtém-se:

$$\begin{cases} v_{L1}(t)=v_1(t)-\frac{2}{3}.V_o \\ v_{L2}(t)=v_2(t)+\frac{V_o}{3} \\ v_{L3}(t)=v_3(t)+\frac{V_o}{3} \end{cases} \qquad (1.5)$$

Para a da segunda etapa de operação, pode-se repetir a análise anterior obtendo os seguintes resultados:

$$\begin{cases} v_1(t)+v_2(t)+v_3(t)=0 \\ v_1(t)-v_{L1}(t)=v_2(t)+V_o-v_{L2}(t)=v_3(t)+V_o-v_{L3}(t) \\ i_{L1}(t)+i_{L2}(t)+i_{L3}(t)=0 \Rightarrow v_{L1}(t)+v_{L2}(t)+v_{L3}(t)=0 \end{cases} \qquad (1.6)$$

Onde se pode facilmente concluir que:

$$\begin{cases} v_{L1}(t)=v_1(t) \\ v_{L2}(t)=v_2(t) \\ v_{L3}(t)=v_3(t) \end{cases} \qquad (1.7)$$

A partir da estratégia de modulação sugerida, o interruptor referente à fase que apresenta a maior corrente em módulo pode se analisado como estando constantemente fechado, comandando apenas os outros dois. Como o conversor não apresenta a presença do neutro na alimentação, gera-se a restrição de que $i_1(t) + i_2(t) + i_3(t) = 0$. Como conseqüência a esta restrição existente para as correntes, consegue-se impor uma corrente senoidal a $i_1(t)$, em fase com $v_1(t)$, controlando-se apenas as correntes que circulam nos outros braços.

Utilizando as considerações apresentadas acima, o conversor proposto pode ser simplificado, dentro do setor em análise, sem perda de generalidade, para o circuito apresentado na Figura 1.13, conforme demonstrado em [2].

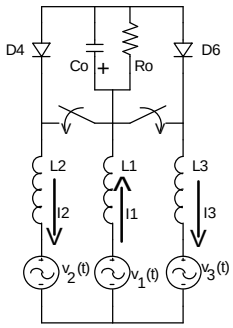


Figura 1.13 – Circuito equivalente do conversor para análise do setor 3 de operação

Pode-se obter o circuito equivalente para cada um dos setores de operação do conversor seguindo a mesma estratégia apresentada acima e respeitando as seguintes considerações:

Se a maior tensão (corrente) de fase em módulo é positiva, basta trocar $V_1(t)$ pela tensão de fase correspondente (a maior em módulo);

Se a maior tensão (corrente) de fase em módulo é negativa, basta trocar $V_1(t)$ pela tensão de fase correspondente (a maior em módulo) e inverter o sentido dos diodos, já que os sinais de tensão e corrente serão invertidos no circuito.

Observa-se que o circuito equivalente apresentado na Figura 1.13 apresenta funcionamento semelhante a um "duplo boost". A utilização deste circuito equivalente facilita não somente a análise do funcionamento do conversor, mas também todo o equacionamento que será apresentado a partir do item 1.4.22.

1.4.2 Equacionamento para as Razões de Modulação

Como já foi comentado anteriormente, deseja-se que as correntes nos indutores estejam em fase com tensões das respectivas fases. Logo, a partir da equação. (1.1) pode-se definir as correntes em cada fase como:

$$\begin{cases} i_1(t) = I_p.sen(\omega t) \\ i_2(t) = I_p.sen(\omega t - 120^o) \\ i_3(t) = I_p.sen(\omega t + 120^o) \end{cases} \tag{1.8}$$

Desta forma:

$$\frac{P_o}{\eta} = \frac{3.V_p.I_p}{2} \tag{1.9}$$

Logo

$$I_p = \frac{2.P_o.}{3.V_p.\eta} \tag{1.10}$$

Onde η representa o rendimento total do conversor. Então, a partir do circuito da figura 1.13, lembrando que $d_{Q3}(t)$ e $d_{Q5}(t)$ representam as razões cíclicas das chaves Q_3 e Q_5, respectivamente, pode-se escrever:

$$\begin{cases} v_1(t) - v_{L1}(t) - \left[1 - d_{Q3}(t)\right].V_o - v_{L2}(t) - v_2(t) = 0 \\ v_1(t) - v_{L1}(t) - \left[1 - d_{Q5}(t)\right].V_o - v_{L3}(t) - v_3(t) = 0 \\ v_1(t) + v_2(t) + v_3(t) = 0 \\ i_{L1}(t) + i_{L2}(t) + i_{L3}(t) = 0 \Rightarrow v_{L1}(t) + v_{L2}(t) + v_{L3}(t) = 0 \end{cases} \tag{1.11}$$

Resolvendo o sistema, chega-se a:

$$\begin{cases} 3.v_2(t) - 3.v_{L2}(t) - 2.d_{Q3}(t).V_o + [1 + d_{Q5}(t)].V_o = 0 \\ 3.v_3(t) - 3.v_{L3}(t) - 2.d_{Q5}(t).V_o + [1 + d_{Q3}(t)].V_o = 0 \end{cases} \tag{1.12}$$

Então, substituindo a equação (1.1) e a equação (1.10) em (1.12) tem-se:

$$3V_p\, sen(\omega t - 120^o) - 3L.\frac{d}{dt}\left[\frac{2.P_o}{3\,\eta.V_p} sen\left(\omega t - 120^o\right)\right] + V_o\left[1 + d_{Q5}(t) - 2d_{Q3}(t)\right] = 0 \tag{1.13}$$

e

$$3V_p\, sen(\omega t + 120^o) - 3L\frac{d}{dt}\left[\frac{2.P_o}{3\,\eta.V_p} sen\left(\omega t + 120^o\right)\right] + V_o\left[1 + d_{Q3}(t) - 2d_{Q5}(t)\right] = 0 \tag{1.14}$$

Logo,

$$\begin{cases} 3.V_p.\left[2.sen\left(\omega t - 120^o\right) + sen\left(\omega t + 120^o\right)\right] + \\ -\frac{2.P_o.\omega.L}{3\,\eta.V_p}\left[2.\cos\left(\omega t - 120^o\right) + \cos\left(\omega t + 120^o\right)\right] + 3.V_o.\left[1 + d_{Q3}(t)\right] = 0 \\ 3.V_p.\left[2.sen\left(\omega t + 120^o\right) + sen\left(\omega t - 120^o\right)\right] + \\ -\frac{2.P_o.\omega.L}{3\,\eta.V_p}\left[2.\cos\left(\omega t + 120^o\right) + \cos\left(\omega t - 120^o\right)\right] + 3.V_o.\left[1 + d_{Q5}(t)\right] = 0 \end{cases} \tag{1.15}$$

Utilizando as identidades trigonométricas, obtém-se:

$$\begin{cases} d_{Q3}(t) = 1 - \dfrac{\sqrt{3}.V_p}{V_o}.\left[sen\left(\omega t + 30^o\right) - \dfrac{2Po.\omega.L}{3\eta.V_p{}^2}.\cos\left(\omega t + 30^o\right)\right] \\ d_{Q5}(t) = 1 - \dfrac{\sqrt{3}.V_p}{V_o}.\left[sen\left(\omega t - 30^o\right) - \dfrac{2Po.\omega.L}{3\eta.V_p{}^2}.\cos\left(\omega t - 30^o\right)\right] \end{cases} \quad (1.16)$$

Devido a metodologia empregada para a simplificação do circuito, o valor de $d_{Q1}(t) = 1$, pois a chave pode ser considerada como estando sempre fechada.

Em muitas das análises que serão desenvolvidas neste trabalho e que necessitam da função que rege o comportamento das razões cíclicas, será feita uma simplificação nas equações apresentadas no sistema de equações (1.16), onde serão desconsideradas as parcelas referentes ao cosseno, haja vista que a sua contribuição no valor final da razão cíclica pode ser desprezada e a sua inclusão nos cálculos torna o processo deveras trabalhoso sem que esta inclusão afete de modo preponderante os valores obtidos. Desta forma, as razões cíclicas podem ser expressas como:

$$\begin{cases} d_{Q3}(t) = 1 - \dfrac{\sqrt{3}.V_p}{V_o}.sen\left(\omega t + 30^o\right) \\ d_{Q5}(t) = 1 - \dfrac{\sqrt{3}.V_p}{V_o}.sen\left(\omega t - 30^o\right) \end{cases} \quad (1.17)$$

1.4.3 Dimensionamento dos Indutores de Entrada

O acionamento das chaves será feito através do controle por modulação da largura de pulso (PWM) dos sinais aplicados aos interruptores. Desta forma, obtém-se:

$$V_L = L.\frac{\Delta I_L}{\Delta t} \Rightarrow \Delta I_L = \frac{V_L.\Delta t}{L} \quad (1.18)$$

Observa-se que a maior ondulação de corrente deve ocorrer exatamente quando a corrente é máxima, que ocorre para a corrente $i_1(t)$ quando $\omega t = 90^o$.

Assim, a partir da equação (1.17), pode-se observar que $d_{Q3}(t)$ e $d_{Q5}(t)$ assumem um mesmo valor, ou seja, os interruptores Q_3 e Q_5 abrem e fecham no mesmo instante, de forma que existam apenas duas etapas de operação possíveis, uma vez que a primeira e a terceira etapa são idênticas, conforme mostrado na figura 1.12 e na tabela 1.8.

Na primeira etapa, considera-se os diodos D_1, D_4 e D_6 conduzindo (os interruptores Q_3 e Q_5 estão abertos). Desta forma, $v_{L1}(t) = V_p - \frac{2}{3}.V_o$. Logo a corrente $i_{L1}(t)$ apresenta derivada negativa durante esta etapa, pois o valor de $V_o \geq \sqrt{3}.V_p$, e o capacitor de saída é carregado, conforme demonstrado em [2].

Na segunda etapa, considera-se que as chaves Q_3 e Q_5 estão fechadas e conduzindo em conjunto com D1. Desta forma, $v_{L1}(t) = V_p$. Logo a corrente $i_{L1}(t)$ apresenta derivada positiva, o que implica em armazenamento de energia no indutor.

Assim, a partir da equação (1.17), tem-se:

$$d_{Q3}\left(\omega t = 90^o\right) \approx d_{Q5}\left(\omega t = 90^o\right) \approx 1 - \frac{\sqrt{3}.V_p}{V_o}.sen\left(120^o\right) \tag{1.19}$$

Ou seja, para o intervalo onde as chaves permanecem fechadas é dado por:

$$\Delta t = \frac{1}{fs}.\left(1 - \frac{\sqrt{3}.V_p}{V_o}.\frac{\sqrt{3}}{2}\right) \tag{1.20}$$

Logo

$$\Delta t = \frac{2.V_o - 3.V_p}{2.fs.V_o} \tag{1.21}$$

Então, substituindo a equação (1.21) na equação (1.18), sabendo que durante o intervalo de tempo definido por Δt a tensão sobre o indutor L_1 é igual a V_p, tem-se:

$$\Delta I_L = \frac{Vp}{L}.\left(\frac{2.V_o - 3.V_p}{2.fs.V_o}\right) \tag{1.22}$$

Então, a partir da equação. (1.10):

$$\Delta I_L\%.\frac{2.P_o}{3\eta.V_p} = \frac{V_p}{L}.\left(\frac{2.V_o - 3.V_p}{2.fs.V_o}\right) \tag{1.23}$$

Logo:

$$L = \frac{3\eta.V_p{}^2\left[2.V_o - 3.V_p\right]}{4.\Delta I_L\%.fs.V_o.P_o} \tag{1.24}$$

Definindo α, razão de modulação, como a duas vezes a relação entre a tensão de pico de entrada e a tensão de saída, tem-se:

$$\alpha = 2.\frac{V_p}{V_o} \tag{1.25}$$

Logo:

$$L = \frac{3\,\eta.V_p{}^2\left[4-3\alpha\right]}{8.\Delta I_L\%.\,fs.P_o} \tag{1.26}$$

Defini-se então a indutância normalizada como

$$L = \overline{L}.\frac{3\,\eta.V_p{}^2}{2.\Delta I_L\%.\,fs.P_o} \Rightarrow \overline{L} = L.\frac{2.\Delta I_L\%.\,fs.P_o}{3\,\eta.V_p{}^2} \tag{1.27}$$

Então:

$$\overline{L} = \left(1-\frac{3}{4}\alpha\right) \tag{1.28}$$

Como $0 \le \alpha \le \frac{1}{\sqrt{3}}$, tem-se que a variação da indutância normalizada em função de α é demonstrada na figura 1.14.

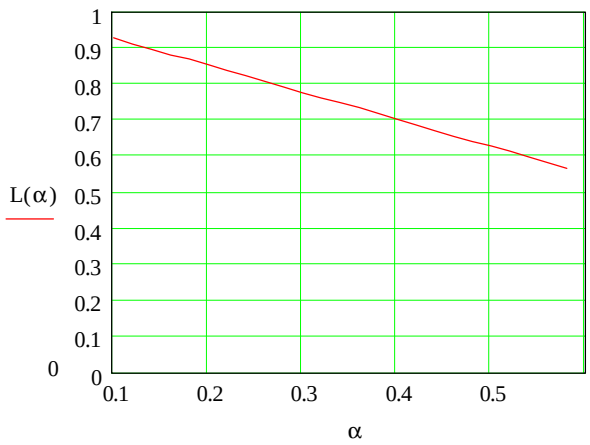


Figura 1.14 – Indutância de entrada normalizada, em função de α

A corrente eficaz que circula em cada indutor é exatamente a corrente eficaz da fase correspondente, desta forma:

$$I_{L\_ef} = \frac{\sqrt{2}.P_o}{3.V_p.\eta} \tag{1.29}$$

Pode-se observar então que a corrente nos indutores não depende de α, mas basicamente da potência de saída e da tensão de entrada.

1.4.4 Dimensionamento das Chaves

Como o circuito do conversor opera a partir de uma rede trifásica equilibrada na entrada e as correntes que circulam por estas fontes também são trifásicas, equilibradas e em fase com as tensões, podemos afirmar que não existe corrente de neutro, pois não há desbalanceamento.

Por outro lado, para simplificar a análise do circuito, pode-se fazer a suposição de que as fontes de entrada estejam ligadas ao neutro e que no barramento capacitivo de saída tenha um ponto central também conectado ao neutro. Como não há corrente de neutro, esta simplificação não gera alteração no funcionamento da estrutura. A figura 1.15 ilustra esta condição de operação.

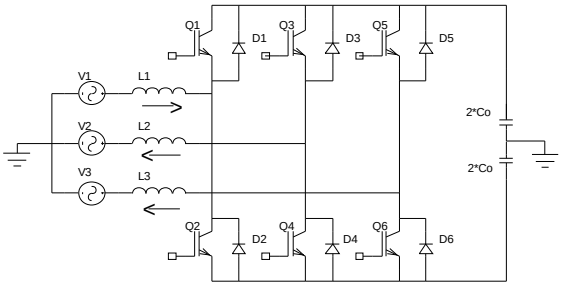


Figura 1.15 – Retificador trifásico com conexões para o neutro

Da forma com que o circuito é representado na figura 1.15, a operação do retificador trifásico bidirecional pode ser abordada de modo semelhante a três conversores Boost monofásicos.

Partindo deste pré-suposto, a operação das chaves em um dos braços do conversor pode ser analisada a partir do circuito simplificado da figura 1.16. Para as chaves eliminadas do braço sob análise, considera-se que a corrente é nula sobre eles durante todo o ciclo de chaveamento devido a direção da corrente no circuito.

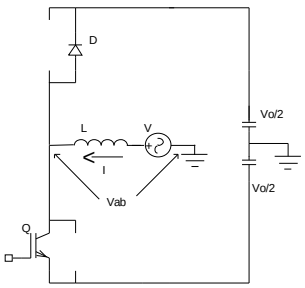


Figura 1.16 – circuito simplificado para análise de operação das chaves

Para o circuito acima, a tensão média V_{ab} pode ser definida como:

$$V_{ab_{med}} = \frac{1}{T_s}\left[\int_0^{D.T_s}\left(V_o/2\right).dt + \int_{D.T_s}^{T_s}\left(-V_o/2\right).dt\right] \quad (1.30)$$

$$V_{ab_{med}} = \frac{V_o}{2}.D - \frac{V_o}{2}.(1-D) = \frac{V_o}{2}(2D-1) \quad (1.31)$$

No entanto para um período da rede, a tensão no ponto V_{ab} varia senoidalmente. Então, desprezando a queda de tensão sobre o indutor de entrada a tensão V_{ab} para um período da rede pode calculada através como sendo:

$$V_{ab}(\omega t) = V_{in}(t) = Vp.sen(\omega t) \quad (1.32)$$

Logo, a tensão de pico de $V_{ab}(\omega t) = V_P$.

Utilizando o índice de modulação definido em (1.25) em (1.32), determina-se:

$$V_{ab}(\omega t) = \frac{V_o}{2}.\alpha.sen(\omega t) \quad (1.33)$$

Para determinar $V_{ab_{med}}$ em qualquer instante de tempo, deve-se definir $V_{ab}(\omega t)$ em função de $d(\omega t)$, então:

$$V_{ab}(\omega t) = \frac{V_o}{2}\left(2.d(\omega t) - 1\right) \quad (1.34)$$

Igualando (1.33) e (1.34):

$$d(\omega t) = \frac{\alpha.sen(\omega t) + 1}{2} \quad (1.35)$$

Interpretando (1.35), a razão cíclica de chaveamento para as chaves de um determinado braço do conversor está relacionada diretamente a fase da fonte de tensão conectada a esta fase.

Representando a corrente de entrada em função dos parâmetros de potência de saída e tensão de entrada, tem-se:

$$i(\omega t) = I_p.sen(\omega t) = \frac{2.P_o}{3\eta.V_p}sen(\omega t) \quad (1.36)$$

A corrente eficaz nas chaves dentro de um ciclo de chaveamento pode ser definida como sendo:

$$I_{Q\_ef\_Ts} = \sqrt{\frac{1}{T_s}\int_0^{D.T_s} I^2.dt} = I\sqrt{D} \tag{1.37}$$

Expandindo a análise da corrente eficaz para um ciclo de rede, com o auxílio de (1.35) e (1.36) tem-se:

$$I_{Q\_ef} = \sqrt{\frac{1}{2\pi}\int_0^{\pi}\left(\frac{2.P_o}{3\eta.V_p}\right)^2 sen^2(\omega t).\frac{1}{2}\left(\alpha.sen(\omega t)+1\right).d\omega t} \tag{1.38}$$

$$I_{Q\_ef} = \frac{\sqrt{6}}{18}\frac{P_o}{\eta.V_p}\sqrt{\frac{8\alpha+3\pi}{\pi}} \tag{1.39}$$

Defini-se então a corrente eficaz normalizada nos interruptores por:

$$I_{Q\_ef} = \frac{\sqrt{6}}{18}\frac{P_o}{\eta.V_p}\overline{I_{Q\_ef}} \;\Rightarrow\; \overline{I_{Q\_ef}} = 3\sqrt{6}\frac{\eta.V_p}{P_o}.I_{Q\_ef} \tag{1.40}$$

Logo

$$\overline{I_{Q\_ef}} = \sqrt{\frac{8\alpha+3\pi}{\pi}} \tag{1.41}$$

Então, pode-se traçar uma curva da corrente eficaz normalizada nos interruptores em função de α, conforme apresentado na figura 1.16

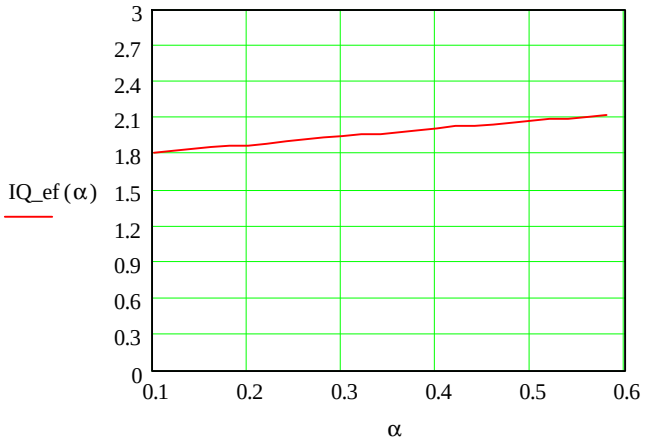


Figura 1.16 – Corrente eficaz normalizada nas chaves em função de α

Com relação à corrente média nas chaves, pode-se aplicar um procedimento semelhante ao que foi realizado para a corrente eficaz. A corrente média nas chaves dentro de um ciclo de chaveamento pode ser definida como sendo:

$$I_{Q\_med\_Ts} = \frac{1}{2\pi}\int_{0}^{D.T_s} I.dt = I.D \tag{1.42}$$

Expandindo a análise da corrente média para um ciclo de rede, com o auxílio de (1.35) e (1.36) tem-se:

$$I_{Q\_med} = \frac{1}{2\pi}\int_{0}^{\pi}\left(\frac{2.P_o}{3\eta.V_p}\right).sen(\omega t).\frac{1}{2}(\alpha.sen(\omega t)+1).d\omega t \tag{1.43}$$

$$I_{Q\_med} = \frac{P_o(4+\alpha\pi)}{12\pi\,\eta.V_p} \tag{1.44}$$

A corrente média normalizada nas chaves pode ser definida como:

$$I_{Q\_med} = \frac{P_o}{12\pi\,\eta.V_p}\overline{I_{Q\_med}} \;\Rightarrow\; \overline{I_{Q\_med}} = \frac{12\pi\,\eta.V_p}{P_o}.I_{Q\_med} \tag{1.45}$$

Logo:

$$\overline{I_{Q\_med}} = (4+\alpha\pi) \tag{1.46}$$

Então, pode-se traçar uma curva da corrente média normalizada nos interruptores em função de α, conforme apresentado na figura 1.17

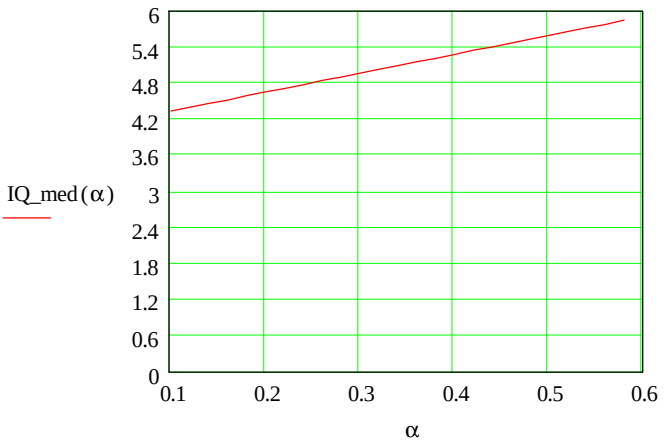


Figura 1.17 – Corrente média normalizada nas chaves em função de α

1.4.5 Dimensionamento dos Diodos

Seguindo um procedimento de análise similar ao que foi apresentado para as chaves, a corrente eficaz nos diodos dentro de um ciclo de chaveamento pode ser definida como sendo:

$$I_{D\_ef\_Ts} = \sqrt{\frac{1}{T_s}\int_{D.T_s}^{T_s} I^2.dt} = I\sqrt{(1-D)} \tag{1.47}$$

Expandindo a análise da corrente eficaz para um ciclo de rede, com o auxílio de (1.35) e (1.36) tem-se:

$$I_{D\_ef} = \sqrt{\frac{1}{2\pi}\int_0^{\pi}\left(\frac{2.P_o}{3\eta.V_p}\right)^2 sen^2(\omega t).\left[1-\frac{1}{2}(\alpha.sen(\omega t)+1)\right].d\omega t} \tag{1.48}$$

$$I_{D\_ef} = \frac{1}{18}\frac{P_o}{\eta.V_p}\sqrt{\frac{6}{\pi}(3\pi-8\alpha)} \tag{1.49}$$

Defini-se então a corrente eficaz normalizada nos interruptores por:

$$I_{D\_ef} = \frac{1}{18}\frac{P_o}{\eta.V_p}\overline{I_{D\_ef}} \Rightarrow \overline{I_{D\_ef}} = 18\frac{\eta.V_p}{P_o}.I_{D\_ef} \tag{1.50}$$

Logo

$$\overline{I_{D\_ef}} = \sqrt{\frac{6}{\pi}(3\pi-8\alpha)} \tag{1.51}$$

Então, pode-se traçar uma curva da corrente eficaz normalizada nos diodos em função de α, conforme apresentado na figura 1.18

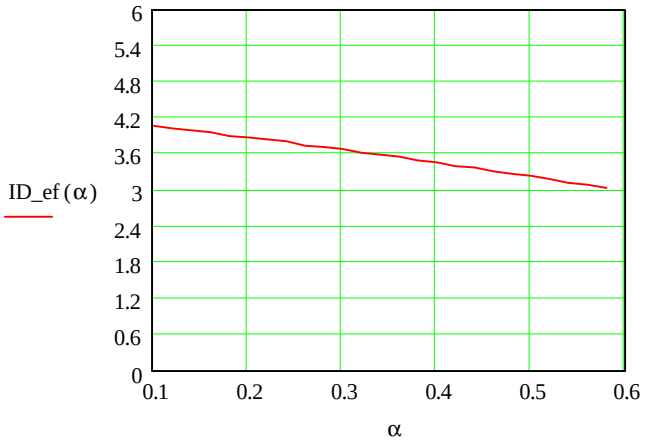


Figura 1.18 – Corrente eficaz normalizada nos diodos em função de α

O procedimento para o cálculo da corrente média nos diodos dentro de um ciclo de chaveamento pode ser definido como sendo:

$$I_{D\_med\_Ts} = \frac{1}{2\pi}\int_{D.T_s}^{T_s} I.dt = I.(1-D) \tag{1.52}$$

Expandindo a análise da corrente média para um ciclo de rede, com o auxílio de (1.35) e (1.36) tem-se:

$$I_{D\_med} = \frac{1}{2\pi}\int_{0}^{\pi}\left(\frac{2.P_o}{\eta.V_p}\right).sen(\omega t).\left[1-\frac{1}{2}(\alpha.sen(\omega t)+1)\right].d\omega t \tag{1.53}$$

$$I_{D\_med} = \frac{P_o(4+\alpha\pi)}{12\pi\,\eta.V_p} \tag{1.54}$$

A corrente média normalizada nas chaves pode ser definida como:

$$I_{D\_med} = \frac{P_o}{12\pi\,\eta.V_p}\overline{I_{D\_med}} \;\Rightarrow\; \overline{I_{D\_med}} = \frac{12\pi\,\eta.V_p}{P_o}.I_{D\_med} \tag{1.55}$$

Logo:

$$\overline{I_{Q\_med}} = (4-\alpha\pi) \tag{1.56}$$

Então, pode-se traçar uma curva da corrente média normalizada nos diodos em função de α, conforme apresentado na figura 1.19

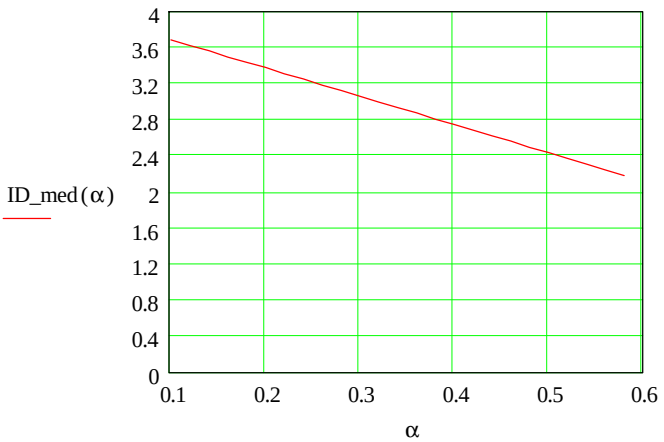


Figura 1.19 – Corrente média normalizada nos diodos em fu nção de α

1.4.6 Dimensionamento do Capacitor de Saída

A partir do circuito equivalente apresentado na figura 1.13 e considerando que a corrente $i_o(t)$ dentro de um ciclo de chaveamento seja constante, desprezando as componentes de alta freqüência do sinal, pode-se escrever:

$$i_o(t) = -i_2(t).\left[1 - d_{Q3}(t)\right] - i_3(t).\left[1 - d_{Q5}(t)\right] \tag{1.57}$$

Assim, substituindo as equações (1.8) e (1.17) na equação (1.57) tem-se:

$$\begin{aligned} i_o(t) = &-I_p.sen\left(\omega t - 120^o\right).\frac{\sqrt{3}.V_p}{V_o}.\left[sen\left(\omega t + 30^o\right)\right] + \\ &- I_p.sen\left(\omega t + 120^o\right).\frac{\sqrt{3}.V_p}{V_o}.\left[sen\left(\omega t - 30^o\right)\right] \end{aligned} \tag{1.58}$$

Utilizando as identidades trigonométricas, obtém-se facilmente:

$$i_o(t) = \frac{3 \cdot V_p \cdot I_p}{2 \cdot V_o} \tag{1.59}$$

Nota-se que a corrente de saída $i_o(t)$, desprezando as quedas de tensões nos semicondutores, não apresenta ondulação de baixa freqüência, desta forma, faz-se necessário um capacitor de saída apenas para filtrar as componentes de alta freqüência do sinal. No entanto, a prática tem demonstrado que para potência elevadas a corrente eficaz sobre o capacitor de saída é elevada, implicando no uso de uma capacitância muito maior do que aquela calculada para filtrar o sinal de alta freqüência.

Considerando inicialmente apenas a componente de alta freqüência do sinal, para a região de operação em análise, o pior caso ocorre quando $\omega t = 90^o$, desta forma, a partir da equação (1.17), tem-se:

$$d_{Q3}\left(\omega t = 90^o\right) \approx d_{Q5}\left(\omega t = 90^o\right) \approx 1 - \frac{\sqrt{3}.V_p}{V_o}.sen\left(120^o\right) \tag{1.60}$$

Logo, o intervalo onde os interruptores Q_3 e Q_5 permanecem fechados é dado por:

$$\Delta t = \frac{1}{fs}.\left(1 - \frac{\sqrt{3}.V_p}{V_o}.\frac{\sqrt{3}}{2}\right) = \frac{2.V_o - 3.V_p}{2.fs.V_o} \tag{1.61}$$

Assim, observando-se o circuito equivalente da figura 1.13, pode-se concluir que quando Q_3 e Q_5 estão fechados, $i_o(t) = 0$, ou seja, circula pelo capacitor apenas a corrente drenada pela carga (resistor), assim:

$$\Delta Q_{Co} = \int_0^{\frac{2.V_o - 3.V_p}{2.fs.V_o}} \frac{P_o}{V_o}.dt \tag{1.62}$$

Logo:

$$\Delta Q_{Co} = C_o.\Delta V_o = C_o.\Delta V_o\%.V_o = \frac{P_o.(2.V_o - 3.V_p)}{2.fs.V_o^{\,2}} \tag{1.63}$$

Então:

$$C_o = \frac{P_o.(2.V_o - 3.V_p)}{2.fs.V_o^{\,3}.\Delta V_o\%} \quad ou \quad C_o = \frac{P_o.(4 - 3\alpha)}{4.fs.V_o^{\,2}.\Delta V_o\%} \tag{1.64}$$

Defini-se então a capacitância normalizada por:

$$C_o = \overline{C_o}.\frac{P_o}{4.fs.V_o^{\,2}.\Delta V_o\%} \quad \Rightarrow \quad \overline{C_o} = C_o\frac{4.fs.V_o^{\,2}.\Delta V_o\%}{P_o} \tag{1.65}$$

Logo:

$$\overline{C_o} = 4 - 3.\alpha \tag{1.66}$$

A variação da capacitância de saída (para alta freqüência) normalizada em função de α é apresentada na figura 1.20.

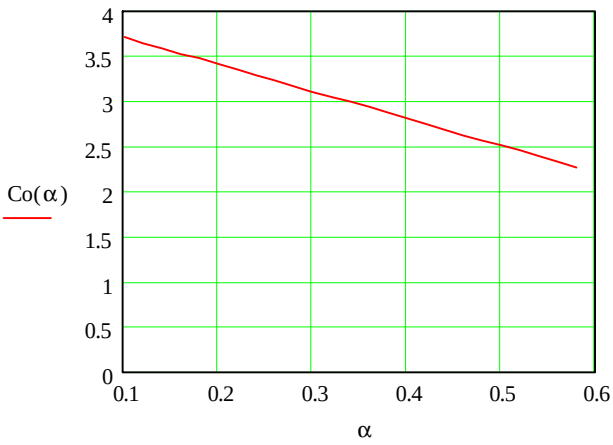


Figura 1.20 – Capacitância de saída (p/ alta freqüência) normalizada em função de α

No entanto, o fator determinante para o dimensionamento do capacitor de saída é a corrente eficaz que circula por ele, desta forma, torna-se imprescindível a determinação desta.

Conforme descrito no item 1.3.3, dentro de um ciclo de chaveamento, a seqüência de chaveamento é única para cada região de funcionamento. Para a região 3, tomada como exemplo neste trabalho, as etapas de operação são apresentadas na figura 1.9. Porém, para que a corrente eficaz no capacitor possa ser determinada, deve-se identificar a duração de cada uma das etapas de operação.

Os intervalos de tempo para cada etapa de operação podem ser determinadas através da condição de funcionamento do conversor dentre de um ciclo de chaveamento pela comparação das correntes instantâneas com a portadora PWM. A figura 1.21 mostra os pontos a serem determinados nesta análise, bem como o comportamento da corrente no capacitor para todo o ciclo de chaveamento.

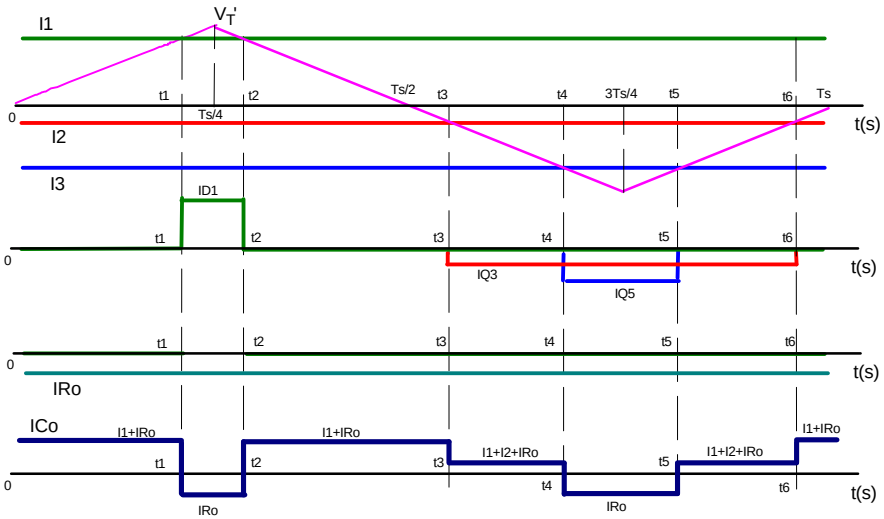


Figura 1.21 – Corrente no capacitor por intervalos de tempos

Utilizando-se dos conceitos de geometria, pode-se definir que a equação referente ao 1° trecho da portadora PWM (válido para $0 \le t \le {}^{Ts}\!/_{4}$)

Desta forma:

$$trecho_1(t) = V_T' . \frac{t}{{}^{T_S}\!/_{4}} = \frac{4.V_T'.t}{T_S} \tag{1.67}$$

Mas sabe-se que:

$$V_T' = \frac{I_P}{\alpha} \tag{1.68}$$

onde:

- IP = Corrente de pico de entrada
- α = índice de modulação

Logo,

$$trecho_1(t) = \frac{4.I_P.t}{\alpha.T_S} \tag{1.69}$$

Fazendo $t = t_1$, obtém-se

$$I_1 = \frac{4.I_P.t_1}{\alpha.T_S} \tag{1.70}$$

$$t_1 = \frac{I_1.\alpha.T_S}{4.I_P} \tag{1.71}$$

Por simetria:

$$t_2 = \frac{T_S}{2} - t_1$$

$$t_2 = \frac{T_S}{2} - \frac{I_1.\alpha.T_S}{4.I_P} = \frac{T_S}{2}\left(1 - \frac{I_1.\alpha}{2.I_P}\right) \tag{1.72}$$

Para a região $^{T_S}\!/_4 \le t \le {}^{3.T_S}\!/_4$, a equação da portadora PWM é dada por:

$$trecho_2(t) = 2V_T' - \frac{2V_T'.t}{{}^{T_S}\!/_2}$$

$$trecho_2(t) = 2\frac{I_P}{\alpha}\left(1 - \frac{2.t}{T_S}\right) \tag{1.73}$$

Para o tempo $t = t_3$,

$$I_2 = 2\frac{I_P}{\alpha}\left(1 - \frac{2.t_3}{T_S}\right)$$

$$t_3 = \frac{T_S}{2}\left(1 - \frac{I_2.\alpha}{2.I_P}\right) \tag{1.74}$$

Para o tempo $t = t_4$,

$$I_3 = 2\frac{I_P}{\alpha}\left(1 - \frac{2.t_4}{T_S}\right)$$

$$t_4 = \frac{T_S}{2}\left(1 - \frac{I_3.\alpha}{2.I_P}\right) \tag{1.75}$$

Por simetria entre as curvas:

$$t_5 = \frac{3.T_S}{4} + \left(\frac{3.T_S}{4} - t_4\right) \tag{1.76}$$

$$t_5 = T_S\left(1 + \frac{\alpha.I_3}{4I_P}\right) \tag{1.77}$$

Da mesma forma, defini-se $t = t_6$.

$$t_6 = \frac{3.T_S}{4} + \left(\frac{3.T_S}{4} - t_3 \right) \tag{1.78}$$

$$t_6 = T_S \left(1 + \frac{\alpha . I_2}{4 I_P} \right) \tag{1.79}$$

Uma vez determinados os tempos de comutação as chaves, pode-se definir a corrente eficaz no capacitor para um ciclo de chaveamento como sendo:

$$I_{Co\_ef\_Ts} = \sqrt{\frac{1}{T_S} \int_0^{T_S} {i_{Co}}^2 (t)\, dt} \tag{1.80}$$

$$I_{Co\_ef\_Ts} = \sqrt{\frac{1}{T_S} \left(\begin{array}{l} \int_0^{t_1} (I_1 + I_{Ro})^2\, dt + \int_{t_1}^{t_2} (I_{Ro})^2\, dt + \int_{t_2}^{t_3} (I_1 + I_{Ro})^2\, dt + \\ + \int_{t_3}^{t_4} (I_1 + I_2 + I_{Ro})^2\, dt + \int_{t_4}^{t_5} (I_{Ro})^2\, dt + \int_{t_5}^{t_6} (I_1 + I_2 + I_{Ro})^2\, dt + \\ + \int_{t_6}^{T_S} (I_1 + I_{Ro})^2\, dt \end{array} \right)} \tag{1.81}$$

$$I_{Co\_ef\_Ts} = \sqrt{\frac{1}{T_S} \left(\begin{array}{l} (I_1 + I_{Ro})^2 . t_1 + (I_{Ro})^2 (t_2 - t_1) + (I_1 + I_{Ro})^2 (t_3 - t_2) + \\ + (I_1 + I_2 + I_{Ro})^2 (t_4 - t_3) + (I_{Ro})^2 (t_5 - t_4) + \\ + (I_1 + I_2 + I_{Ro})^2 (t_6 - t_5) + (I_1 + I_{Ro})^2 (t_6 - T_S) \end{array} \right)} \tag{1.82}$$

Uma vez definida a corrente no capacitor para um ciclo de chaveamento, ela pode ser expandida para um ciclo de rede. Porém, o modelo só é válido para o intervalo entre $\pi/2 \le \omega t \le 2\pi/3$, mas como a função é periódica no tempo e o valor eficaz neste intervalo é o mesmo valor encontrado para o intervalo $0 \le \omega t \le 2\pi$, a corrente eficaz no capacitor para um ciclo de rede é:

$$I_{Co\_ef} = \sqrt{\frac{\pi}{6} \int_{\pi/2}^{2\pi/3} I_{Co\_ef\_Ts} (\omega t)^2\, dt} \tag{1.83}$$

1.5 Conclusão

Este capítulo abordou o funcionamento do conversor, ressaltando suas etapas e regiões de operação, bem como circuitos equivalentes e modelos simplificados de análise. Além disto, buscou-se também repassar a experiência adquira na análise das regiões e etapas de operação para que, em caso de necessidade, o leitor possa fazer uma análise

semelhante para o conversor em um outro ponto qualquer de operação e servindo de base para a análise de conversores similares.

Também fez parte deste capítulo o equacionamento do conversor (análise quantitativa), o que permite ao projetista fazer a especificação da parte de potência do conversor de acordo com os parâmetros de entrada existentes. Os ábacos traçados em função de α tem como objetivo tornar a adequação do projeto para novas condições de operação mais rápidas do que a execução de toda a marcha de cálculo.

2 Projeto do circuito de potência do conversor

Conforme apresentado anteriormente, o retificador bidirecional trifásico é um conversor bastante versátil e o segredo de sua versatilidade está na forma de como o controle age sobre a estrutura de modo que ela desempenhe as funções esperadas. Apesar da grande versatilidade do conversor, o projetista que irá desenvolver o controle não está livre de saber como projetar o conversor e como analisar o seu funcionamento.

Foi pensando nisto que se desenvolveu este capítulo. Partindo dos requisitos de projeto e com o auxílio do equacionamento já desenvolvido, inicia-se por determinar as características necessárias aos componentes que irão compor o circuito de potência do conversor. Com base nestas características, pode-se projetar ou definir quais componentes disponíveis para a implementação do protótipo estão aptos a fazerem parte do projeto.

2.1 Especificação do conversor

Como o objetivo deste item é servir de subsídio para a implementação do circuito em bancada, serão utilizados na especificação do conversor os dados relativos ao projeto a ser implementado.

Desta forma, têm-se os parâmetros utilizados na especificação do conversor apresentada na Tabela 2.1:

Tabela 2.1 – Parâmetros de projeto

Potência de saída	$P_O = 2500W$
Tensão de saída	$V_O = 400V$
Tensão eficaz de fase (alimentação)	$V_{IN} = 127Vrms$
Ondulação de corrente (%máxima)	$\Delta I_L = 0,10$ (10%)
Ondulação na tensão de saída (%máxima)	$\Delta V_O = 0,01$ (1%)
Freqüência de chaveamento	$f_S = 20kHz$
Período de amostragem	$T_a = 1/20kHz$
Freqüência da rede	$f = 60Hz$
Rendimento esperado para o conversor	$\eta = 0,87$

2.2 Dimensionamento do indutor

O indutor pode ser calculado a partir da equação (1.24), a qual relaciona o valor da indutância aos parâmetros utilizados na especificação do conversor.

Desta forma, pode-se calcular o valor do indutor L como sendo

$$L = \frac{3\eta.V_p^{\,2}\left[2.V_o - 3.V_p\right]}{4.\Delta I_L\%.fs.V_o.P_o} = \frac{3.0,87.180^2\left[2.400 - 3.180\right]}{4.0,10.20000.400.2500} = 2,75mH \quad (2.1)$$

Sendo este o valor mínimo para o projeto.

Outros valores importantes para o projeto do indutor são:

Corrente eficaz ð equação (1.29)

$$I_{L\_ef} = \frac{\sqrt{2}.P_o}{3.V_p\eta} = \frac{\sqrt{2}.2500}{3.180.0,87} = 7,54A \quad (2.2)$$

Corrente de pico ð equação (1.10)

$$I_{L\_pico} = I_p = \frac{2.P_o}{3.V_p.\eta} = \frac{2.2500}{3.180.0,87} = 10,67A \quad (2.3)$$

Corrente média ð $I_{L\_med} = 0A$ (2.4)

De posse dos valores de indutância e correntes apresentados acima, pode-se especificar fisicamente o indutor a ser utilizado, caracterizando seus parâmetros construtivos conforme mostrado na seqüência.

Para o dimensionamento físico do indutor, deve-se inicialmente determinar o núcleo a ser utilizado. Como o indutor necessário é relativamente grande, vamos fazer o projeto do indutor final como sendo 2 indutores de 1,37mH ligados em série, tornando possível a confecção dos indutores a partir dos núcleos magnéticos pré-existentes.

Considerando que os valores de densidade de corrente, fluxo magnético e fator de preenchimento da janela do núcleo devem ser arbitrados inicialmente, utilizaram-se valores convencionais de projeto, sendo apresentados abaixo:

Fluxo magnético ð $B_{max} = 0,3T$ (2.5)

Densidade de corrente ð $J_{max} = 300\,{}^{A}\!/_{cm^2}$ (2.6)

Fator de preenchimento da janela do núcleo ð kw = 0,7 (2.7)

De posse destes dados, pode-se determinar o produto de áreas mínimo necessário para o núcleo a ser escolhido, desta forma:

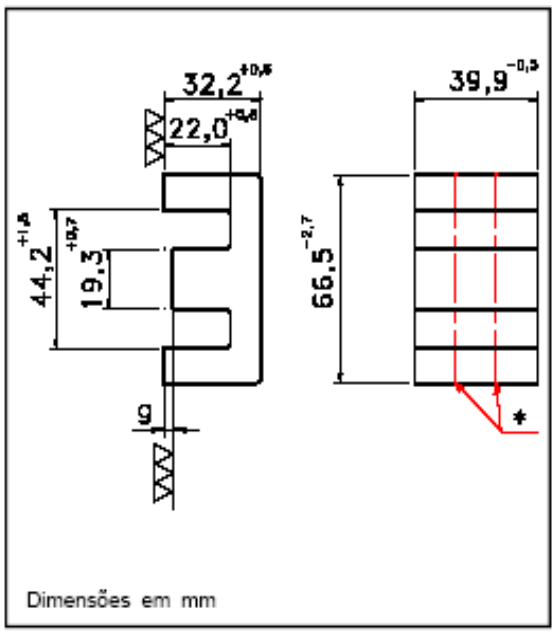
$$Ae \cdot Aw = \frac{L.I_{L\_pic}.I_{L\_ef}}{B_{max}.J_{max}.k_w} = \frac{1,37m.10,67.7,54}{0,3.300.0,7} = 17,55cm^4 \quad (2.8)$$

onde:

Ae ð Área efetiva do núcleo (mm^2)

Aw ð Área da janela do núcleo (mm^2)

Para atender a este produto de áreas necessário, opta-se por utilizar o núcleo modelo NEE-65/33/39 da Thornton, o qual apresenta produto de áreas de 35,112 cm^4 , já considerando o carretel sobre o qual o indutor será enrolado. A geometria do núcleo escolhido é apresentada abaixo na Figura 2.1, a qual foi retirada do catálogo eletrônico da Thorton.



PARÂMETROS EFETIVOS DO NÚCLEO

Fat. do Núcleo	∑ l/A	0,16	mm⁻¹
Compr. Efetivo	Le	147,0	mm
Área Efetiva	Ae	798,0	mm ²
Área Mínima	Amin		mm ²
Volume Efetivo	Ve	117300,0	mm ³
Peso aprox. (pç)		307,0	g

Figura 2.1 – Núcleo de ferrite escolhido para o projeto do indutor

O número de espiras necessário ao indutor é calculado conforme a equação (2.9), sendo este sempre arredondado para cima.

$$n^o\ espiras = \frac{L.I_{L\_pic}}{B_{\max}.Ae} = \frac{1,37m.10,66}{0,3.7,98.10^{-4}} = 62 \qquad (2.9)$$

Onde o valor de Ae é retirado da tabela de características do núcleo existente na figura 2.1.

Devido à elevada freqüência de chaveamento do conversor, deve-se estar atento ao efeito pelicular que existirá sobre os condutores do circuito. Pode-se então calcular o diâmetro máximo para o condutor a ser utilizado para a construção do indutor de modo que não haja desperdício de cobre no condutor e com um menor volume para o indutor. Desta

forma, utilizando-se o coeficiente de penetração no cobre, pode-se calcular o diâmetro máximo do condutor como sendo:

$$D_{\max} = \frac{15.cm.s^{-0.5}}{\sqrt{fs}} = \frac{15}{\sqrt{20000}} = 0{,}106\,cm \quad (2.10)$$

Sabendo-se o valor máximo para o diâmetro do fio que comporá o indutor, opta-se por utilizar o fio AWG 19, o qual apresenta as seguintes características:

Diâmetro do fio nú ð D_{19} = 0,091cm (2.11)

Área do fio nú ð S_{19} = 0,65 mm^2 (2.12)

Área do fio isolado ð S_{19_isol} = 0,785mm^2 (2.13)

Resistência do fio a 100ºC ð $R_{19\_100°C}$ = 0,035 Ω/m (2.14)

A área de cobre necessária para o indutor pode ser calculada como sendo uma relação entre a corrente que deverá passar pelo indutor pela densidade máxima de corrente suportável pelo cobre. Assim, a área de cobre do indutor é dada por:

$$S_{indutor} = \frac{I_{L\_ef}}{J_{\max}} = \frac{7{,}54}{300} = 2{,}514\,mm^2 \quad (2.15)$$

Desta forma, o número de fios paralelos que irão compor o indutor é uma relação direta entre a área necessária ao indutor e a área de cada fio AWG 19, arredondando o valor para cima. Assim:

$$n^o\ fios = \frac{S_{indutor}}{S_{19}} = 5 \quad (2.16)$$

Sabendo-se que o diâmetro do fio de cobre isolado é maior do que o diâmetro do fio de cobre nú e que há um fator de enchimento da janela do núcleo, pode-se fazer uma verificação da possibilidade de realização do projeto como sendo:

$$Area\ necessaria = \frac{n^o\ espiras.S_{19\_isol}.n^o\ fios}{k_w} = \frac{73.0{,}00785.5}{0{,}7} = 2{,}783\,cm^2 \quad (2.17)$$

Como a área necessária para a janela do núcleo é menor do que a área disponível, mesmo considerando o carretel para enrolar o indutor, o projeto é fisicamente realizável.

Considerando a permeabilidade magnética (μ_o) como sendo:

$$\mu_o = 4.\pi.10^{-7}\ H/m \quad (2.18)$$

O entreferro em cada perna do núcleo magnético do indutor pode ser calculado como sendo:

$$entreferro = \frac{\left(n^o\ espiras\right)^2 .\mu_o .Ae}{2.L} = 1,40\,mm \tag{2.19}$$

2.3 Dimensionamento do capacitor

O capacitor de saída pode ser calculado a partir da equação (1.64), a qual relaciona o valor da capacitância aos parâmetros utilizados na especificação do conversor.

Desta forma, pode-se calcular o valor do capacitor C_o como sendo:

$$C_o = \frac{P_o.\left(2.V_o - 3.V_p\right)}{2.fs.V_o^{\,3}.\Delta V_o} = \frac{2500.\left(2.400 - 3.180\right)}{2.20000.400^3.0,01} = 25.51\ \mu F \tag{2.20}$$

Sendo este valor o valor mínimo para o projeto.

Outros valores importantes para o projeto do capacitor são:

Corrente eficaz → equação (1.83)

$$I_{Co\_ef} = 5,67\,A \tag{2.21}$$

Corrente de pico → $I_{Co\_pic} = I_{Ro} = 6,25A$ (2.22)

Corrente média → $I_{Co\_med} = 0A$ (2.23)

Tensão de saída → $V_{Co} = 400V$ (2.24)

Como a corrente eficaz no capacitor é relativamente alta, será empregado no projeto um banco de capacitores cujo valor resultante será de 1500μF.

2.4 Dimensionamento dos interruptores

Alguns valores importantes para o projeto das chaves são:

Corrente eficaz → equação (1.39)

$$I_{Q\_ef} = \frac{\sqrt{6}}{18}\frac{2500}{0,87.180}.\sqrt{8.\frac{2.180}{400} + 3\pi} = 5,01A \tag{2.25}$$

Corrente de pico → equação (1.10)

$$I_{Q\_pic} = I_p = \frac{2.P_o}{3.V_p.\eta} = \frac{2.2500}{3.180.0,87} = 10,66A \tag{2.26}$$

Corrente média ð equação (1.44)

$$I_{Q\_med} = \frac{2500}{12.\pi.0,87.180}.\left(4 + \frac{2.180}{400}.\pi\right) = 3,02A \quad (2.27)$$

Tensão máxima reversa ð $V_{Q\_pic} = V_o = 400V$ (2.28)

2.5 Dimensionamento dos diodos

Alguns valores importantes para o projeto dos diodos são:

Corrente eficaz ð equação (1.49)

$$I_{D\_ef} = \frac{1}{18}.\frac{2500}{0,87.180}.\sqrt{\frac{6}{\pi}.\left(3\pi - 8.\frac{2.180}{400}\right)} = 1,84A \quad (2.29)$$

Corrente de pico ð equação (1.10)

$$I_{D\_pic} = I_p = \frac{2.P_o}{3.V_p.\eta} = \frac{2.2500}{3.180.0,87} = 10,66A \quad (2.30)$$

Corrente média ð equação (1.54)

$$I_{D\_med} = \frac{2500}{12.\pi.0,87.180}.\left(4 - \frac{2.180}{400}.\pi\right) = 0,36A \quad (2.31)$$

Tensão máxima reversa ð $V_{D\_pic} = V_o = 400V$ (2.32)

2.6 Dimensionamento dos dissipadores

O projeto do conversor também inclui o projeto do dissipador. Para a determinação da resistência térmica máxima que deve apresentar o dissipador a ser utilizado, fez-se uso da técnica apresentada por Bascopé e Perin em [6], o qual permite considerar diversas chaves sobre um mesmo dissipador.

O dissipador será projetado considerando que os diodos e interruptores serão partes componentes do módulo SK 45 GB 063 da Semikron. O porquê da utilização deste módulo semicondutor para balizar os cálculos do dissipador será apresentado abaixo, onde serão feitas considerações gerais sobre o projeto do conversor.

Através do catálogo eletrônico da Semikron para o módulo SK 45 GB 063 pode-se extrair as seguintes informações:

Temperatura máxima da junção ð $Tj_{\max} = 150^oC$ (2.33)

Resistência térmica junção-capsula para o IGBT ð $Rth_Q = 1,00\ ^K/_W$ (2.34)

Resistência térmica junção-capsula para o diodo ð $Rth_D = 1,20\,^{K}/_{W}$ (2.35)

Resistência do diodo em condução ð $r_T = 9,0m\Omega$ (2.36)

Tensão de junção para o diodo em condução ð $V_{TO} = 0,85V$ (2.37)

Considerando que as perdas nos componentes serão calculadas para uma tensão de gatilho V_G = 15V, uma resistência de gate R_G=22Ω e uma temperatura de junção de 125ºC durante a operação do conversor, pode-se retirar o valores abaixo apresentados dos ábacos existentes na folha de dados fornecidas pela Semikron.

Energia dissipada no IGBT na comutação (E_{on}+E_{off}) ð $E_Q = 1mW.s$ (2.38)

Energia dissipada no bloqueio do diodo ð $E_D = 0,2mW.s$ (2.38)

Tensão de saturação para a junção do IGBT ð $V_{CE\_sat} = 1,2V$ (2.39)

De posse destes dados, pode-se determinar as perdas nos semicondutores de forma simplificada como sendo:

Perda nos IGBTs ð $P_Q = E_Q.fs + I_{Q\_med}.V_{CE\_sat} = 20,60W$ (2.40)

Perda nos diodos ð $P_D = E_D.fs + I_{D\_med}.V_{TO} + r_T.I_{D\_ef}{}^2 = 4,46W$ (2.41)

A temperatura no dissipador pode ser calculada como sendo:

$$T_{dissipador} = T_j - \left[Rth_Q.\left(6.P_Q\right) + Rth_D.\left(6.P_D\right) \right]$$

$$T_{dissipador} = 125 - \left[1,0.\left(6.20,60\right) + 1,2.\left(6.4,46\right) \right] = 33,5^{o}C \quad (2.42)$$

Considerando a temperatura ambiente de 30ºC, pode-se calcular a resistência térmica máxima do dissipador como sendo:

$$Rth_{Dissipador} = \frac{T_{Dissipador} - T_{ambiente}}{6.P_Q + 6.P_D}$$

$$Rth_{Dissipador} = \frac{33,5 - 30,0}{6.20,60 + 6.4,46} = 0,023\,^{K}/_{W} \quad (2.43)$$

2.7 Considerações sobre o projeto

Como o objetivo desta análise e projeto do conversor é servir de subsídio para a implementação física do conversor, algumas considerações tiverem que ser feitas durante o projeto do conversor para possibilitar a implementação do mesmo. Com isto, a escolha do núcleo de ferrite e o fio que serão utilizados para a construção do indutor de entrada foram definidos levando em conta a disponibilidade de materiais existentes para a confecção do

protótipo. Situação semelhante aconteceu com a escolha dos semicondutores, o projeto foi feito considerando o uso futuro do módulo trifásico Semikron *B6U+B6I+E1lF*; então, os semicondutores considerados no projeto, *SK 45 GB 063*, são os mesmos existentes neste módulo da Semikron.

O valor do capacitor de saída C_o também é determinado pela existência do banco capacitivo de 1,5mF do módulo da Semikron.

De acordo com os esforços calculados para os semicondutores, pode-se concluir que é possível o uso do módulo trifásico Semikron *B6U+B6I+E1lF* para a implementação física do protótipo projetado.

2.8 Conclusão

Embora o foco deste trabalho, de um modo geral, seja a implementação do controle do conversor em um DSP, faz-se necessário que o projeto como um todo seja dividido em diversas partes. Dentro destas partes, inclui-se o circuito de potência o qual deve atender aos requisitos de projeto e operação do conversor.

Então, justifica-se este estudo realizado com base na especificação do circuito de potência do conversor como sendo uma etapa necessária para a confecção do protótipo; além de fornecer subsídio para avaliar se os componentes e materiais que estavam a disposição atendiam as necessidades do uso ou não.

A determinação física do indutor também foi mostrada com o intuito deste material servir de subsídio e exemplo para novos projetos de conversores, por isto chegou-se a tal nível de detalhamento.

3 Controle Digital

3.1 Resumo Histórico

Segundo Prado Junior em [28], no final da década de 50, as companhias Texaco e TWE começaram a desenvolver estudos de viabilidade tecnológica para a implantação de controles digitais para substituir os controladores analógicos. Nesta etapa de desenvolvimento, problemas como o elevado custo, o grande tamanho, a baixa velocidade, a alta dissipação de potência, a pouca capacidade de memória e a baixa confiabilidade eram limitantes na aplicação do sistema.

Com o desenvolvimento da micro-eletrônica, esta situação foi se revertendo gradativamente. Já no final dos anos 60 surgiram os primeiros mini-computadores de 16 bits. Com o tamanho reduzido e uma maior confiabilidade, foram de grande importância no que se refere ao desenvolvimento da metodologia de controle digital, embora o custo ainda fosse proibitivo para aplicações em larga escala.

Com o surgimento dos micro-processadores integrados, em meados dos anos 70, o preço dos computadores sofreu uma enorme redução, permitindo assim que o controle digital passa a se tornar uma alternativa viável, mesmo para pequenas aplicações, onde os microprocessadores estão substituindo componentes analógicos, inclusive em controladores de malha única.

No início do desenvolvimento do controle digital, devido à pouquíssima confiabilidade dos sistemas eletrônicos, os computadores exerciam um papel meramente supervisório e/ou de monitoração. O processamento digital se resumia a fazer uma coleta de dados analógicos e comparar a referências pré-determinadas e determinar situações anômalas e gerar relatórios de operação.

Quando os sistemas digitais passaram a apresentar uma maior confiabilidade, os computadores digitais passaram a gerar os sinais de referência para os controladores analógicos, permitindo alterar os pontos de operação do sistema através de software.

Numa última etapa na evolução dos sistemas digitais utilizados para controle de processos, o controle das variáveis e o processamento das informações são todos feitos digitalmente, dispensando o uso de controladores analógicos. As vantagens desta topologia de controle é que os algoritmos de controle, softwares, podem ser alterados sem a

necessidade de qualquer mudança de hardware, redução no tamanho final, exploração de diferentes técnicas de controle, entre outros.

Toda a interface do mundo analógico com o mundo digital é feita a partir de conversores analógicos-digitais (A/D) e o retorno das informações do mundo digital para o analógico é feito por conversores digitais-analógicos (D/A); um estudo mais detalhado sobre estes conversores será feito no decorrer deste capítulo.

3.2 Características de sinais digitais

3.2.1 Sinais Contínuos, Discretos e Digitais

Por definição, conforme Ogata [24], sistemas contínuos, ou de tempo contínuo, são aqueles para os quais os valores da grandeza variam continuamente ao longo de um intervalo de tempo, ou seja, o valor da grandeza é definido em todo o intervalo de tempo sob análise e a amplitude da grandeza pode assumir infinitos valores dentro do intervalo. São exemplos típicos de sinais contínuos todas as variáveis analógicas encontradas na natureza, tais como temperatura, pressão, velocidade, entre outras.

Sistemas discretos, ou de tempo discreto, são aqueles em que os valores da variável são definidos para instantes discretos, ou seja, a grandeza não apresenta uma variação contínua no tempo, pois a variável é uma série de valores definidos para pontos específicos denominados passos, sem a necessidade de uma relação direta com o tempo. São exemplos típicos deste tipo de grandeza índices econômicos tais como taxa de juros e rendimento de aplicações que são definidos mensalmente, ou saldo de contas que são definidos diariamente.

Os sinais digitais, por sua vez, são sinais de tempo discreto e de amplitudes também discretizadas, podendo assumir apenas determinados valores, ou níveis, pré-estabelecidos.

A figura 3.1 ilustra os diferentes tipos de sinais apresentados anteriormente.

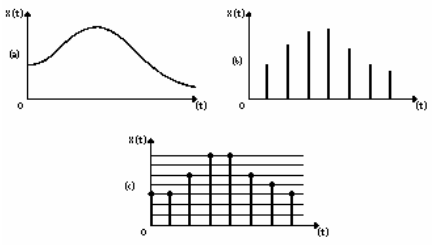


Figura 3.1 – Sinais contínuos, discretos e digitais

A descrição matemática de sistemas de tempo contínuo geralmente é feita por meio de equações diferenciais e para sistemas de tempo discreto são utilizadas equações de diferenças.

3.2.2 Discretização e Amostragem

Os conceitos referentes ao controle de sinais digitais geralmente são aplicados a plantas ou processos físicos ou não. Porém, a maior parte das plantas e/ou processos envolvem sinais contínuos no tempo, e para tornar possível o uso de controladores digitais no sistema de controle da planta é necessário que os sinais contínuos sejam discretizados, este processo é composto por duas etapas, o processo de amostragem (no tempo) e quantização (em amplitude), conforme discutido nas bibliografias de [24, 25, 26].

O processo de amostragem consiste em transformar um sinal contínuo no tempo em uma seqüência de valores discretos espaçados igualmente no tempo. Com relação ao processo de amostragem, a freqüência com que o sinal contínuo é amostrado deve ser definida de acordo com o Teorema de Nyquist, e para que o sinal contínuo possa ser recuperado sem que a informação contida no sinal seja perdida ou distorcida.

Em geral, o processo de amostragem é seguido pelo processo de quantização, o qual consiste em atribuir ao valor amostrado um valor constante em um código previamente conhecido. Para processamentos digitais, as amostras são geralmente quantizadas conforme uma seqüência binária. Como os valores utilizados para quantizar as amostras são finitos, estes valores possuem um erro de quantização inerente ao processo. Este erro diminui na medida em que uma maior gama de valores podem ser utilizados no código de quantização. Em geral, para análises de sistemas digitais, os processos de quantização e de amostragem são abordados conjuntamente, pois ambos fazem partes de um único bloco do circuito, o conversor analógico-digital (A/D). A figura 3.2 ilustra o processo de amostragem e quantização do sinal.

Depois de processado, o sinal volta a ser contínuo através de circuitos como os seguradores de ordem zero ou de primeira ordem (holders). Os circuitos seguradores são os estágios de saída dos conversores digitais-analógicos (D/A) e o seu princípio de funcionamento é ilustrado na figura 3.2.

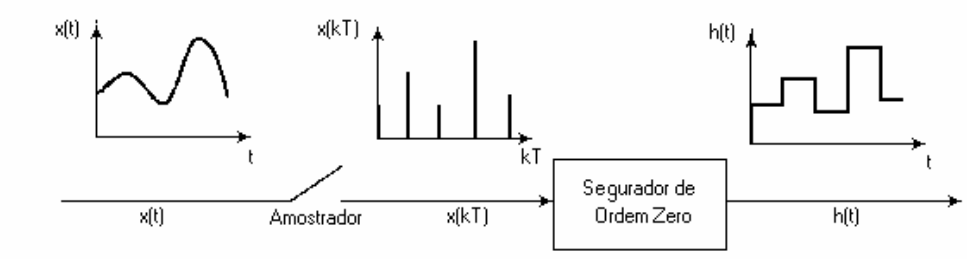


Figura 3.2 – Conversão Analógica-Digital e Digital-Analógica de um sinal

Intuitivamente, parece que se o intervalo de amostragem tender a zero, isto é, a freqüência de amostragem tender para infinito, o processo discreto tende ao sinal analógico com um menor erro e, assim, o controle digital se aproximaria do controle contínuo. Esta hipótese é correta, porém, não implementável, pois isto requer o uso de amostras cada vez mais próximas uma das outras, e sua representação por números binários teria que ser feita por um número maior de bits na palavra de quantização, considerando que a diferença entre duas amostras consecutivas será cada vez menor quanto maior for a freqüência de amostragem. Há ainda que se considerar os limites de freqüência de operação dos processadores digitais, que também servem como limitadores neste processo.

Por outro lado, se a freqüência de amostragem não for suficientemente alta quando comparada com a componente de mais alta freqüência do sinal amostrado, pode-se ter problemas de sub-amostragem, conforme o teorema de Nyquist. Para evitar que o espectro de freqüência do sinal amostrado contenha componentes indesejáveis, utilizam-se filtros anti-aliasing para evitar sobreposição espectral durante o processo de amostragem.

3.3 Transformada z

3.3.1 Definição

Conforme Barczak em [5], os conceitos da Transformada ***z*** foram utilizados por Laplace e Moivre em seus trabalhos relacionados à teoria das probabilidades. Entretanto, a redescoberta da Transformada ***z*** resultou da análise de problemas de engenharia envolvendo sistemas de controle e dados amostrados que surgiram durante a II Guerra Mundial.

A Transformada ***z*** é uma ferramenta matemática normalmente utilizada no processo de análise e síntese em sistemas de controle discreto. É uma ferramenta similar à Transformada de Laplace para sistemas de controle para sinais contínuos no tempo e equações diferenciais.

A Transformada ***z*** bilateral de um sinal discreto no tempo f(n) pode ser definida como o seguinte somatório

$$Z[f(n)] = \sum_{n=-\infty}^{+\infty} f(n) z^{-n} \qquad (3.1)$$

O somatório corresponde a uma série de potências em z $^{-1}$ onde os coeficientes representam as amplitudes das parcelas (amostras) do sinal.

Nas aplicações em controle discreto para sistemas causais, a utilização da Transformada ***z*** é feita considerando apenas n $\geq$ 0, ou seja, os valores de f(n) para n < 0 são nulos. Esta simplificação define a Transformada z unilateral, que é aplicada considerando que o sistema esteja em repouso para tempos anteriores ao início da análise.

Através do uso da Transformada ***z*** pode-se transformar a equação de diferenças característica de um sinal discreto em uma equação algébrica, o que elimina a necessidade de processos recorrentes para identificar a resposta do sistema a variações dos sinais de entrada.

Uma segunda maneira de se definir a Transformada ***z*** é por meio da aplicação da Transformada de Laplace a um sistema amostrado. Um amostrador ideal converte uma função contínua f(t) em uma seqüência de impulsos f*(t). O amostrador ideal pode ser modelado como uma multiplicação entre o sinal analógico e um trem de impulsos igualmente espaçados, figura 3.3. O trem de impulsos pode ser definido como

$$\delta_T = \sum_{n=-\infty}^{\infty} \delta(t - nT_a) \qquad (3.2)$$

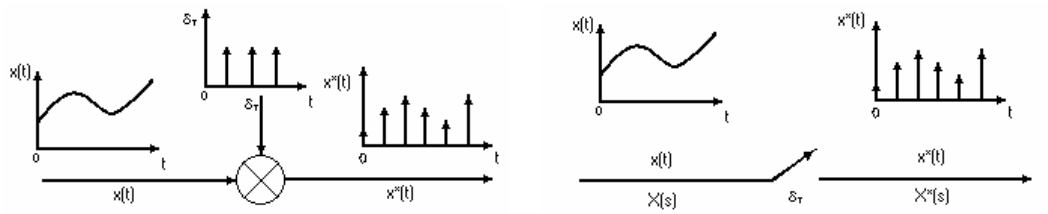


Figura 3.3 – Modulação por trem de impulsos

onde T_a é o espaçamento entre os impulsos e δ_T é impulso unitário(função delta de Dirac).

Considerando que f(t) = 0 para todo t < 0 e que cada amostra f(nT) é a amplitude do enésimo impulso da função modulada por $\delta_T(t)$. Então, pode-se escrever que

$$f^*(t) = \sum_{n=0}^{\infty} f(nT_a).\delta(t - nT_a) \qquad (3.3)$$

Aplicando a transformada de Laplace em (3.3), tem-se

$$F^*(s) = £[f^*(t)] = £\left[\sum_{n=0}^{\infty} f(nT_a).d(t - nT_a)\right] =$$

$$= \sum_{n=0}^{\infty} f(nT_a).£[d(t - nT_a)] = \sum_{n=0}^{\infty} f(nT_a).e^{-nT_a s} \qquad (3.4)$$

Fazendo z = e^{sTa} , obtém-se finalmente:

$$Z[f^*(t)] = F(z) = \sum_{n=0}^{\infty} f(nT_a).z^{-n} \qquad (3.5)$$

Utilizando-se a mesma relação apresentada acima, onde $z = e^{sT_a}$, pode-se aplicar a Transformada ***z*** em diversos teoremas, propriedades e expressões que são de grande importância prática no projeto de sistemas de controle, tais como o princípio da superposição, teorema do deslocamento temporal, teorema do valor inicial e final dentre outros. Estas demonstrações podem ser encontradas na bibliografia técnica referenciada no final do trabalho de [24] a [26] e em outras pertinentes ao assunto.

Da mesma forma que a Transformada inversa de Laplace para sistemas contínuos, a Transformada ***z*** inversa, na teoria de controle, não desempenha função de destaque no projeto do controlador. Por outro lado, a Transformada ***z*** inversa obtida pelos métodos de expansão em frações parciais e o método da expansão em série de potência têm utilidade no processo de implementação dos algoritmos de controle.

3.3.2 Função de Transferência em z

Quando se executa a transformação do plano ***s*** para o plano ***z*** através da relação $z = e^{sT_a}$, considerando o conceito de amostragem através de impulsos (que é um processo meramente matemático), a análise de sistemas de controle em tempo discreto modelados a partir da variável complexa **z** é possível para qualquer sinal, assim como a abordagem de controle clássico permite trabalhar com as funções características após a Transformada de Laplace, desde que os amostradores e retentores sejam posicionados corretamente.

Para tornar possível a aplicação das técnicas de controle para sistemas contínuos, os amostradores (samplers) e os retentores de ordem zero (holders) devem ser representados matematicamente pelo multiplicador com impulsos e pela função de transferência $\frac{1 - e^{-sT_a}}{s}$, respectivamente. O propósito destas simplificações é proporcionar consistência à análise

matemática, já que fisicamente não é possível implementar um amostrador a partir de um gerador de impulsos.

A partir do que foi exposto acima, pode-se utilizar as definições de função de transferência definidas a partir de Laplace para estendê-las a sistemas discretos e estabelecer as relações que definem a função de transferência no plano ***z***. Existem duas maneiras distintas para se definir a função de transferência em ***z***, através da resposta do sistema ao impulso unitário e através das equações diferenças do sistema. Desta forma, pode-se determinar as funções de transferência em malha aberta e em malha fechada.

Para mostrar como o posicionamento dos amostradores interfere diretamente na função de transferência do sistema, a figura 3.4 apresenta dois sistemas semelhantes, exceto pela inclusão de um amostrador na entrada do bloco H(s).

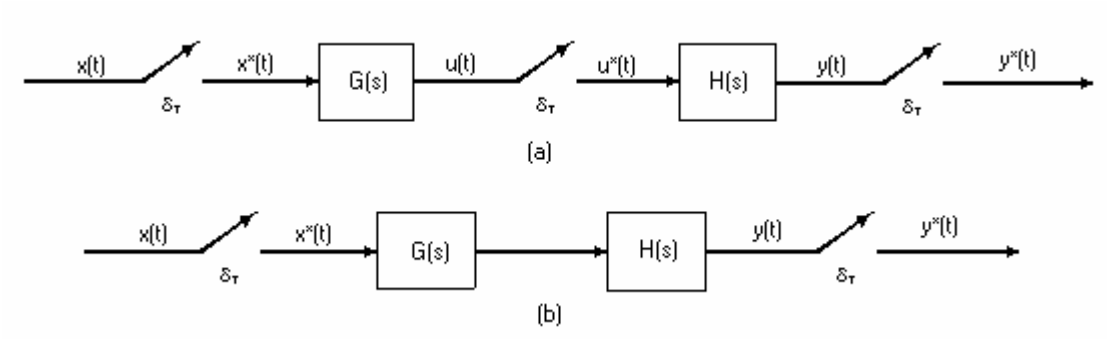


Figura 3.4 – Definição das funções de transferência

Para o caso da figura 3.4a, a função de transferência é definida como $\frac{Y(z)}{X(z)} = G(z)H(z)$ e para a figura 3.4b a função de transferência é $\frac{Y(z)}{X(z)} = GH(z)$. Deste modo, verifica-se que os sistemas apresentam respostas distintas para a mesma entrada devido à digitalização de um sinal intermediário no processo.

3.4 Controle de Sistemas Amostrados

Técnicas de projeto para sistemas de controle discreto baseados nas técnicas convencionais de controle têm sido utilizadas desde a década de 50. Adaptações das técnicas convencionais têm sido amplamente utilizadas em aplicações industriais, onde a experiência adquirida e a familiaridade com os métodos do lugar das raízes e com a resposta em freqüência são de grande valor para o projeto de sistemas discreto.[5, 24]

3.4.1 Mapeamento entre o Plano s e o Plano z

Tal como em sistemas contínuos, a estabilidade de um sistema pode ser avaliada pelo posicionamento dos pólos do sistema, obtidos a partir da equação característica do sistema.

Como as variáveis **z** e **s** são relacionadas pela relação $z = e^{sT_a}$, o posicionamento dos pólos no plano ***z*** pode ser definida, desde que seja conhecido o período de amostragem T_a. Em outras palavras, o posicionamento dos pólos nos plano ***z*** depende da amostragem do sinal.

Como **s** é uma variável complexa do tipo $s = \sigma + j\omega$, **z** também o será. Partindo deste pré-suposto, pode-se chegar a

$$z = e^{T_a(\sigma + j\omega)} = e^{T_a\sigma} e^{jT_a\omega} = e^{T_a\sigma} e^{j(T_a\omega + 2\pi k)} \qquad (3.6)$$

Sabendo-se que para um sistema no plano ***s*** ser estável todos os pólos deste devem estar localizados no semi-plano esquerdo, ou seja, ter uma componente real negativa, pode-se chegar ao fato de que

$$|z| = e^{T_a\sigma} < 1 \qquad (3.7)$$

Ainda pela análise da equação (3.6), pode-se verificar que o ângulo de z ($\angle z = \omega T_a$) pode variar entre $-\infty$ e $+\infty$. Porém, para uma representação gráfica, o ângulo é limitado a $\pm\pi$ ($-j\frac{1}{2}\omega_s \leq \omega T \leq j\frac{1}{2}\omega_s$, onde ω_s é a freqüência de amostragem). Logo, o plano ***s*** é mapeado no plano ***z*** de modo que diversas faixas são sobrepostas umas sobre às outras, pois uma circunferência completa se repete com período $2\pi/T_a$. A figura 3.5 ilustra esta característica, onde o eixo imaginário do plano ***s*** é mapeado em ***z*** como um círculo de raio unitário.

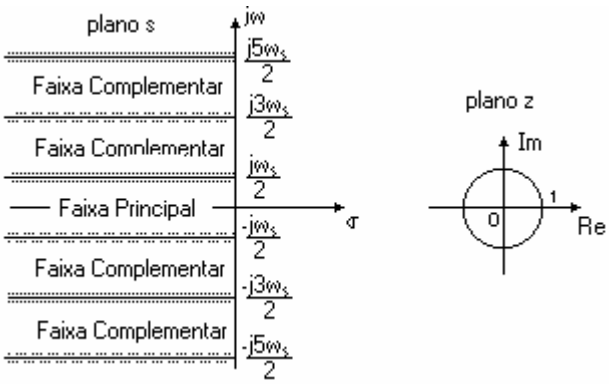


Figura 3.5 – Região de mapeamento entre os planos s e z

3.4.2 Análise de Estabilidade

Considerando um sistema genérico cuja função de transferência é

$$\frac{Y(z)}{X(z)} = \frac{G(z)}{1+GH(z)} \tag{3.8}$$

A estabilidade do sistema é determinada com base na localização dos pólos em malha fechada, que são definidos como as raízes do polinômio característico P(z)

$$P(z) = 1 + GH(z) = 0 \tag{3.9}$$

Para que o sistema seja estável, todos os pólos devem estar localizados dentro do círculo unitário, não importando o posicionamento dos zeros. Se um dos pólos estiver localizado sobre o círculo unitário, o sistema se torna criticamente estável, se este pólo for múltiplo ou se houver um outro pólo sobre o círculo unitário o sistema se torna instável.

Acompanhar a evolução no deslocamento dos pólos devido a uma alteração nos ganhos do sistema é uma tarefa não trivial, feita geralmente por meios computacionais e ferramentas matemáticas apropriadas. Porém, existem outros métodos para testar a estabilidade absoluta do sistema a partir da análise da equação característica sem a necessidade calcular as raízes do polinômio.

Os testes de estabilidade de Jury e Schur-Cohn indicam a existência de pólos não estáveis, mas não fornecem a localização deste pólo instável. Um terceiro teste possível é uma variação do método de Routh-Huwirtz em conjunto com a transformada bilinear, para o qual a solução não é trivial e é feita com o auxílio computacional, conforme comentado em [5].

A teoria relativa à análise da estabilidade de sistemas amostrados apresenta três principais métodos de projeto para controladores de sistemas discretos, os quais são descritos a seguir.

3.4.3 Projeto baseado no método analítico

As funções de transferência em ***z*** do controlador são escolhidas com o objetivo de atribuir ao sistema a característica desejada.

Para a determinação da função em ***z***, a Transformada ***z*** deverá ser aplicada à função no tempo, que por sua vez é a transformada inversa de Laplace da função de transferência, considerando os amostradores e o retentores de ordem zero. No entanto, é prática comum

usar a conversão de ***s*** para ***z*** diretamente através do auxílio de tabelas, eliminando a etapa de passagem pelo domínio do tempo, a qual não agregará valor algum à análise.

O cálculo do controlador é feito com base nas condições de contorno definidas para que o sistema apresente as características desejadas, tais como velocidade de resposta, erro em regime permanente, tempo de acomodação e outros.

3.4.4 Projeto baseado no método do lugar das raízes

O método baseado no lugar das raízes é o ideal para visualizar como a variação do ganho do sistema e/ou a freqüência de amostragem interferem na estabilidade absoluta e relativa da planta ou processo.

O método do lugar das raízes para sistemas contínuos no tempo pode ser estendido para sistemas discretos no tempo, desde que as devidas considerações sejam feitas.

Os pólos dominantes de um sistema permitem estimar o funcionamento do mesmo em malha fechada. A localização dos pólos no plano ***s*** permite que sejam determinadas a freqüência natural do sistema e do coeficiente de amortecimento; estes parâmetros estão diretamente relacionados com a posição do pólo dentro do plano ***s***. Quando se transfere o mapeamento para o plano ***z***, através da transformada $z = e^{sT_a}$, onde $s = \sigma + j\omega$, pode-se obter as relações apresentadas nas figuras 3.6 e 3.7.

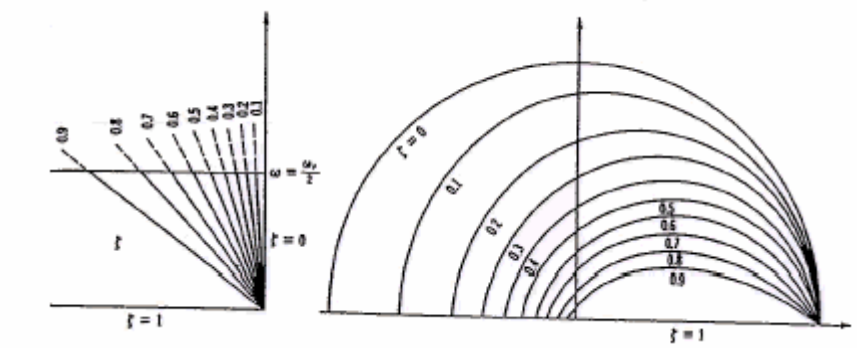


Figura 3.6 – Relação entre o amortecimento nos planos **s** e ***z***

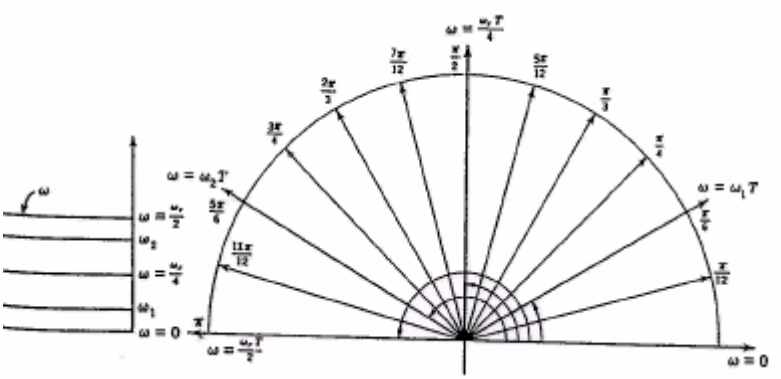


Figura 3.7 – Relação entre a freqüência natural nos planos ***s*** e ***z***

Atualmente, quando se opta em fazer a análise de um sistema através do método do lugar das raízes, a confecção do gráfico é feita através de programas de cálculos como o MATLAB, TUSTIN, VSIM, CCONTROL, SAPIC e muitos outros. O procedimento para a confecção do gráfico manualmente pode ser encontrado em Ogata [25]

Conforme nota de projeto encontrada em Barczak [5], o projeto de um controlador PID por este método, apresenta as mesmas dificuldades encontradas em outros métodos. Neste caso, deve-se tentar fazer o controle da planta por meio de um processo interativo, onde se busca a estabilização do sistema através da um controlador proporcional cujo ganho deve ser determinado através de diversas experimentações. Se por acaso o controlador proporcional não atender as necessidades de projeto, deve-se tentar controladores PI, PD e PID, sendo que os ganhos de cada etapa são determinados a partir de experiências anteriores.

3.4.5 Projeto baseado no método da resposta em freqüência

Considerando que o projeto de controladores discretos envolvem funções matemáticas relativamente complexas, usar os métodos de resposta em freqüência, onde o ganho e a fase do sistema são determinados em função da freqüência, permite a especificação dos controladores de modo muito mais simples do que nos processos anteriores.

Porém, a utilização de métodos de projeto a partir dos gráficos de Bode para o plano ***z*** torna-se complicado, pois as funções de transferência são tipicamente não racionais, onde a freqüência aparece na forma $z = e^{jwT_a}$. Neste caso, a transformação do plano ***z*** em um outro plano, onde o projeto discreto possa ser executado utilizando as mesmas técnicas de Bode que são utilizadas para o plano ***s***, pode ser uma saída prática.

Com este objetivo, pode-se executar a transformada do plano ***z*** no plano ***w*** através da transformada bilinear,

$$z = \frac{1 + {}^{T_a}\!/_2\, w}{1 - {}^{T_a}\!/_2\, w} \quad e \quad w = \frac{2}{T_a}\frac{z-1}{z+1} \tag{3.10}$$

a qual transforma a área interna ao círculo unitário em ***z*** no semi-plano esquerdo do plano ***w***, como mostrado na figura 3.8. Após esta transformada, os pólos situados no semi-plano esquerdo de ***w***, os quais estariam, dentro do círculo unitário em ***z***, são estáveis. O plano ***w*** é similar ao plano ***s***, exceto pelo fato de que o plano ***w*** é definido para sistemas discretos, e a transformação de ***s*** para ***z*** e de ***z*** para ***w*** implica em uma distorção da resposta em freqüência quando se compara a resposta em ***s*** e em ***w***. Esta distorção passa a ser importante para freqüências próximas à freqüência de amostragem e superiores, conforme apresentado por Raycik [30].

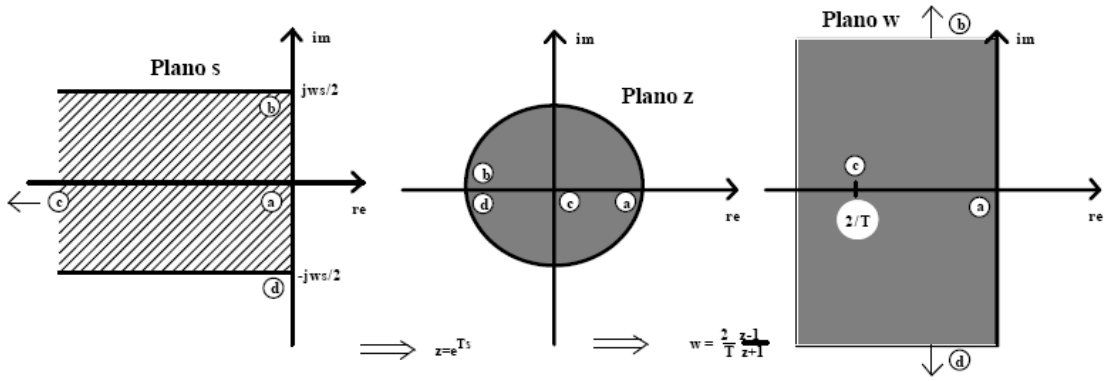


Figura 3.8 – Mapeamento do plano z em w

O fator de escala ${}^{T_a}\!/_2$ na transformada de ***z*** para ***w***, equação (3.10), é uma constante de correção para que o erro estático da função de transferência o plano ***w*** e no plano ***s*** sejam idênticos, além de igualar as funções de transferência em ***s*** e em ***w*** para pequenos valores de ωT_a. Tal fator de escala é utilizado em Ogata [24] e Tomazzelli [33].

A transformada bilinear pode gerar um ou mais zeros no semiplano direito devido à operação dos amostradores. Neste caso, o sistema será um sistema de fase não mínima, e deve-se tomar cuidado com a compensação de fase.

3.4.6 Procedimento para projeto de controladores digitais

O procedimento de projeto pode ser estruturado da seguinte forma:

- Obter a função de transferência da planta em ***z*** a partir da discretização do processo;
- Transformar a função de transferência em ***z*** para ***w***, onde w será uma variável complexa do tipo $w = \mu + j\nu$;
- Definir o período de amostragem T_a;
- Projetar o controlador através dos gráficos de Bode, num processo idêntico ao que acontece para sistemas contínuos no plano ***s***;
- Uma vez definido o controlador, voltar para o plano ***z***;
- Voltar do plano ***z*** para o domínio do tempo através da técnica de frações parciais ou expansão em série de potências;
- Definir e implementar o algoritmo de controle.

3.5 Conclusão

Este capítulo foi desenvolvido com o intuito de servir como base teórica para o projeto dos controladores digitais. Através de um breve histórico sobre a evolução do controle digital, passando por alguns aspectos teóricos relativos a teoria da amostragem e manipulação matemática dos dados digitalizados, chega-se a uma breve explanação sobre os possíveis métodos de projeto para controladores digitais.

A partir deste ponto, quando abordarmos o projeto de controladores digitais, ficará implícito que a técnica utilizada é a técnica baseada no método da resposta em freqüência e o procedimento de projeto segue a metodologia acima descrita.

4 Projeto dos controladores digitais

Além de fundamentar e solidificar os conhecimentos relativos ao retificador de corrente bidirecional com alto fator de potência, esta dissertação se propõe a demonstrar os passos necessários para a realização do projeto do controle do conversor. Inicialmente foram abordados aspectos teóricos e modelagem do conversor. Em seguida, foram especificados os elementos que farão parte deste circuito de potência. Na seqüência, abordou-se os aspectos teóricos sobre a metodologia a ser empregada no procedimento do projeto dos controladores.

Agora, abordam-se os tópicos relativos ao projeto dos controladores propriamente ditos. Faz-se um breve relato sobre o projeto dos controladores no mundo analógico e em seguida faz-se um paralelo para o mundo digital, ressaltando quais pontos devem ser avaliados ou modelados para que o projeto dos controladores seja possível.

4.1 Descrição do controle

O retificador de corrente é um circuito versátil e de grande aplicabilidade. A abordagem que será dada nesta seção limita-se a uma breve explicação de como funciona o controle da estrutura. Maiores detalhes sobre o funcionamento da estrutura podem ser vistos no capítulo 1 e nas referências bibliográficas [2, 7, 9, 21, 33].

As malhas de controle utilizadas no retificador de corrente são as responsáveis por lhe conferir as características desejadas como reversibilidade do fluxo de energia, operação com alto fator de potência e formas de onda de corrente de entrada seguindo um sinal de referência, dentre outras. O sistema conta basicamente com quatro malhas de controle, sendo três de corrente (uma para cada fase de entrada) e uma malha de controle para tensão de saída, externa às malhas de corrente. A figura 4.1 ilustra o diagrama em blocos do sistema de controle da estrutura.

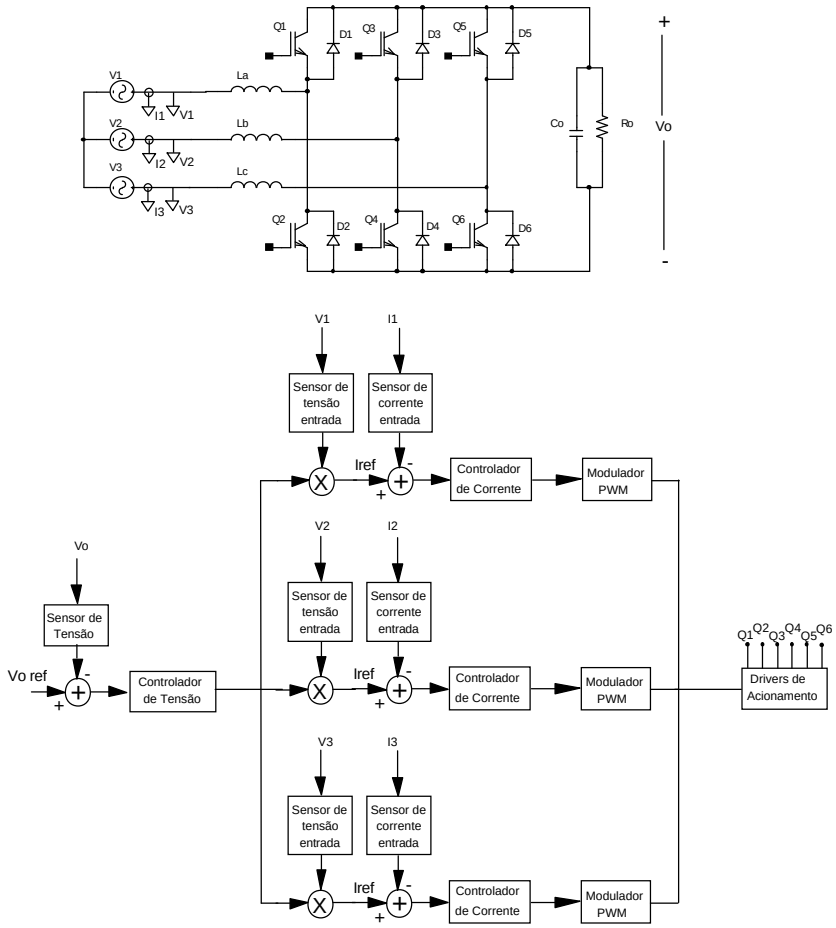


Figura 4.1 – Blocos de controle do retificador de corrente

O diagrama em blocos da figura 4.1 pode ser redesenhado considerando apenas uma das malhas de realimentação de corrente, figura 4.2. Esta simplificação facilita a visualização do sistema e não implica na perda da generalidade do funcionamento da estrutura, pois todas as malhas de corrente apresentam o mesmo princípio de atuação e funcionam em paralelo e de forma independente. A malha de controle de tensão, externa às malhas de corrente, também pode ser analisada a partir desta simplificação, pois as variáveis relacionadas à malha de tensão não dependem dos valores instantâneos das correntes de alimentação.

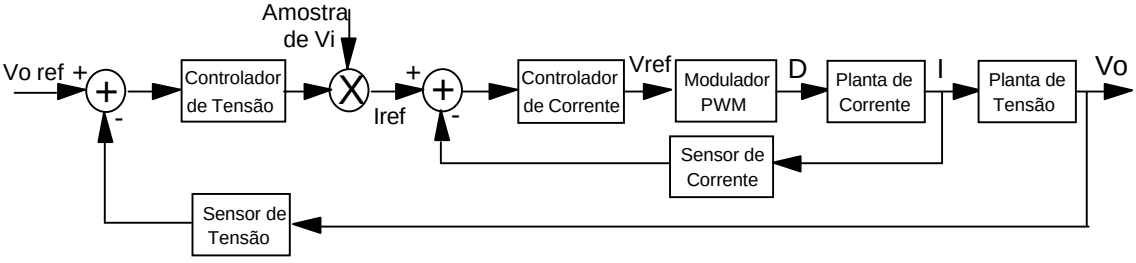


Figura 4.2 – Sistema de controle para uma das fases do retificador de corrente

Analisando inicialmente a malha de corrente, interna a malha de tensão, figura 4.3, pode-se verificar que controlador de corrente é projetado para que a corrente de saída siga a corrente de referência, a qual possui uma forma senoidal. O sinal de erro gerado entre a corrente de referência e a amostra da corrente de saída é levada à entrada do controlador de corrente, o qual gera um sinal que será utilizado como sinal de referência para comparação no modulador PWM. Por sua vez, o modulador PWM gera um sinal de razão cíclica variável de acordo com a variação do sinal oriundo do controlador de corrente.

A variação da razão cíclica do sinal de saída do modulador PWM altera o ciclo de chaveamento dos interruptores do retificador de corrente. Com a mudança no chaveamento dos interruptores, assume-se um novo estado de operação, implicando diretamente na mudança da corrente de saída. Esta alteração no funcionamento das chaves semicondutoras ocorre de modo a minimizar o sinal de erro entre o sinal amostrado com o sinal de referência.

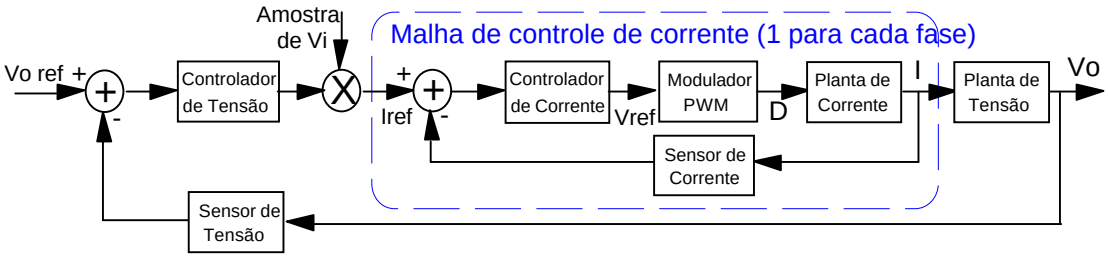


Figura 4.3 – Malha de controle de corrente

Já a malha de controle de tensão, figura 4.4, é projetada para que a tensão de saída do retificador seja mantida constante. Para tal, a tensão de saída é amostrada e comparada a uma tensão de referência. O sinal de erro gerado a partir da diferença entre as tensões é levado ao controlador de tensão que gera um sinal de saída relativo ao erro conforme uma função de controle pré-definida durante o projeto do controlador.

O sinal na saída do controlador de tensão servirá como fator de escala na geração do sinal senoidal que será utilizado como referência no controle de corrente. Como a malha de controle de tensão é muito mais lenta que a malha de controle de corrente, pode-se afirmar que a alteração na referência da malha de corrente levará a uma alteração na amplitude da corrente de entrada do retificador. Esta alteração na amplitude da corrente do retificador se reflete na saída do sistema como uma mudança na tensão de saída.

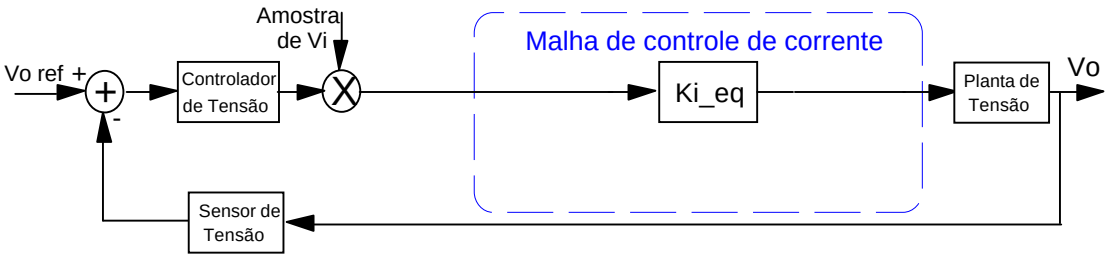


Figura 4.4 – Malha de controle de tensão

A substituição de toda a malha de corrente por um ganho K_{i_eq} é possível devido ao fato da malha de tensão é muito mais lenta que a malha de corrente para garantir o desacoplamento entre as malhas de controle e evitar distorções nas correntes de entrada. Como as variações instantâneas da razão cíclica do PWM não afetam a malha de tensão, toda a malha de corrente pode ser consolidada em um bloco único representando um ganho na malha direta do sistema.

Com base no que foi descrito anteriormente, propõe-se uma metodologia de projeto que torne viável a implementação dos controladores em um sistema de controle digital. Porém, como já se comentou em capítulos anteriores, a digitalização de sinais amostrados altera um pouco a modelagem do sistema devido a algumas particularidades intrínsecas à digitalização. As figuras 4.5 e 4.6 retratam esta mudança na modelagem do sistema devido a digitalização das variáveis, para adequar o modelo à realidade digital.

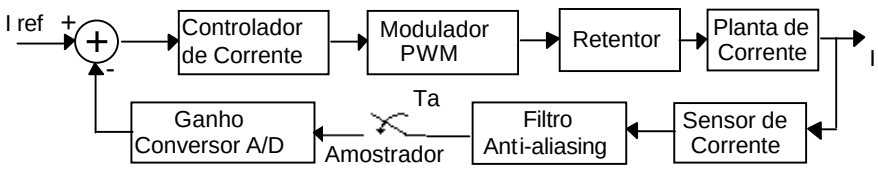


Figura 4.5 – Controle digital para o retificador de corrente – malha de corrente

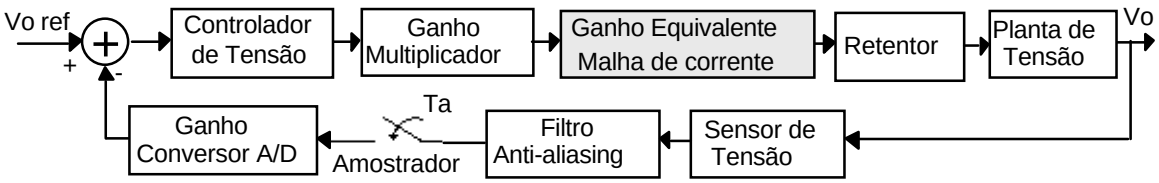


Figura 4.6 – Controle digital para o retificador de corrente – malha de tensão

Dentre as alterações existentes entre o controle analógico e o digital, ressalta-se que a referência da forma de onda da corrente de entrada passa a ser gerada internamente ao controlador DSP, seja através de uma tabela de valores armazenados na memória ou

através de uma função matemática interna ao programa do DSP. A pequena distorção existente na senóide de referência gerada internamente ao DSP é inerente ao processo de discretização da forma de onda, mas mesmo assim, o resultado final pode ser melhor do que aquele obtido quando se utiliza o sinal amostrado da tensão de entrada para obter a referência da senóide de entrada, pois as referências geradas internamente ao DSP são imunes às distorções existentes nos sinais da tensão de entrada (rede trifásica).

Outra particularidade do sistema digital é a necessidade de se amostrar os sinais analógicos da planta e transportá-los para o universo discreto interno ao DSP. Deste modo, aparecem no diagrama de blocos os blocos referentes aos amostradores, retentores de ordem zero (sample e hold) e o ganho do conversor A/D.

Para finalizar esta transferência da estrutura de controle do mundo analógico para o mundo discreto, foram colocados no sistema filtros anti-aliasing. Estes filtros têm como finalidade básica limitar o espectro de freqüência do sinal amostrado para evitar problemas de sub-amostragem e *aliasing*, o que pode levar a uma interpretação equivocada do sinal com base nos dados amostrados. A freqüência de corte do filtro deverá ser pelo menos duas vezes menor que a freqüência de amostragem, conforme teorema de Nyquist. Maiores informações sobre os filtros anti-aliasing podem ser obtidas nas referências bibliográficas de [5, 19, 22, 24, 25, 30, 33].

4.2 Projeto do Controle Digital do Conversor

Conforme proposta indicada por Tomaselli [33], o projeto do controlador é dividido em duas partes fundamentais: a primeira delas é obter um modelo matemático que descreva o processo para efetuar a análise da planta, a segunda parte é o projeto dos controles para que a planta atenda aos requisitos de projeto. Seguindo este pressuposto, deve-se definir as funções de transferência para os diagramas de blocos do controle existentes nas figuras 4.5 e 4.6.

4.2.1 Modelo da Malha de Corrente do Retificador Trifásico

Na figura 1.13, apresentada no Capítulo 1, é apresentado o circuito equivalente simplificado para o retificador. A partir deste modelo, pode-se assumir que as chaves comportam-se como fontes de tensão controladas com uma tensão média sobre si correspondente a tensão média em um período de chaveamento, procedimento semelhante ao encontrado em [2].

Pela análise das malhas do circuito simplificado, figura 1.13, pode-se chegar a equação (1.12), que dá origem a equação (4.1).

$$\begin{cases} 3.v_2(t) - 3L\dfrac{di_2(t)}{dt} - 2.d_2(t).V_o + [1+d_3(t)].V_o = 0 \\ 3.v_3(t) - 3L\dfrac{di_2(t)}{dt} - 2.d_3(t).V_o + [1+d_2(t)].V_o = 0 \end{cases} \tag{4.1}$$

Aplicando o princípio da modelagem para pequenos sinais, onde para um curto intervalo de tempo $v_n(t)$ pode ser considerado constante e as parcelas $i_n(t)$ e $d_n(t)$ podem ser consideradas como sendo a soma de uma parcela constante a uma pequena variação, pode-se chegar a:

$$\begin{cases} -3L\dfrac{di_2(t)}{dt} - 2.d_2(t).V_o = 0 \\ -3L\dfrac{di_2(t)}{dt} - 2.d_3(t).V_o = 0 \end{cases} \tag{4.2}$$

Aplicando-se a transformada de Laplace:

$$\begin{cases} \dfrac{I_2(s)}{D_2(s)} = \dfrac{-2.V_o}{3s.L} \\ \dfrac{I_3(s)}{D_3(s)} = \dfrac{-2.V_o}{3s.L} \end{cases} \tag{4.3}$$

Deve-se observar que o sinal negativo é relativo e que deve ser interpretado, conforme [2]. Se a análise for efetuada para um setor onde a maior corrente (ou tensão, pois se assume que uma seja a imagem da outra) em módulo é negativa, este sinal se inverte, considerando então que o controle será efetuado sobre o módulo das correntes e o sinal pode ser desprezado. Desta forma, a função de transferência pode ser simplificada e generalizada para:

$$\frac{I(s)}{D(s)} = \frac{2.V_o}{3s.L} \tag{4.4}$$

4.2.2 Modelo da Malha de Tensão do Retificador Trifásico

Inicialmente deve-se lembrar que o controle da corrente é efetuado sempre sobre duas fases, conforme representa a figura 1.13 e demonstrado em [2], em cada setor. Entretanto, deseja-se obter um modelo mais abrangente que represente a variação da tensão de saída em relação a cada uma das correntes de entrada.

No entanto, pode-se utilizar apenas uma malha de tensão, desde que o fluxo de potência nas fases esteja equilibrado, de forma que a malha de tensão controle apenas a amplitude das correntes de entrada, por isto, a malha de tensão deve ser suficientemente lenta para evitar distorções nas correntes de entrada. Assim sendo, a corrente $I_o(t)$ (ver figura 1.13) é diretamente proporcional às correntes de pico de entrada.

Deste modo:

$$C_o.\frac{dV_o(t)}{d(t)}+\frac{V_o(t)}{R_o}=I_o(t) \tag{4.5}$$

Aplicando a transformada de Laplace:

$$C_o.s.V_o(t)+\frac{V_o(s)}{R_o}=I_o(s) \tag{4.6}$$

$$\frac{V_o(s)}{I_o(s)}=\frac{R_o}{1+s.R_o.C_o} \tag{4.7}$$

De uma forma mais genérica:

$$\frac{V_o(s)}{I_o(s)}=\frac{\frac{V_o^2}{P_o}}{1+s.\frac{V_o^2}{P_o}.C_o} \tag{4.8}$$

Conforme apresentado em [2], tem-se:

$$I_o(t)=\frac{3.Vp.Ip}{2V_o} \tag{4.9}$$

Assim, como a malha de tensão vai controlar apenas a amplitude das correntes de entrada, tem-se, a partir de (4.8) e (4.9) que:

$$\frac{V_o(s)}{I_P(s)}=\frac{3.V_P.V_o}{2.P_o}.\frac{s.[R_{SE}.C_o]+1}{s.\left[\frac{C_o.V_o^2}{P_o}.\left(1+\frac{R_{SE}.P_o}{V_o^2}\right)\right]+1} \tag{4.10}$$

onde:

- P_o = Potência de saída;
- V_o = Tensão de saída;
- V_P = Valor de pico da tensão de fase de entrada;
- C_o = Capacitância de saída;
- R_{SE} = Resistência série equivalente de saída;
- L = Indutâncias de fase

No desenvolver deste projeto, R_{SE} é considerado nulo. Desta forma, a função de transferência da planta de tensão é simplificada para a função mostrada na equação (4.11).

$$\frac{V_o(s)}{I_P(s)} = \frac{3.V_P.V_o}{2.P_o} \cdot \frac{1}{1 + s.\frac{C_o.V_o^2}{P_o}} \tag{4.11}$$

4.2.3 Modelo do Modulador PWM

Com relação ao modulador PWM, a função de transferência é obtida utilizando as mesmas considerações apresentadas por Barbi [3], porém, utiliza-se como portadora uma onda triangular, com valor mínimo nulo e valor máximo igual a V_T. A razão cíclica é definida como o tempo em que a tensão de controle V_{ref} é maior do que o valor da portadora (ver figura 4.7), equação (4.12).

$$D = \frac{T_{11} + T_{12}}{T_M} \tag{4.12}$$

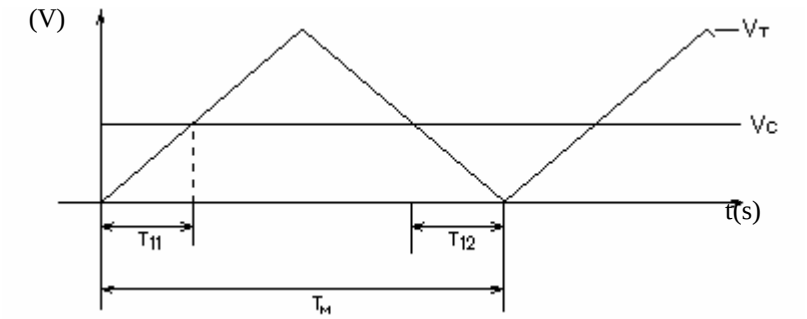


Figura 4.7 – Razão cíclica do modulador PWM

Com uma pequena manipulação matemática baseada em proporção de triângulos e trigonometria, pode-se chegar a uma relação que entre a razão cíclica D(s) e a tensão de comparação $V_{ref}(s)$, apresentada na equação (4.13).

$$\frac{D(s)}{V_{ref}(s)} = \frac{1}{V_T} \tag{4.13}$$

A forma de onda considerada para o projeto é uma portadora triangular simétrica entre as rampas de subida e descida, com valor mínimo nulo e máximo igual a V_T e é gerada discretamente a partir do DSP, a uma taxa igual à freqüência de clock ($f_{CK} = {}^1/T_{CK}$), como mostra a figura 4.8.

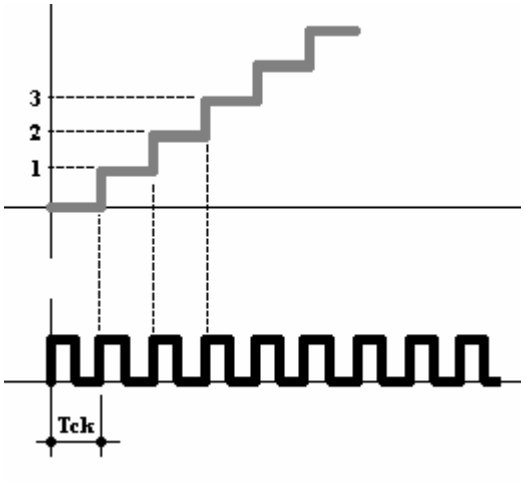


Figura 4.8 – Geração da onda triangular

Também se pode destacar o fato da tensão de comparação ser atualizada uma única vez dentro de cada ciclo de chaveamento, no início do ciclo. Então, desta forma, tem-se a condição apresentada na figura 4.9.

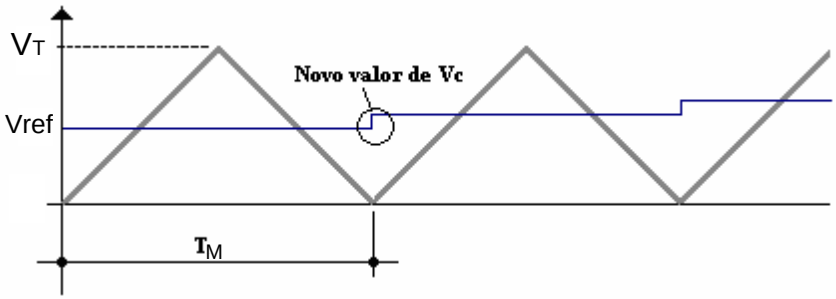


Figura 4.9 – Atualização do valor de comparação

Pela análise das condições apresentadas acima, pode-se facilmente determinar a contagem máxima que o DSP consegue atingir, determinando assim o valor de V_T. V_T é obtido a partir da seguinte relação:

$$\begin{aligned} 1 &\rightarrow T_{CK} \\ V_T &\rightarrow \frac{T_M}{2} \end{aligned} \tag{4.14}$$

A partir deste ponto, pode-se determinar V_T como sendo:

$$V_T = \frac{1}{2}.\frac{T_M}{T_{CK}} = \frac{1}{2}.\frac{f_{CK}}{f_M} \tag{4.15}$$

A partir da equação (4.15), verifica-se que o valor de V_T depende exclusivamente da freqüência de clock do DSP e da freqüência de amostragem do conversor.

Considera-se também o modulador PWM utilizado para gerar os sinais de comando das chaves como parte integrante do controlador DSP.

4.2.4 Modelo do Filtro Anti-Aliasing

O filtro anti-aliasing é inserido no projeto de modo a atenuar as componentes de freqüência superior à metade da freqüência de amostragem para a evitar interpretações errôneas dos dados amostrados devido ao efeito de sub-amostragem. De um modo mais genérico, o filtro anti-aliasing é um filtro passa baixas analógico que limita o espectro de freqüência do sinal amostrado com uma função de transferência semelhante à apresentada em (4.16)

$$\frac{Vout(s)}{Vin(s)} = \frac{f_a/2}{s + f_a/2} \tag{4.16}$$

onde $f_a/2$ é a metade da freqüência de amostragem.

Será utilizado como filtro anti-aliasing o filtro analógico de segunda ordem apresentado na figura 4.10. É importante salientar que para cada variável monitorada será necessário o uso de um filtro. Para este estudo, serão considerados todos com a mesma topologia, exceto para a amostragem das tensões de entrada, e com a mesma freqüência de corte, pois a freqüência de amostragem é igual para todo o circuito.

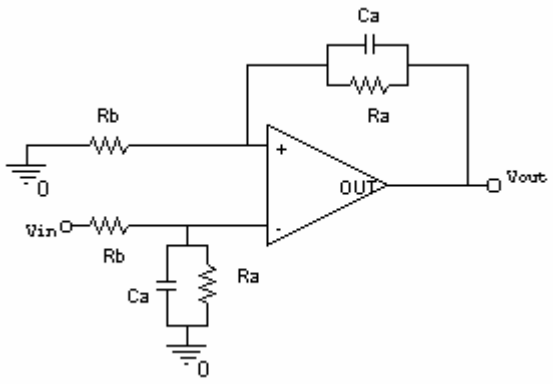


Figura 4.10 – Filtro anti-aliasing considerado

Para o filtro anti-aliasing, pode-se obter a função apresentada em (4.17).

$$\frac{Vout(s)}{Vin(s)} = \frac{Ra/Rb}{s.Ca.Ra + 1} \tag{4.17}$$

Se Ra = Rb

$$G(s) = \frac{Vout(s)}{Vin(s)} = \frac{1}{s.Ca.Ra + 1} = \frac{1/Ca.Ra}{s + 1/Ca.Ra} \tag{4.18}$$

Igualando-se as equações (4.16) e (4.18), chega-se que

$$\frac{f_a}{2} = \frac{1}{Ca.Ra} \tag{4.19}$$

4.2.5 Modelo do Conversor A/D

Para tornar possível a digitalização do sinal amostrado pelos transdutores, é necessário que estes sinais sejam pré-condicionados tornando-os compatíveis com as necessidades operacionais do DSP.

Os DSP's, em geral, possuem conversores A/D que permitem a digitalização de sinais analógicos compreendidos no intervalo de tensões de 0V até uma tensão máxima V_{HI}. Dentro deste intervalo, o DSP digitaliza o sinal e lhe confere um valor dentro de um dos 2^n valores possíveis, onde n é o número de bits do conversor A/D do DSP.

Como o pré-condicionamento do sinal analógico é feito de modo a ter uma excursão total de sinal similar à excursão máxima possível na entrada do conversor A/D e a quantização dos sinais amostrados é feita linearmente, pode-se afirmar que:

$$V_{DIG} = V_{IN} \cdot \frac{2^n}{V_{HI}}$$

Logo, o ganho do conversor A/D pode ser definido como:

$$K_{AD} = \frac{V_{DIG}}{V_{IN}} = \frac{2^n}{V_{HI}}$$

4.2.6 Modelo do Sensor de Corrente

O sensor utilizado deve fornecer uma tensão de saída unipolar, pois o DSP é capaz de digitalizar as tensões de 0V até uma valor máximo. Como se pretende utilizar o DSP TMS320FL2812, a tensão de conversão está limitada ao intervalo de 0 a 3,0V. Para se obter um pré-condicionamento do sinal de corrente compatível com esta faixa de valores de conversão de valores analógicos do DSP, foi utilizado o sensor de efeito hall LA-55 SP1 (fabricante LEM), com um ganho de K_i = 0,1 e um deslocamento unipolar (off-set) de 1,5V para obter um sinal de corrente adequado às necessidades do DSP. Desta forma, a função de transferência do sensor de corrente pode ser descrita como sendo

$$Vout = 1,5 + \left(0,1 \cdot I_N\right) \tag{4.20}$$

O ganho do transdutor de corrente é definido como sendo:

$$Ki = \frac{Vout}{I_N} = 0,1 \tag{4.21}$$

onde

I_N é a corrente a ser medida

4.2.7 Modelo do Sensor de Tensão

Com o objetivo de isolar o sistema de potência do sistema de controle, o sensor de tensão utilizado para amostrar a tensão no barramento de saída será o sensor de tensão transdutor LV-25P (transdutor de efeito hall do fabricante LEM). O ganho deste transdutor pode ser definido através da escolha adequada dos resistores R_1 e R_M apresentados na figura 4.11. Para esta aplicação, optou-se em utilizar um ganho de $6,5.10^{-3}$. Como apresentado na equação (4.22), os valores de R_1 e R_M foram definidos conforme especificação da folha de dados do fabricante, respeitando os limites de corrente de entrada e saída.

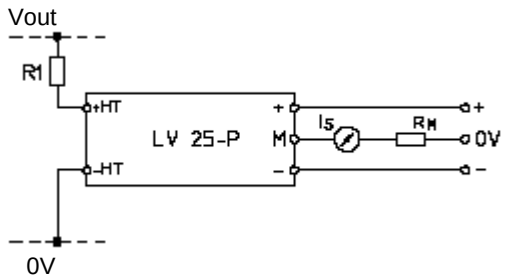


Figura 4.11 – Modelo do sensor de tensão

$$V_{R_M} = Vout \cdot \frac{R_M}{2,5 \cdot R_1}$$

$$K_V = \frac{V_{R_M}}{Vout} = \frac{R_M}{2,5 \cdot R_1} \tag{4.22}$$

4.2.8 Procedimento de Projeto dos Controladores Digitais

De posse das funções de transferência dos blocos que compõe o sistema, pode-se adotar o procedimento apresentado no capítulo anterior, item 3.4.6., para o projeto do controlador.

Ao se iniciar o projeto de um sistema de controle discreto, costuma-se listar as especificações segundo as quais o projeto será desenvolvido, bastante semelhantes às de sistemas contínuos de controle. Embora os controladores sejam especificados para controlar diferentes tipos de instalações, as orientações gerais de como proceder com o projeto são as mesmas.

Considerando que a proposta a ser seguida para a definição do controlador baseia-se na metodologia de projeto através da resposta em freqüência para o plano discreto ***w***, onde o ganho e a fase são determinados em função da freqüência, os requisitos de projeto são consonantes com a metodologia de projeto para sistemas contínuos no plano ***s*** e são citadas em Barbi [3] e Tomazelli [33]:

- Margem de fase entre 45^o e 90^o;
- A inclinação na curva de ganho para o sistema em laço aberto na passagem por 0dB deve ser de –20dB/década;
- Erro estático nulo (para o caso da malha de tensão);
- A freqüência de cruzamento da curva de ganho para o sistema em laço aberto deve ser pelo menos dez vezes menor do que a freqüência de chaveamento do modulador PWM;
- A freqüência de chaveamento deverá ser igual ou menor do que a freqüência de amostragem.

Ogata [25] aborda como realizar o projeto em freqüência para sistemas contínuos, e servirá de referência para traçar paralelos entre o mundo discreto e analógico e para as nomenclaturas utilizadas.

4.3 Projeto do Controlador de Corrente

Como ponto de partida para o projeto do controlador de corrente, tem-se o diagrama em blocos da malha de controle apresentada na figura 4.5 e representada na figura 4.12 em função das equações de transferência de cada bloco.

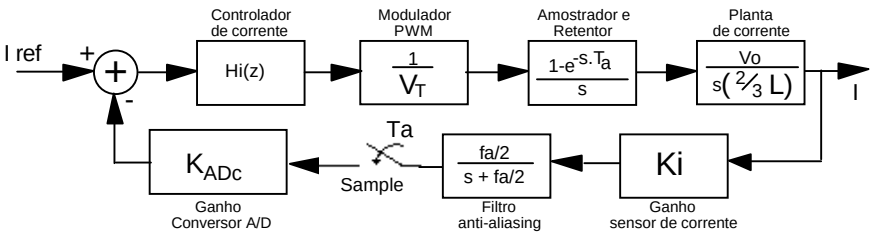


Figura 4.12 – Malha de controle de corrente

A função de transferência do controlador não é apresentada, pois é para defini-la que se desenvolve este estudo.

A definição da equação do amostrador-retentor é apresentada por Ogata [25] e Barczak [5], onde T_a é o período de amostragem do sinal.

Considerando que a freqüência de amostragem é suficientemente alta de modo a tornar possível o projeto do filtro anti-aliasing com uma freqüência de corte suficientemente alta o para não influenciar na análise do sistema na faixa de freqüência de interesse, este pode ser suprimido da análise. Outra simplificação que pode ser feita é a junção dos blocos do modulador PWM e da planta de corrente do retificador, dando origem a uma função $G_i(s)$.

$$G_i(s) = \frac{I(s)}{V_{ref}(s)} = \frac{V_o}{s\left(\frac{2}{3}L.V_T\right)} \tag{4.23}$$

Seguindo o mesmo princípio, pode-se unir os dos blocos referentes ao ganho do transdutor de corrente e o ganho do conversor A/D.

A figura 4.13 apresenta as simplificações descritas e apresenta o controlador de corrente como uma função $H_i(z)$

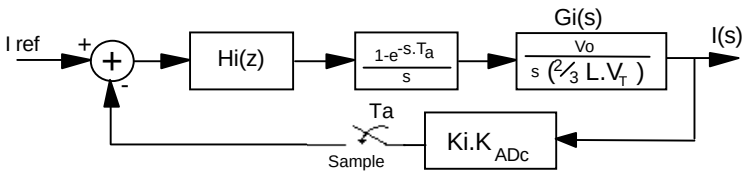


Figura 4.13 – Malha de controle de corrente simplificada

Numa próxima etapa, deve-se proceder com a conversão das funções de transferência do domínio contínuo ***s*** para o domínio discreto ***z***. Esta transformação é feita a partir da relação $z = e^{sT_a}$. Neste caso, pode-se definir $G_i(z)$ da seguinte maneira:

$$\begin{aligned} G_i(z) &= Z\left\{\left(\frac{1-e^{-sT_a}}{s}\right)\left(\frac{V_o}{s\left(\frac{2}{3}L.V_T\right)}\right)\right\} = Z\left\{\left(1-e^{-sT_a}\right).\frac{V_o}{\frac{2}{3}L.V_T}.\frac{1}{s^2}\right\} \\ G_i(z) &= \left(1-z^{-1}\right).\frac{V_o}{\frac{2}{3}L.V_T}.\frac{T_a z^{-1}}{\left(1-z^{-1}\right)^2} = \frac{V_o}{\frac{2}{3}L.V_T}.\frac{T_a z^{-1}}{\left(1-z^{-1}\right)} = \frac{V_o}{\frac{2}{3}L.V_T}.\frac{T_a}{(z-1)} \end{aligned} \tag{4.24}$$

Para possibilitar o uso do método de projeto de controladores a partir da resposta em freqüência, deve-se fazer a conversão da função de transferência $G_i(z)$ do plano ***z*** para o plano ***w***, dando origem a $G_i(w)$ através da transformada bilinear, onde

$$z = \frac{1 + {}^{T_a}\!/_{2}\, w}{1 - {}^{T_a}\!/_{2}\, w} \tag{4.25}$$

$$G_i(w) = \frac{V_o}{\frac{2}{3} L.V_T} \cdot \frac{T_a}{\left(\frac{1 + {}^{T_a}\!/_{2}\, w}{1 - {}^{T_a}\!/_{2}\, w} - 1 \right)} = \frac{V_o}{\frac{2}{3} L.V_T} \cdot \frac{T_a.\left(1 - {}^{T_a}\!/_{2}\, w\right)}{\left(\left(1 + {}^{T_a}\!/_{2}\, w\right) - \left(1 - {}^{T_a}\!/_{2}\, w\right)\right)} = \frac{V_o}{\frac{2}{3} L.V_T} \cdot \frac{1 - {}^{T_a}\!/_{2}\, w}{w} \tag{4.26}$$

Pode-se redefinir a malha de controle de corrente para o plano ***w*** conforme mostrado na figura 4.14, onde o controlador de corrente é substituído pela função de transferência $H_i(w)$.

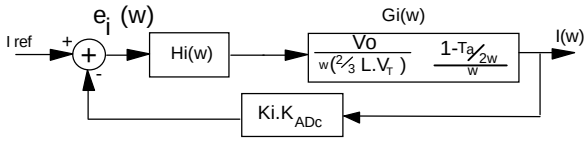


Figura 4.14 – Malha de controle de corrente – Plano ***n***

Seguindo o roteiro de projeto, deve-se obter a função de transferência em malha aberta do controlador de corrente ($FTMA_i$), a qual é apresentada abaixo:

$$FTMA_i = H_i(w).\frac{V_o.K_i.K_{AD}}{\frac{2}{3}.L.V_T}.\frac{1 - {}^{T_a}\!/_{2}.w}{w} \tag{4.27}$$

Para continuar o projeto do controlador a partir deste ponto é necessário atribuir valores numérico às grandezas que compõe a $FTMA_i$. Com base nos parâmetros de projeto do conversor, tem-se:

- fa = 20kHz ð Freqüência de amostragem;
- fs = 20kHz ð Freqüência de chaveamento;
- V_o = 400V ð Tensão de saída;
- K_i = 0,1 ð Ganho do sensor de corrente;
- $K_{AD} = 2^{11}/3{,}0$ ð Ganho do conversor A/D;
- L = 2,75mH ð Indutância de fase;
- $V_T = \frac{1}{2}.\frac{fck}{fs} = 3750$ ð Valor de pico da onda triangular do modulador PWM com o mínimo em zero;

Logo,

$$FTMA_i = H_i(w) \cdot 3{,}974 \cdot 10^3 \cdot \frac{1 - 25 \cdot 10^{-6} w}{w} \tag{4.28}$$

Para que possa ser traçado um paralelo entre as funções de transferência nos planos ***s*** e ***w***, é necessário que se tenha em mente que o fato de o plano ***w*** apresenta uma certa

distorção quando comparado com o plano ***s***, principalmente para freqüências próximas e acima da freqüência de amostragem; a equação (4.29) quantifica o valor desta distorção conforme demonstrado em Raycik [30]. Para baixas freqüências, quando comparadas à freqüência de amostragem, a distorção dos valores pode ser desconsiderada, fazendo com que o mapeamento entre o plano ***s*** e ***w*** sejam similares. Porém, a medida em que a freqüência aumenta, aproximando-se da freqüência de amostragem, a distorção aumenta, fazendo necessário o uso de correções para converter valores entre os planos ***s*** e ***w***.

$$\nu = \frac{2}{T_a} \cdot \tan\left(\frac{\omega \cdot T_a}{2}\right) \tag{4.29}$$

onde:

- ω é a freqüência angular no plano ***s***
- ν é a freqüência angular equivalente no plano ***w***

A figura 4.15 apresenta um comparativo entre a função de transferência da planta de corrente analógica $G_i(s)$, equação (4.23), e a planta de corrente após a digitalização $G_i(w)$, equação (4.26). Pela análise da figura 4.15, pode-se perceber que a resposta em freqüência apresenta grande concordância entre ambas às funções até a freqüência de 1.10^3rad/seg, onde a partir deste ponto, o erro na fase passa a ser considerável, devido a presença de um zero na função de transferência gerado pelo processo de amostragem.

No desenvolver deste trabalho, assume-se que a distorção entre os planos ***s*** e ***w*** é nula devido aos valores utilizados como freqüência de amostragem e banda passante do processo.

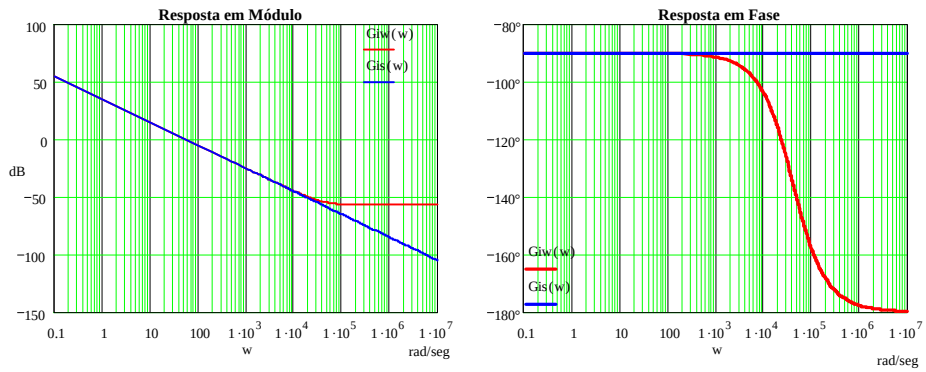


Figura 4.15 – Comparativo entre a resposta em freqüência para a planta de corrente antes e após a digitalização

Com base na $FTMA_i$ sem o controlador $H_i(w)$, apresentada na figura 4.16, deve-se projetar o controlador de modo a atender as diretrizes já apresentadas anteriormente. Através de uma análise dos requisitos de desempenho do sistema operando com o

controlador e da análise da função de transferência em laço aberto sem o controlador, pode-se tirar algumas conclusões que serão úteis para o projeto do controlador, haja visto que o correto dimensionamento dos controladores é o que garantirá a dinâmica esperada ao circuito.

Da função de transferência $G_i(w)$ pode-se concluir que o sistema é de fase não mínima com o pólo posicionado na origem. Porém, a freqüência de cruzamento, onde o ganho é 0dB, está em torno de 60 rad/seg (aproximadamente 10 Hz), abaixo do esperado para a banda passante do conversor. A freqüência de cruzamento deveria ser localizada próxima de 10% da freqüência de comutação, ou seja, 2kHz (12,57k rad/seg).

Com base nas características da $FTMA_i$, opta-se em fazer o projeto com um controlador do tipo proporcional (P), onde o ganho do controlador desloca a curva de reposta verticalmente para obter a freqüência de cruzamento desejada, fazendo com que o sistema tenha as características desejadas.

Desta forma, o controlador pode ser definido como

$$H_i(w) = k_{Hi} \tag{4.30}$$

onde:

- k_{Hi} é o ganho do controlador;

Como o ganho da $FTMA_i$ sem $H_i(w)$ é de -9,594dB para a freqüência de ω_p = 2kHz (aproximadamente $12{,}57.10^3$ rad/seg), o ganho k_{Hi} deve ser projetado de modo a apresentar um ganho de 9,594dB. Desta forma

$$k_{Hi} = 10^{9{,}594/20}$$
$$k_{Hi} = 3{,}05 \tag{4.31}$$

Logo, determina-se

$$H_i(w) = 3{,}05 \tag{4.32}$$

Para ilustrar como a inclusão do controlador $H_i(w)$ na $FTMA_i$ influi na resposta do sistema, o diagrama de bode da função de transferência com o controlador é apresentada na figura 4.16, juntamente com a resposta do sistema apenas para o controlador $H_i(w)$ e a função $FTMA_i$ sem $H_i(w)$.

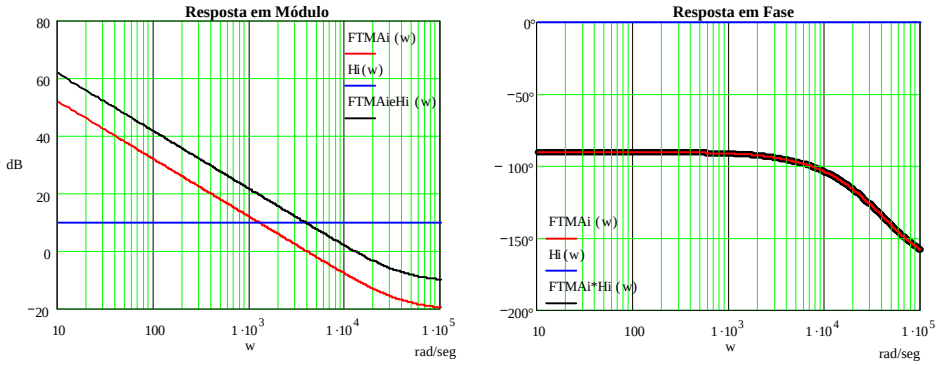


Figura 4.16 – Influência do controle na malha de corrente

De posse de $H_i(w)$, calculado em (4.32), determina-se $H_i(z)$ pela igualdade

$$w = \frac{2}{T_a}.\frac{z-1}{z+1} \tag{4.33}$$

Então,

$$H_i(z) = 3,05 \tag{4.34}$$

Pode-se representar a função de transferência do controlador $H_i(z)$ em função de seus parâmetros de entrada e saída, conforme mostra a figura 4.17.

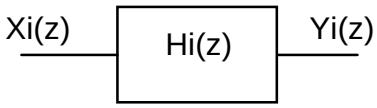


Figura 4.17 – Representação do bloco do controlador de corrente isoladamente

A partir da figura 4.17,

$$H_i(z) = \frac{Y_i(z)}{X_i(z)} = 3,05$$

$$Y_i(z) = 3,05.X_i(z) \tag{4.35}$$

Transformando a equação (4.35) em uma equação de diferenças, tem-se

$$y_i(k) = 3,05.x_i(k) \tag{4.36}$$

Fazendo n = k na equação (4.36), tem-se equação de diferenças define a resposta do sistema:

$$y_i(n) = 3,05.x_i(n) \tag{4.37}$$

Outros tipos de controladores como o de pólo deslocado (semelhante a um filtro passa baixas) e o proporcional-integral (PI) também poderiam ser utilizados para fazer o

controle da planta de corrente, porém isto implicaria em um maior esforço computacional para o cálculo da resposta dos controladores sem trazer maiores benefícios funcionais.

4.4 Projeto do Controlador de Tensão

Os pré-requisitos que regem o projeto do controlador da malha de tensão são os mesmos do projeto do controlador de corrente. Então um paralelo entre ambos pode ser traçado e os passos de projeto podem ser generalizados.

Como passo inicial, a figura 4.6 é redesenhada na figura 4.18, apresentando as funções de transferência dos blocos envolvidos no controle, exceto a função de transferência do controlador de tensão, o qual é o objetivo da análise.

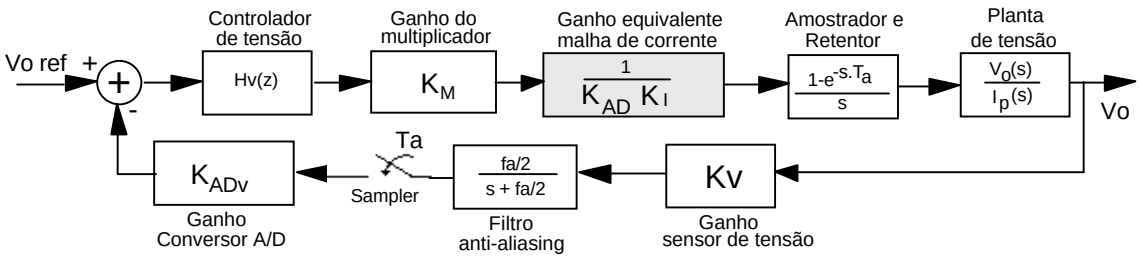


Figura 4.18 – Malha de controle de tensão

A definição da função $\frac{V_o(s)}{I_P(s)}$ é apresentada na equação (4.11).

Pode-se considerar que a amostragem das grandezas envolvidas no controle de tensão é a mesma utilizada no controle de corrente, deste modo, o filtro anti-aliasing utilizado também poderá ter os mesmos valores de freqüência de corte. Como a freqüência de corte do filtro é muito mais alta que a banda passante do controlador, seu efeito sobre a malha de controle pode ser desprezado.

Outra simplificação que pode ser feita é a junção de diversos blocos analógicos em um único bloco de controle de modo a facilitar a análise sobre a estrutura. Desta forma, a figura 4.16 pode ser simplificada dando origem à figura 4.19.

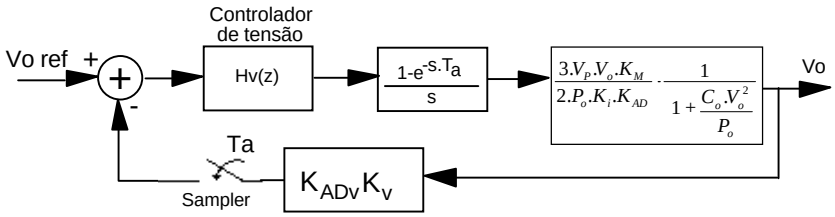


Figura 4.19 – Malha de controle de tensão simplificada

A próxima etapa do projeto consiste na discretização das funções de transferência da malha de controle de tensão.

Para auxiliar no equacionamento define-se:

$$A_1 = \frac{3.V_P.V_o.K_M}{2.P_o.K_i.K_{AD}} \tag{4.38}$$

$$A_2 = \frac{C_o.V_o^2}{P_o} \tag{4.39}$$

A planta discretizada terá a função de transferência apresentada em (4.40)

$$Gv(z) = Z\left\{\frac{\left(1-e^{-sT_a}\right)}{s}.\frac{A_1}{A_2}.\left(\frac{1}{s+{}^{1}\!/_{A_2}}\right)\right\}$$

$$Gv(z) = Z\left\{\left(1-e^{-sT_a}\right).\frac{A_1}{A_2}.\left(\frac{1}{s.\left(s+{}^{1}\!/_{A_2}\right)}\right)\right\} \tag{4.40}$$

Utilizando a técnica de expansão em frações parciais para desmembrar a equação (4.40), tem-se

$$Gv(z) = Z\left\{\left(1-e^{-sT_a}\right).\frac{A_1}{A_2}\left(\frac{A_2}{s}-\frac{A_2}{s+{}^{1}\!/_{A_2}}\right)\right\}$$

$$Gv(z) = Z\left\{\left(1-e^{-sT_a}\right).A_1\left(\frac{1}{s}-\frac{1}{s+{}^{1}\!/_{A_2}}\right)\right\} \tag{4.41}$$

A partir da expansão em frações parciais, pode-se fazer as transformações das funções do plano ***s*** para o plano ***z*** com o auxílio de tabelas de conversão, onde se obtém:

$$Gv(z) = A_1.\left(1-z^{-1}\right).\left(\frac{1}{1-z^{-1}}-\frac{1}{1-e^{{}^{-T_a}\!/_{A_2}}.z^{-1}}\right)$$

$$Gv(z) = A_1.\left(1-\frac{z-1}{z-e^{{}^{-T_a}\!/_{A_2}}}\right) \tag{4.42}$$

Com o auxílio da transformada bilinear apresentada na equação 4.20, pode-se fazer a conversão da função de transferência G(z) do plano ***z*** para o plano ***w***, dando origem a Gv(w).

$$Gv(w) = A_1.\left(1 - \frac{\left(\frac{1+{}^{T_a}\!/_{2}\, w}{1-{}^{T_a}\!/_{2}\, w}\right) - 1}{\left(\frac{1+{}^{T_a}\!/_{2}\, w}{1-{}^{T_a}\!/_{2}\, w}\right) - e^{-{}^{T_a}\!/_{A_2}}}\right)$$

$$Gv(w) = A_1.\left(1 - \frac{T_a.w}{\left(1+{}^{T_a}\!/_{2}\, w\right) - e^{-{}^{T_a}\!/_{A_2}}.\left(1-{}^{T_a}\!/_{2}\, w\right)}\right)$$

$$Gv(w) = A_1.\left(1 - \frac{T_a.w}{1 - e^{-{}^{T_a}\!/_{A_2}} + w.\frac{T_a}{2}\left(1+e^{-{}^{T_a}\!/_{A_2}}\right)}\right)$$

$$Gv(w) = A_1.\left(\frac{1 - e^{-{}^{T_a}\!/_{A_2}} + w.\frac{T_a}{2}\left(1+e^{-{}^{T_a}\!/_{A_2}}\right) - T_a.w}{1 - e^{-{}^{T_a}\!/_{A_2}} + w.\frac{T_a}{2}\left(1+e^{-{}^{T_a}\!/_{A_2}}\right)}\right)$$

$$Gv(w) = A_1.\left(\frac{1 - e^{-{}^{T_a}\!/_{A_2}} + w.\frac{T_a}{2}\left(e^{-{}^{T_a}\!/_{A_2}} - 1\right)}{1 - e^{-{}^{T_a}\!/_{A_2}} + w.\frac{T_a}{2}\left(1+e^{-{}^{T_a}\!/_{A_2}}\right)}\right) \qquad (4.43)$$

Os valores utilizados para determinar os coeficientes numéricos de Gv(w) são apresentados abaixo, juntamente com outras grandezas necessárias para o projeto do controlador de tensão.

- fa = 20KHz ð Freqüência de amostragem;
- fs = 20KHz ð Freqüência de chaveamento;
- V_o = 400V ð Tensão de saída;
- V_p = 180V ð Tensão de pico de entrada;
- K_i = 0,1 ð Ganho do sensor de corrente;
- K_M = 1 ð Ganho equivalente do multiplicador;
- $K_v = 6{,}5.10^{-3}$ ð Ganho do sensor de tensão;
- $K_{ADv} = 2^{12}/3{,}0$ ð Ganho do conversor A/D;
- C_o = 1500μF ð Capacitância de saída;
- P_o = 2,5kW ð Potência de saída;

Então, a equação (4.35) assume a seguinte forma

$$Gv(w) = 0,316.\left(\frac{1-e^{-50.10^{-6}/0.096}+w.\frac{50.10^{-6}}{2}\left(e^{-50.10^{-6}/0.096}-1\right)}{1-e^{-50.10^{-6}/0.096}+w.\frac{50.10^{-6}}{2}\left(1+e^{-50.10^{-6}/0.096}\right)}\right)$$

$$Gv(w) = 0,316.\left(\frac{520,7.10^{-6}+w.25.10^{-6}\left(-520,7.10^{-6}\right)}{520,7.10^{-6}+w.25.10^{-6}.2}\right)$$

$$Gv(w) = 0,316.\left(\frac{520,7+w.\left(-13,02.10^{-3}\right)}{520,7+w.50}\right)$$

$$Gv(w) = \left(\frac{164,541+w.\left(-4,114.10^{-3}\right)}{520,7+50w}\right)$$

$$Gv(w) = \frac{-4,114^{-3}}{50}\left(\frac{w-40.10^{3}}{w+10,414}\right)$$

$$Gv(w) = -82,28.10^{-6}.\left(\frac{w-40.10^{3}}{w+10,414}\right) \qquad (4.44)$$

A figura 4.20 representa num mesmo gráfico as funções $G_v(s)$ e $G_v(w)$, verifica-se que a digitalização do controlador não distorceu a resposta da função de transferência em baixas freqüências, pois $G_v(s)$ e $G_v(w)$ são coincidentes, semelhante ao que acontece com a digitalização de $G_i(s)$ na figura 4.14.

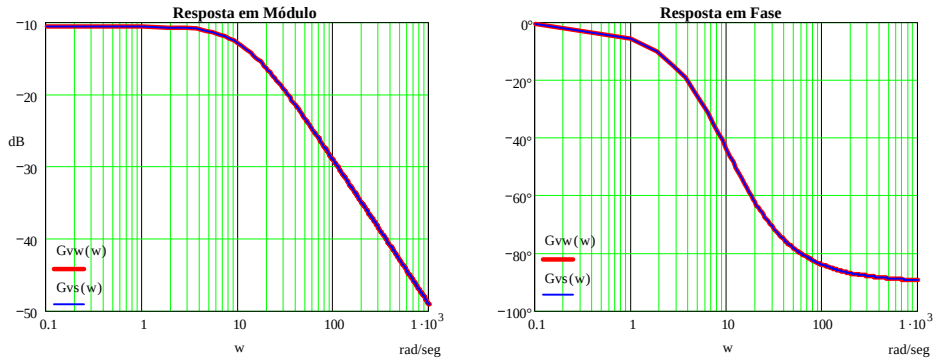


Figura 4.20 – Comparativo entre a resposta em freqüência para a planta de tensão antes e após a digitalização

Pela análise da função de transferências de $G_v(w)$, percebe-se que a planta de tensão apresenta um pólo localizado em baixa freqüência (10,414 rad/seg ou 1,657Hz) e um zero em alta freqüência. De posse da função de transferência $G_v(w)$, deve-se projetar o controlador $H_v(w)$ de modo que a função de transferência em malha aberta de tensão ($FTMA_v$) apresente características como freqüência de cruzamento de 36 Hz (226,2

rad/seg), o que equivale a uma década abaixo da freqüência do ripple de tensão no capacitor de saída, margem de fase entre 45º e 90º, além de um integrador na origem para garantir erro estático nulo além de um ganho de –20dB/dec na freqüência de cruzamento.

$$FTMA_v(w) = H_v(w) \cdot G_v(w) \cdot K_v \cdot K_{AD_v} \tag{4.45}$$

Conforme os requisitos de desempenho do sistema apresentados, o controlador $H_v(w)$ deve apresentar um integrador na origem, o que vai garantir um erro estático nulo e uma queda constante no ganho de -20dB/década, e um zero localizado em 10,414 rad/seg, o que cancelará a ação do pólo da planta de mesma localização, garantindo uma margem de fase de 90º na freqüência de cruzamento, e um ganho que fará com que a freqüência de cruzamento seja transladada para 36 Hz. Desta forma, a função de transferência do controlador, $H_v(w)$, será:

$$H_v(w) = \frac{k_{Hv}.(w + \mathsf{n}_z)}{w} \tag{4.46}$$

onde:

$$\mathsf{n}_z = 10,414\ (rad/seg) \tag{4.47}$$

Como o ganho da $FTMA_v$ sem $H_v(w)$ é de -17,798 dB para a freqüência de 36Hz, o ganho K_{Hv} deve ser projetado de modo a apresentar um ganho de 17,798 dB, desta forma

$$17,798 = 20\log\left(k_{H_v}\right)$$

$$k_{Hv} = 10^{17,798/20}$$

$$k_{Hv} = 7,761 \tag{4.48}$$

Desta forma:

$$H_v(w) = \frac{7,761.(w + 10,414)}{w} \tag{4.49}$$

De posse da função de transferência de $H_v(w)$, pode-se traçar a curva de resposta em freqüência para a $FTMA_v$ e suas componentes $H_v(w)$ e K_v. $K_{AD}.G_v(w)$. Estas curvas são apresentadas na figura 4.21, onde se pode constatar que a margem de fase do sistema ficou em 90º e a freqüência de cruzamento em torno de 36 Hz, atendendo deste modo os requisitos iniciais de projeto.

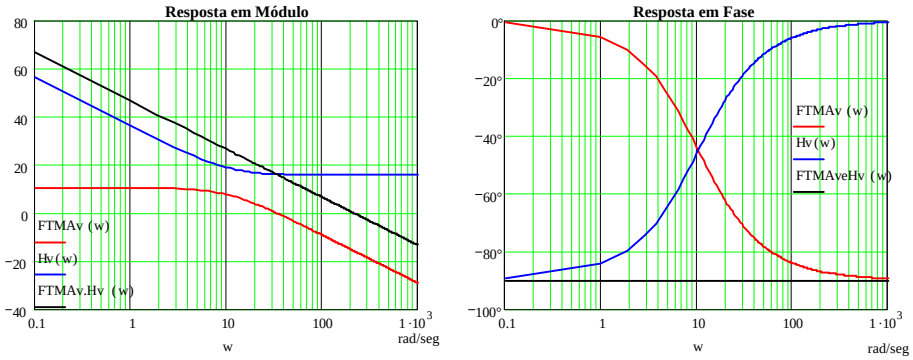


Figura 4.21 – Resposta da $FTMA_i$ com o controlador de corrente

De posse de $H_v(w)$, retorna-se ao plano ***z***, definindo $H_v(z)$, pela igualdade apresentada na equação (4.29). Logo,

$$H_v(z) = \frac{7,761.\left(40.10^3 \frac{z-1}{z+1} + 10,414\right)}{40.10^3 \frac{z-1}{z+1}}$$

$$H_v(z) = \frac{7,761.\frac{40.10^3}{z+1}\left(z-1+10,414\frac{z+1}{40.10^3}\right)}{40.10^3 \frac{z-1}{z+1}}$$

$$H_v(z) = \frac{7,761.\left(z-1+260,35.10^{-6}(z+1)\right)}{z-1}$$

$$H_v(z) = \frac{7,761.\left(z\left(1+260,35.10^{-6}\right)-\left(1-260,35.10^{-6}\right)\right)}{z-1} \qquad (4.50)$$

Assim como foi feito para o controlador de corrente, pode-se considerar que o controlador de tensão possa ser representado em função de seus parâmetros de entrada e saída, pode-se definir

$$H_v(z) = \frac{Y_v(z)}{X_v(z)} = \frac{7,761.\left(z\left(1+260,35.10^{-6}\right)-\left(1-260,35.10^{-6}\right)\right)}{z-1} \qquad (4.51)$$

$$Y_v(z).(z-1) = X_v(z).7,761.\left(z\left(1+260,35.10^{-6}\right)-\left(1-260,35.10^{-6}\right)\right) \qquad (4.52)$$

Transformando a equação (4.52) em uma equação de diferenças considerando o teorema do deslocamento, tem-se

$$y_v(k+1) - y_v(k) = 7,7630.x_v(k+1) - 7,7590.x_v(k) \qquad (4.53)$$

Fazendo n = k+1 na equação (4.42), tem-se equação de diferenças define a resposta do sistema:

$$y_v(n) = 7,7630.x_v(n) - 7,7590.x_v(n-1) + y_v(n-1) \quad (4.54)$$

As equações de diferenças (4.29) e (4.46) definem o funcionamento dos controladores de corrente e tensão respectivamente e devem ser utilizadas para a implementação destes controladores, via software, em um processador digital, no caso considerado, um DSP da família TMS320F28xx.

4.5 Conclusão

Com o término deste capítulo, verifica-se que as técnicas utilizadas para o projeto de controladores analógicos, as quais já estão consolidadas, podem ser reaproveitadas para o projeto no âmbito do controle digital, desde que respeitas algumas particularidades do processo, relativas principalmente ao processo de amostragem de dados.

Outro ponto importante a ser considerado, é que o projeto dos controladores aqui apresentados tem por objetivo demonstrar a metodologia de projeto. Os valores finais dos controladores poderão sofrer alterações dos ganhos no momento da implementação das malhas de controle devido à necessidade de adequação de valores à formatação dos números internamente ao DSP, visando otimizar a excursão do sinal de controle e/ou o processamento matemático do algoritmo de controle.

Observa-se ainda que o ganho do conversor A/D para a malha de corrente difere do ganho do conversor A/D para a malha de tensão. Pode-se atribuir esta diferença no ganho dos conversores ao fato do sinal de tensão ser unipolar e o sinal de corrente representar valores positivos ou negativos, e um dos bits do conversor A/D utilizado na digitalização da corrente acaba sendo utilizado para indicar o sinal do número amostrado. Desta forma, com um bit a menos para representar a mantissa do número, o ganho para do conversor A/D para a malha de corrente é menor do que para a malha de tensão.

5 Processadores Digitais de Sinais

5.1 Introdução

Por natureza, estamos imersos num mundo composto de sinais analógicos que são caracterizados por serem contínuos ao longo do tempo. A luz, a temperatura, o som, a umidade são exemplos de sinais contínuos que fazem parte de nossas vidas e muitas vezes lidamos com eles de maneira tal que não nos damos conta de sua origem ou de como reagimos aos seus estímulos. Nossa capacidade de assimilação do que acontece a nossa volta e a nossa sensibilidade a estes eventos vêm da capacidade do nosso corpo, através do cérebro e órgãos sensores, de identificar e processar tais sinais. Isto significa dizer que nosso cérebro é na verdade um poderoso processador analógico.

Assim como acontece com o corpo humano, pode-se captar os sinais analógicos do meio e processá-los de forma elétrica ou eletrônica de modo a dar-lhe as características desejadas ou retirar destes a informação necessária. Porém, a eletrônica totalmente analógica tem algumas desvantagens quando se deseja processamentos mais complexos dos sinais. A modelagem dos circuitos implica em inúmeras aproximações e considerações, além de exigir grande número de sub circuitos. Soma-se a estes problemas os problemas clássicos da alteração dos parâmetros dos componentes eletrônicos com o envelhecimento, temperatura, mudança na região de operação, entre outros.

Nos últimos anos, todavia, a microeletrônica evoluiu de tal maneira que possibilitou a construção de microprocessadores extremamente poderosos com uma densidade de integração muito alta, o que tornou o processamento digital de sinais um recurso poderoso para a execução de projetos eletrônicos no que se refere às áreas de controle e processamento de sinais. Surge então a necessidade de adaptar esta alta capacidade de processamento oriunda dos novos microprocessadores com os requisitos necessários para processar sinais analógicos em tempo real. Esta é justamente a idéia básica que levou ao desenvolvimento do Processador Digital de Sinais (DSP, do inglês, Digital Signal Processor).

5.2 Processador Digital de Sinais – DSP

Segundo a idéia exposta por Braga [11], para se obter um processador digital de sinais bastaria ter um circuito capaz de converter o sinal analógico para um sinal digital e

processá-lo por um microprocessador, o qual poderia atribuir ao sinal as características desejadas através de um software e transformá-lo novamente num sinal analógico.

Buscando possibilitar o uso das técnicas de controle discreto, disponíveis desde a década de 60, e aplicar aos sinais complexas técnicas de controle e processamento, até então disponíveis apenas em laboratórios de pesquisas de alta tecnologia, surge então uma família de componentes que reúnem não apenas os conversores analógicos digitais (A/D) e conversores digitais analógicos (D/A) com capacidade de converter os sinais na velocidade e precisão exigida para a aplicação, mas também processadores capazes de manipular estes dados com alta velocidade, além da incorporação de outros periféricos. Esta evolução da microeletrônica torna o processo de projeto de sistemas para processamento de sinais mais simples, compacto, versátil e a integração reduz a necessidade de circuitos analógicos auxiliares. Com todas estas vantagens soma-se a possibilidade de implantação de avançados algoritmos de controle (clássico, robusto, adaptativo, *fuzzy*, *sensorless* entre outros) sem a interferência de parâmetros físicos dos componentes no processamento das informações e a flexibilidade de alteração dos parâmetros de controle por software, fazem com que os custos desta tecnologia passem a ser atrativos, conforme indicado nas bibliografias de [11, 13, 14, 15, 28].

Os DSPs vêm evoluindo rapidamente rumo a topologias que podem contar com estruturas cada vez mais complexos em termos de processamento e capacidade de memória, além de mais rápidos, aptos a trabalhar com sinais de freqüência cada vez mais altas. Fabricantes de DSPs, como a Texas Instruments, oferecem aos projetistas diversas famílias de DSP com características diferenciadas, que possibilitam ao projetista escolher qual das famílias melhor se adapta a sua necessidade. Dentre estas diversas famílias e/ou plataformas, podemos citar as plataformas: C2000 otimizada a aplicações de sistemas de controle em geral, a plataforma C5000 otimizada para produtos portáteis e de baixo consumo e a plataforma C6000 otimizada para o processamento de dados em aplicações que exigem alta capacidade de processamento, tais como telecomunicações. Componentes dentro de uma mesma família compartilham do mesmo núcleo de processamento, mas diferem entre si nas diferentes configurações de memória interna e periféricos agregados. [36].

Um DSP é, basicamente, um tipo de microprocessador otimizado para efetuar processamento matemático, enquanto os demais processadores são otimizados para manipulação e gerenciamento de dados. Esta característica o faz apto a trabalhar com

aplicações que não toleram atrasos de transporte significativos entre a aquisição de um dado, efetuação dos cálculos e disponibilização dos resultados, quer seja de forma digital ou analógica. [11, 22, 23].

Baseados na topologia Harvard modificada, os DSP's tem barramentos internos independente para programa, dados e entrada/saída permitindo que haja acesso simultâneo de dados, instruções e acesso a periféricos, possibilitando realizar múltiplas ações em um mesmo ciclo de clock, tais como realizar uma multiplicação de um determinado fator e somar com um outro valor pré-estipulado, gerar um novo endereço de base e acessar um determinado periférico. Este paralelismo de processamento, em conjunto com um mecanismo bastante flexível de gerenciamento de interrupções e chamada de funções/rotinas, faz com que o DSP tenha um desempenho significativo no processamento dos dados amostrados. [36]

Dependendo de como os dados são manipulados e armazenados internamente aos DSPs, devido a arquitetura interna, os DSPs podem ser classificados pelo formato dos dados como ponto fixo ou flutuante. Os processadores de ponto fixo são caracterizados por uma palavra de tamanho fixo (16 bits, 32 bits ...) e pelo *radix*, que define como a palavra binária é escalonada; equivale a dizer em decimal que o *radix* indica em que posição da palavra se encontra o ponto decimal. Já nos processadores com ponto flutuante os números são caracterizados pela mantissa (ou fração) e o expoente. [35]

A diferença chave entre os processadores de ponto fixo e os processadores de ponto flutuante está ligada ao desempenho de ambos à relação sinal-ruído inerente de cada tipo de quantização. Por ter menor ruído de quantização, sistemas de ponto flutuante são mais fáceis de serem projetados devido à baixa possibilidade de *underflow* e *overflow* além de um menor erro de quantização quando comparado com os processadores com ponto fixo.

Mesmo sendo um processador do tipo ponto fixo ou flutuante, ele pode trabalhar com dados no outro formato. Para processadores com ponto flutuante esta realidade não trás maiores implicações. Já os processadores baseados em ponto fixo apresentam uma degradação do desempenho de processamento para possibilitar o trabalho com números no formato de ponto flutuante.

A escolha do formato numérico a ser utilizado depende basicamente das restrições baseadas na relação sinal-ruído e no custo. Uma vez definido o formato numérico, pode-se escolher a melhor família ou plataforma de DSP que se enquadra na aplicação desejada.

Quando um projetista opta pelo uso do DSP, é necessário que o software aplicativo para o controle e processamento do sinal seja desenvolvido pelo projetista, uma vez que a memória do DSP vem "vazia" de fábrica. Segundo Braga [11], para os DSP's da Texas (das famílias C2XX e C5XXX) o *assembly* é a linguagem mais utilizada, pois é a mais eficiente com relação ao tamanho do código gerado, embora a eficiência dos *C compilers* nestas famílias é em torno de 80% a 90%.

Além da Texas Instruments, existem outros fabricantes de DSPs disponíveis no mercado, tais como Motorola, Analog Devices e Haris.

5.3 Especificando o DSP

Como descrito em [22], a escolha do Processador Digital de Sinais a ser utilizado no controle e comando de conversores estáticos não pode ser classificada como uma tarefa de pouca importância ou secundária no projeto. Por se tratar de componentes que exigem conhecimentos específicos, a escolha deve ser feita com cuidado, a fim de evitar ou reduzir a probabilidade de haver a necessidade de troca de especificação do DSP, já com o projeto em andamento.

Com alguns conhecimentos prévios, busca-se minimizar a chance de escolher um DSP de forma equivocada. Através de uma análise preliminar do funcionamento e operação da topologia que se pretende controlar podem-se determinar algumas informações que serão úteis na escolha do componente. Algumas características do conversor resultam diretamente em especificações mínimas necessárias ao DSP para que este seja compatível com a aplicação.

Entre as várias características de operação dos conversores que podem resultar em informações relevantes para a especificação do DSP, destacam-se:

- número de chaves a serem comandadas;
- freqüência de operação do conversor;
- tipo de modulação a ser empregada no comando das chaves;
- circuitos de condicionamento de sinais;
- principais sinais a serem monitorados pelo DSP;
- pré-análise dos algoritmos a serem utilizados no controle.

Com o intuito de atender aos critérios apresentados, deve-se traçar um paralelo entre as necessidades do conversor e as características disponíveis nos DSPs que supririam estas necessidades do conversor.

Tabela 5.1 – Relação entre conversor e o DSP.

Características dos Conversores	Características nos DSPs
Sinais amostrados	Número de canais do conversor A/D
Interruptores Comandados	Número de canais PWM
Freqüência de Operação	Tempo de Instrução
Freqüência de Amostragem	Tempo de Conversão
Tipo de controlador	Tempo de Instrução
Tipo de modulação	Flexibilidade de Programação do PWM

A partir da tabela 5.1, pode-se filtrar quais DSPs atenderiam as exigências de funcionamento do conversor. Porém, vários DSPs podem estar disponíveis e com características que satisfaçam a necessidade do conversor. Então, nestes casos, deve-se fazer uma análise mais criteriosa de alguns itens. O(s) que for(em) aprovado(s) nesta segunda seleção estariam aptos a serem aplicados ao uso.

- resolução do Modulador PWM;
- resolução, número de canais e tempo de conversão do A/D;
- tempo de execução das instruções;
- capacidade de memória do DSP;
- arquitetura básica do DSP;
- ferramentas de hardware e software disponíveis no mercado.

Cabe salientar ainda que outras informações, como a complexidade dos algoritmos utilizados, também devem ser analisadas, pois podem comprometer e restringir a freqüência de operação do conversor, em função do tempo necessário para execução dos algoritmos.

Na confecção do protótipo proposto, usou-se o DSP TMS320F2812, o qual atende todas as características listadas acima e está disponível para uso.

5.4 Família TMS320

O primeiro processador desta família foi fabricado em 1982, quando a Texas Instruments lançou no mercado o TMS32010, o primeiro DSP da família TMS320. Esta família consiste em processadores de sinais (DSP's) de ponto fixo, ponto flutuante e multiprocessadores.

Atualmente a família TMS320 é constituída pelas seguintes gerações: (C1x, C2x, C24x, C28x, C5x, C54x, C6x, para DSP's com ponto fixo; C3x e C4x para DSP's de ponto flutuante e C8x para multiprocessdores. Para o caso de DSPs com memória flash interna, a

nomenclatura da família é mantida como anteriormente, precidido pela letra C, mas na descrição do DSP aparece o termo F, como é o caso do TMS320F2812, para identificar a memória *flash* interna ao processador..

A Texas Instrumente define o TMS320F28xx como um processador digital de sinais de baixo custo aplicado a sistemas de controles digitais em uma única pastilha, com eficiente compilador para linguagens de alto nível. Devido aos seus periféricos internos, o TMS302C28xx é normalmente aplicado ao controle de motores e controle de circuitos de potência. Entre as muitas possíveis aplicações práticas pode-se citar o controle de chaveamento de inversores, pré-condicionadores de fator de potência, unidades de alimentação ininterrupta (UPS), controle de motores AC e CC com a técnica *sensorless*, controle do servo mecanismo de motores para discos rígidos, controle vetorial de motores, controle de sistemas de refrigeração e aplicação em controle veicular para motores elétricos [36].

5.5 O processador TMS320C28xx

Abaixo são apresentadas algumas das características mais importantes do DSP TMS320C28X retiradas da própria especificação do componente fornecida pela Texas Instruments.

- Tecnologia CMOS Estática de alta performance
  - Freqüência de operação de 150 MHz (Ciclo de máquina de 6.67ns)
  - Baixo consumo (1.8-V Core @135 MHz, 1.9-VCore @150 MHz, 3.3-V I/O)
- JTAG Boundary Scan Support
- CPU de 32 bits com alta performance
  - Operações matemáticas com 32 ou 16 bits
  - Operações matemáticas de 16 bits simultâneas
  - Barramentos com arquitetura Harvard (programa, dados e periféricos)
  - Pequena latência (rápida resposta a instruções e interrupções)
  - Modo de programação de memória unificado
  - Endereça até 4Mb de memória de programa
  - Código eficiente em assembler e em C/C++
  - Programação compatível com a família TMS320F24x
- Memória interna (on chip)
  - Memória flash - 128K x 16
  - Memória ROM - 128K x 16

  - Memória OTP - 1K x 16
  - 2 blocos de memória RAM (L0 and L1) - 4K x 16 cada.

    Tipo RAM de acesso simples (SARAM)
  - Blocos de memória RAM (H0) - 8K x 16 (SARAM)
  - 2 blocos de memória RAM (M0 and M1) - 1K x 16 cada (SARAM)
- Boot ROM (4K x 16)
  - Modo de boot via software
  - Tabelas de dados para o programa
- Interfaces Externas
  - Endereça até 1Mb de memória
  - Estado de espera programável
  - Temporização de leitura e escrita programável
  - 3 Chip Select individuais
- Controle do sistema e do clock
  - Suporta mudança nas razões cíclicas do clock
  - Oscilador integrado (on chip)
  - Módulo de temporização Watchdog
- Suporta 3 interrupções externas
- Bloco de expansão de interrupções de periféricos (PIE) - suporta até 45 interrupções
- 3 temporizadores de 32 bits
- Trava de segurança de memória
  - Áreas protegidas: Flash/ROM/OTP e L0/L1(SARAM)
  - Previne engenharia reversa de firmware
- Controle de periféricos
  - 2 gerenciadores de eventos (EVA, EVB)
- Periféricos da porta serial
  - Interface para periférico serial (SPI)
  - 2 interfaces de comunicação serial (SCIs), padrão UART
  - Suporte ao protocolo eCAN
  - Porta serial multicanal buferizada (McBSP)
- Conversor Analógico/Digital de 12-Bits, 16 canais
  - Entradas analógicas multiplexadas 2x8
  - 2 amostrados
  - Conversão simples ou simultâneas
  - Rápida conversão digital: 80 ns/12.5 MSPS

- Até 56 pinos de I/O de uso geral
- Caracterísitcas avançadas de emulação
  - Funções de análise e breakpoint
  - Debug em tempo real via hardware
- Inclui ferramentas de desnvolvimento
  - ANSI C/C++ Compiler/Assembler/Linker
  - Software Code Composer Studio
  - Software DSP/BIOS
  - Controladores de Scan JTAG
- Modos de baixo consumo e economia de energia
  - Suporte aos modos IDLE, STANDBY, HALT
  - Possibilidade de desabilitar o clock de periféricos individualmente
- Opções de encapsulamento
  - 179-Ball MicroStar BGA™ com interface para memória externa
  - 176-Pin Low-Profile Quad Flatpack (LQFP) com interface para memória externa
  - 128-Pin LQFP sem interface para memória externa
- Temperatura de operação entre -40°C e 85°C:

5.6 Conclusão

Conforme apresentado neste capítulo, a evolução da microeletrônica deu origem a diversas famílias de DSPs. Cada uma destas famílias traz em si algumas características próprias que a torna a mais indicada para determinados tipos de aplicações.

A escolha do DSP mais adequado à aplicação não depende somente da capacidade de processamento ou do custo do DSP, mas sim de um conjunto de características que podem levar a escolha de um DSP que não seja necessariamente o DSP com maior capacidade de processamento ou de menor custo. Em muitas aplicações privilegia-se os DSPs que possuem os periféricos que melhor se adequam ao processo a ser controlado.

Outros pontos relevantes durante a definição do DSP a ser utilizado no projeto referem-se às ferramentas de software e conhecimento prévio sobre a programação do DSP, além da disponibilidade do DSP para a execução do projeto.

Para a implementação do projeto do retificador bidirecional com alto fator de potência optou-se pelo uso do DSP TMS320F2812, fabricante *Texas Intruments*, o qual atende a todas as características mínimas necessárias ao DSP e está disponível para a implementação.

6 Simulação

6.1 Introdução

Há muito tempo discute-se a importância da especificação do projeto com o intuito de reduzir tempo e custos no processo de desenvolvimento de novos softwares, equipamentos novos, dentre outros.

Existem diversas técnicas de análises que permitem antecipar problemas oriundos de falhas de especificação ou de projeto. Dentro das muitas metodologias empregadas destaca-se a simulação, a qual tenta recriar artificialmente as condições e situações de funcionamento, possibilitando o estudo de como a estrutura se comportaria na realidade. Este tipo de ferramenta tem larga utilização para validação de modelos de sistema nas mais diversas áreas do conhecimento.

Através da simulação do projeto do retificador bidirecional com alto fator de potência pretende-se validar o projeto dos controladores digitais, avaliando com antecedência a resposta do sistema a situações como mudança na carga e implicações devidas a alteração de parâmetros de projeto.

6.2 Circuito simulado

Para verificar o desempenho do controle digital e o comportamento global do conversor, optou-se pela ferramenta de simulação Simulink/MATLAB, por apresentar facilidades na implementação dos controladores digitais no domínio ***z***. Além disto, o toolbox Power Eletronics do Simulink/MATLAB possui alguns componentes que auxiliam bastante durante a montagem do circuito, simplificando de forma considerável a montagem do circuito a ser simulado.

A simulação foi feita considerando os valores nominais de projeto (indutâncias, banco de capacitores, carga, fontes de entrada), embora já se sabe por antecedência que durante a implementação prática alguns destes valores poderiam sofrer alterações.

A figura 6.1 representa o circuito simulado.

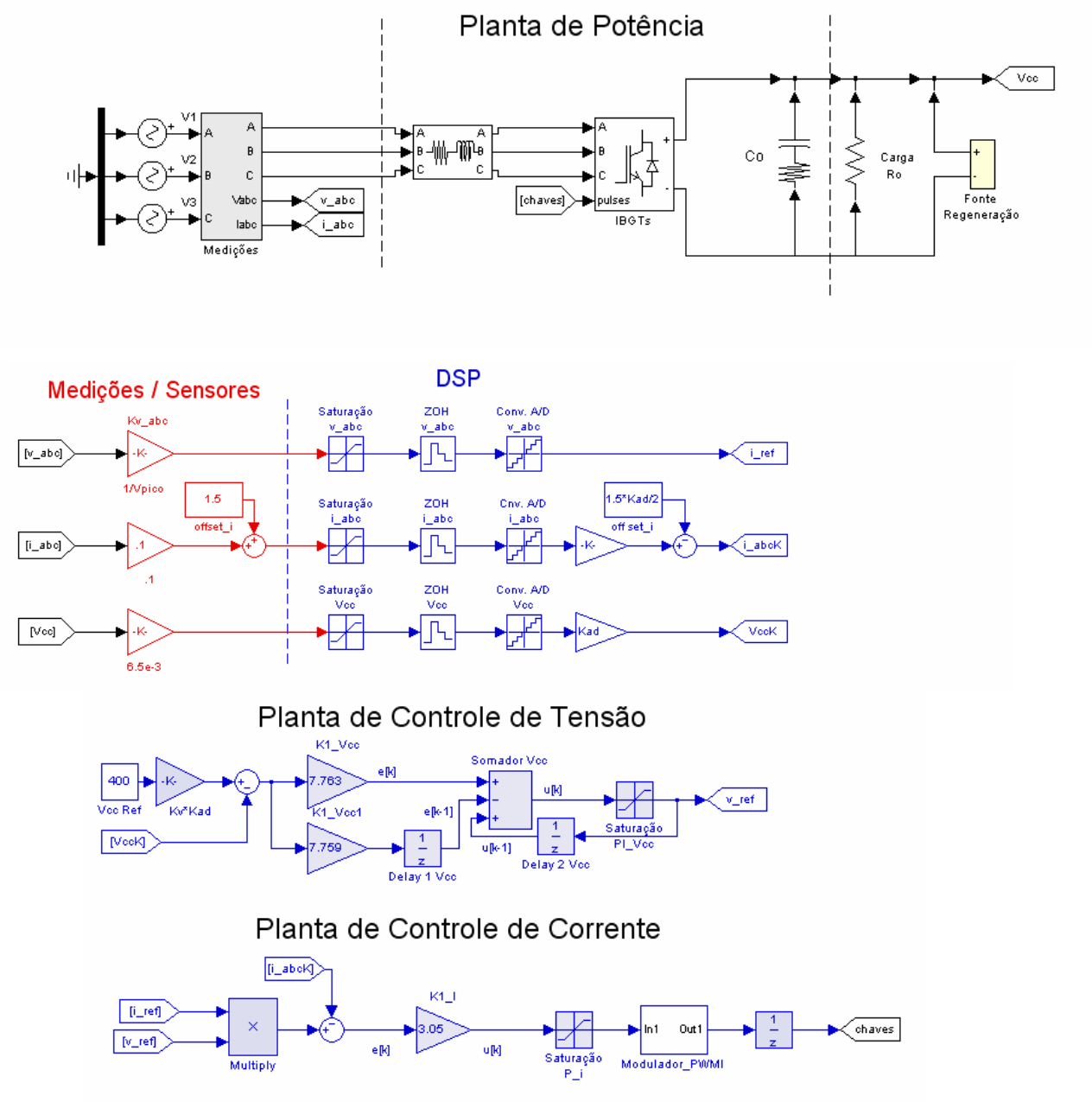


Figura 6.1 – Diagrama em blocos do sistema simulado

6.3 Considerações sobre o circuito simulado

Sobre o circuito simulado, pode-se verificar que a estruturação da planta de potência deu-se de uma maneira bastante simples devido ao uso das ferramentas existentes no toolbox Power Eletronics do Simulink. Desta forma, a visualização do circuito se dá de uma forma mais clara e simplificada do que o desenho de todos os componentes necessários.

Outro fato para o qual se deve atentar é a necessidade de inclusão de resistências em série com a indutância de entrada e com a capacitância de saída. Estas resistências, embora consideradas com valores bem pequenos, são necessárias para que não haja problemas de convergência numérica durante a simulação.

A amostragem das tensões e correntes de entrada é feita pelo bloco *Medições*. Este bloco faz a amostragem das 3 fases e concatena os resultados em um único vetor. Sendo assim, é possível estruturar o controle com sendo para uma única fase, mas internamente o simulador considerará as 3 fases que estão agrupadas no mesmo vetor. Por isto só visualiza-se uma malha de amostragem para as tensões e para as correntes, assim como apenas uma malha de controle de corrente com modulador PWM.

Com relação a medição das tensões de entrada, utilizou-se o artifício de amostrar as tensões de entrada e disponibilizá-las no final da amostragem com amplitude unitária para ser utilizado no controle de corrente. Desta forma, não é necessária a implementação do circuito PLL na simulação.

Verifica-se também que antes da amostragem dos sinais de corrente de entrada é somado um off-set ao sinal. Este off-set é utilizado no circuito real para garantir que o sinal amostrado se encontre dentro da faixa de operação do DSP. Sua implementação será discutida no próximo capítulo. Porém, depois de amostrados os sinais de corrente, este valor do off-set é subtraído para que internamente ao DSP o programa de controle possa trabalhar com sinais simétricos.

Considera-se que os filtros anti-aliasing não tem necessidade de serem implementados na simulação já que eles não devem interferir na forma de onda do sinal.

Com relação à implementação das malhas de controle, ressalta-se a existência de saturadores nas saídas dos controladores de tensão e corrente. Estes saturadores foram implementados de modo a limitar a excursão máxima dos sinais na saída dos controladores. Na implementação em DSP destes controladores, esta limitação também existe, haja visto que o resultado do controlador tem um valor máximo compatível com a variável e a base de operação que se utiliza no DSP.

Outro ponto interessante na implementação da malha de controle de corrente é a existência de bloco que representa um atraso do sinal de saída devido ao processamento das informações no interior do DSP.

O modulador PWM foi concebido como sendo um sub-circuito do circuito principal da simulação. Este recurso foi utilizado para poder ter um circuito mais limpo e fácil de ser compreendido. A figura 6.2 representa a estrutura interna deste sub-circuito.

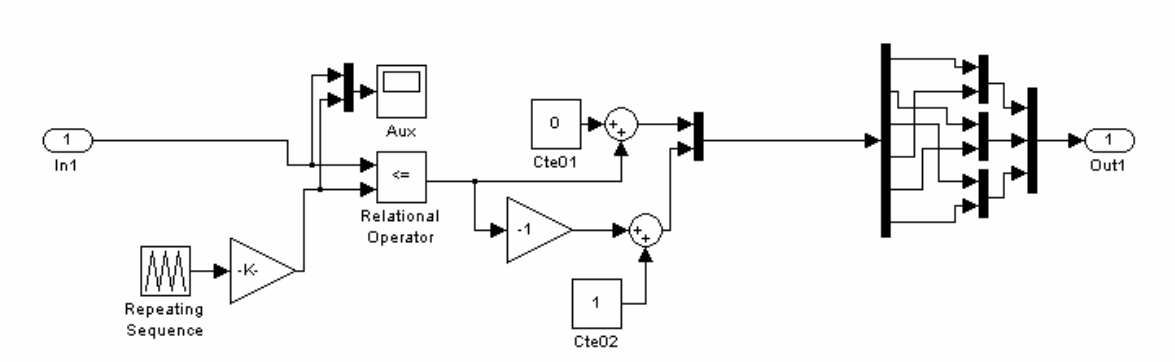


Figura 6.2 – Estrutura interna do modulador PWM

O sub-circuito em paralelo com a carga representa uma fonte de corrente fictícia, que será utilizada para injeção de energia no barramento de saída, forçando o sistema a entrar no modo regenerativo de energia para manter a tensão no barramento estável.

6.4 Resultados simulados

Com relação aos resultados simulados, buscou-se verificar diversos pontos que serão de interesse depois no funcionamento do protótipo, pois desta forma, conseguiu-se antecipar problemas que poderiam ser encontrados durante a fase de testes em bancada.

A figura 6.3 apresenta a tensão e corrente de entrada em uma das fases, demonstrando que o controle é capaz de manter a tensão e corrente em fase e com características senoidais. Uma terceira curva é representada na figura 6.3 e representa a tensão de saída no barramento CC, demonstrando que esta permanece constante, com um pequeno ripple, durante a operação do circuito.

A figura 6.4 representa as correntes de entrada, demonstrando que o sistema opera de forma equilibrada entre as fases.

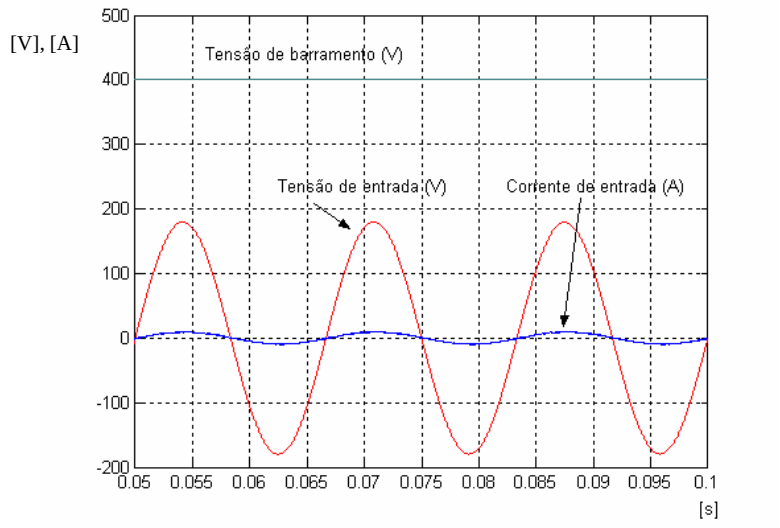


Figura 6.3 – Tensão e corrente de entrada e tensão no barramento CC

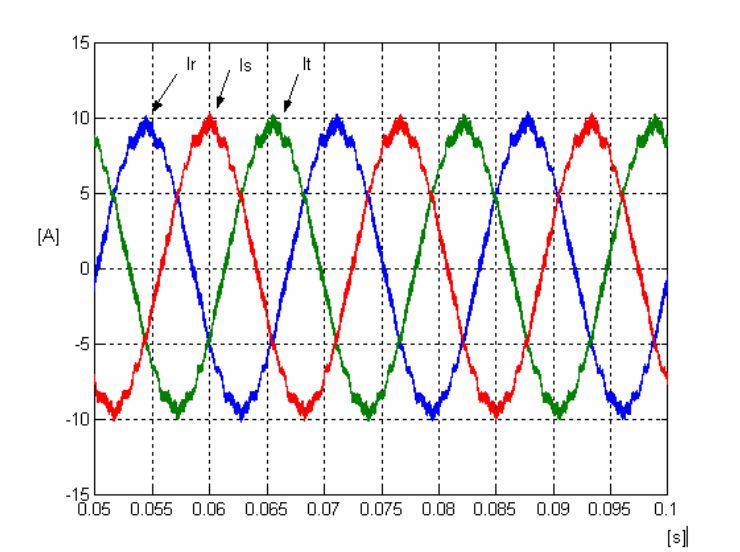


Figura 6.4 – Correntes na entrada do circuito

Outro ponto importante a ser verificado é o comportamento do sistema quando ocorre um degrau de carga. Nesta simulação estão sendo forçados dois degraus de carga, o primeiro em 150ms força o conversor a iniciar um processo de regeneração de 100% de carga. O segundo degrau, em 250ms, corresponde à retirada da fonte que força a regeneração, voltando a operar novamente como retificador com 100% de carga. A figura 6.5 mostras os sinais de tensão e corrente de entrada para uma das fases, bem como a tensão no barramento CC durante ambos os transitórios. A figura 6.6 mostra um zoom na tensão e corrente de entrada no momento do início da regeneração. Pode-se ver que a recuperação do controle ocorre em menos de um semi-ciclo da rede.

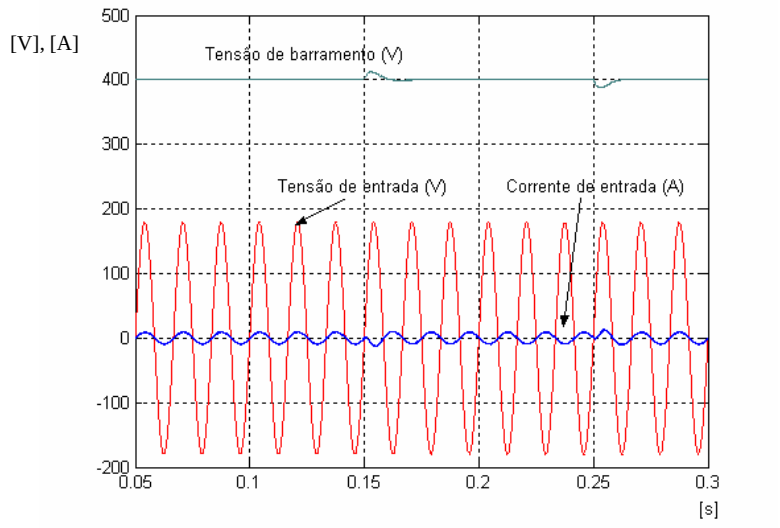


Figura 6.5 – Resposta do sistema ao ciclo de regeneração

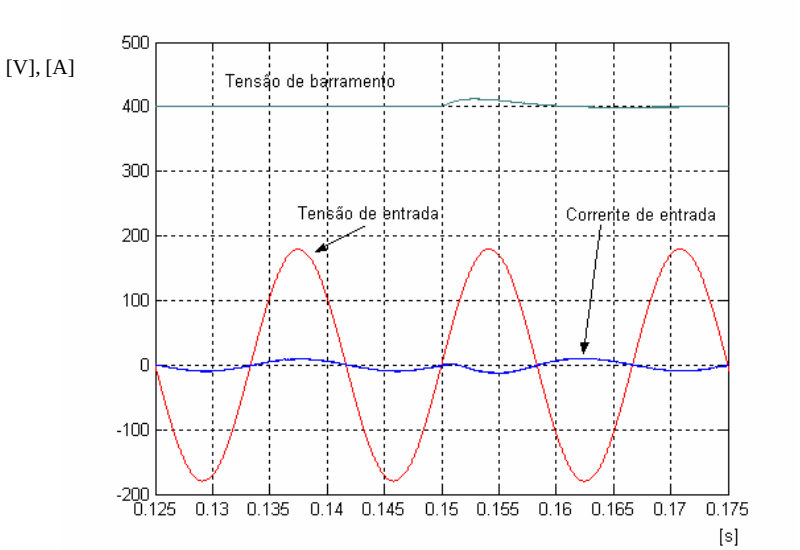


Figura 6.6 – Zoom no início da regeneração – tensão e corrente de entrada

As figuras 6.7 e 6.8 mostram a dinâmica dos controladores para os mesmos degraus de carga apresentados anteriormente.

Na figura 6.7 verifica-se o desempenho do controlador de tensão, visualizando suas entradas de referência e amostrada, bem como a saída do controlador PI e do saturador do sinal de saída.

Na figura 6.8 verifica-se o desempenho do controlador de corrente. Como no caso anterior, acompanham-se as variações dos sinais de entrada do controlador e o sinal de saída, após o saturador.

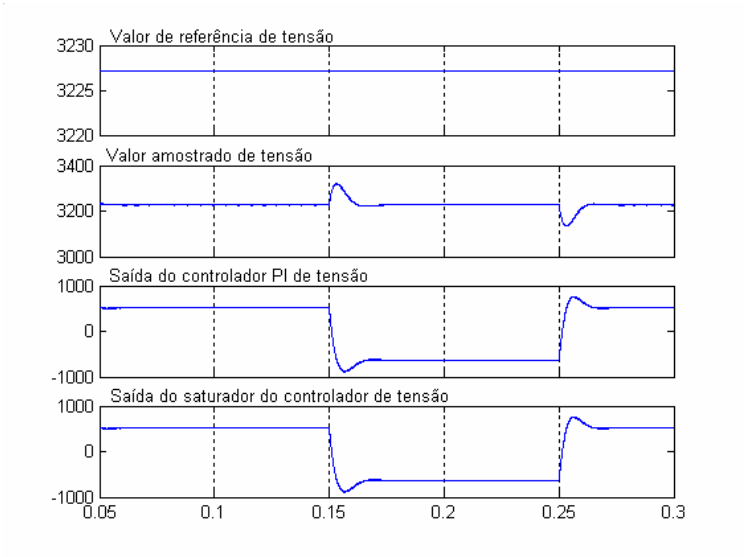


Figura 6.7 – Resposta do controlador de tensão a transitórios de carga

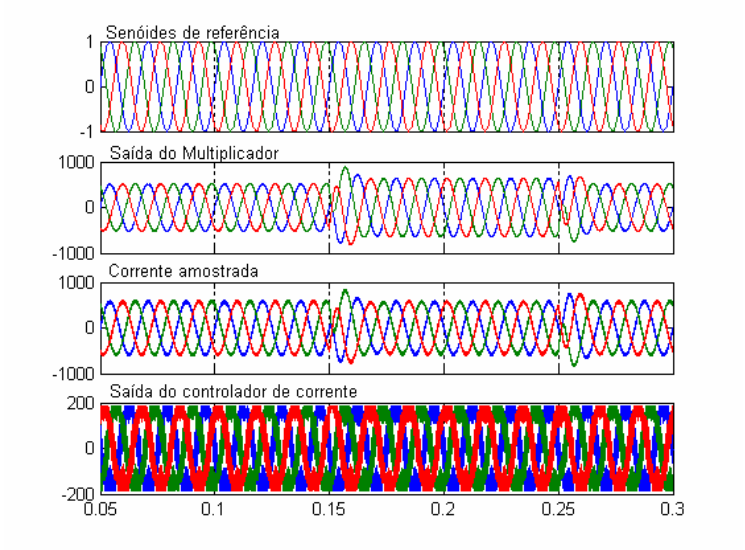


Figura 6.8 – Resposta do controlador de corrente a transitórios de carga.

6.5 Validação de Esforços nos Componentes

O circuito simulado também foi utilizado para validar o equacionamento encontrado para a determinação dos esforços nos componentes. A Tabela 6.1 mostra um paralelo entre os valores encontrados através da análise quantitativa e da simulação, ressaltando os erros percentuais para as grandezas analisadas.

As validações dos esforços foram feitas a partir da simulação no Simulink, exceto a corrente eficaz no capacitor, para a qual utilizou-se do simulador Orcad, reproduzindo as mesmas condições de operação encontradas no Simulink.

Tabela 6.1 – Validação dos esforços dos componentes

Componente	Grandeza	Valor Calculado	Valor Simulado	Erro %
Capacitor	Corrente Eficaz	5,67 A	5,15 A	9,17%
IGBT	Corrente Eficaz	5,01 A	4,88 A	2,59%
	Corrente Média	3,02 A	2,80 A	7,28%
Diodo	Corrente Eficaz	1,84 A	1,87 A	1,60%
	Corrente Média	0,36 A	0,38 A	5,26%

6.6 Conclusão

Através do processo de simulação do sistema pode-se afirmar que a metodologia de controle e o projeto dos controladores atendem as necessidades do sistema para que este tenha um funcionamento e uma dinâmica de acordo com as expectativas do projeto.

Ressalta-se também ao término deste capítulo a versatilidade apresentada pelo Simulink e suas bibliotecas/toolboxes. A partir do uso destes, a implementação das equações de diferenças do controle para o sistema trifásico se deu de maneira rápida e com o uso de poucos elementos/blocos. Isto facilita consideravelmente a análise dos resultados e a busca de problemas, além de tornar a apresentação visual do circuito mais clara e organizada.

Um fato que foi verificado através da simulação e que deve ser ressaltado, pois pode ter grande impacto na implementação prática do circuito, é com relação ao saturador do controlador de tensão. Se for mantida uma baixa margem de excursão de sinal na saída do controlador de tensão, este pode facilmente saturar durante os chaveamentos de carga. Isto implica em que a regulação da tensão do barramento CC é perdida por não conseguir gerar um valor suficientemente alto para compor o sinal de referência para o controlador de corrente, o que leva a um novo ponto de operação para o barramento de saída. Por outro lado, não se deve deixar esta faixa de valores muito aberta, pois quanto maior a faixa de valores que o controlador de tensão pode assumir, mais longo se torna o transitório. Então é importante chegar a uma faixa de valores ótimo que mantenham o compromisso entre a velocidade e a robustez do controle.

7 Implementação do Protótipo

7.1 Introdução

No decorrer deste capítulo serão abordados os principais pontos relativos a implementação de um protótipo desenvolvido em laboratório para que seja possível validar na prática e eficácia da topologia proposta para o controle.

Projetou-se e implementou-se um conversor trifásico bidirecional com alto fator de potência controlado digitalmente por um DSP TMS320F2812, da Texas Instruments, para uma potência de 2500W de saída.

Serão abordados neste capítulo assuntos pertinentes à implementação do hardware e software, sendo que a escolha e projeto dos componentes e do controle já fora argumentada e defendida anteriormente. Serão apresentados também os resultados experimentais obtidos a partir do ensaio do protótipo realizado em laboratório.

7.2 Controle do conversor com o DSP

Embora o funcionamento do conversor já tenha sido abordado no capítulo 1, a especificação da parte de potência no capítulo 2 e o projeto dos controladores e alguns circuitos auxiliares no capítulo 4, ainda não há uma visão do projeto como um todo.

Buscando dar uma idéia mais ampla sobre o protótipo, a figura 7.1 apresenta o diagrama em blocos de toda a estrutura, representando em um nível mais macro todos os componentes que compõe o sistema e os principais blocos que compõe o algoritmo implementado no DSP para a execução do controle.

Para que o controle digital da estrutura funcione corretamente, o programa do DSP tem que ser alimentado com dados provenientes do circuito de potência, após serem devidamente tratados. Da mesma forma, o resultado do controle precisa ser levado às chaves do módulo de potência para que o funcionamento destas seja corrigido de modo que o controle possa atuar sobre o fluxo de potência no interior do conversor.

Porém, esta troca de informações entre o DSP e o módulo de potência não pode ser executada diretamente, pois não há compatibilidade entre os sinais disponibilizados por ambos. Para possibilitar esta compatibilidade entre os sinais é que surgem os circuitos auxiliares/complementares.

A seguir, é exposta de maneira sucinta, uma visão global do mecanismo de gerência envolvido no processo de controle do conversor.

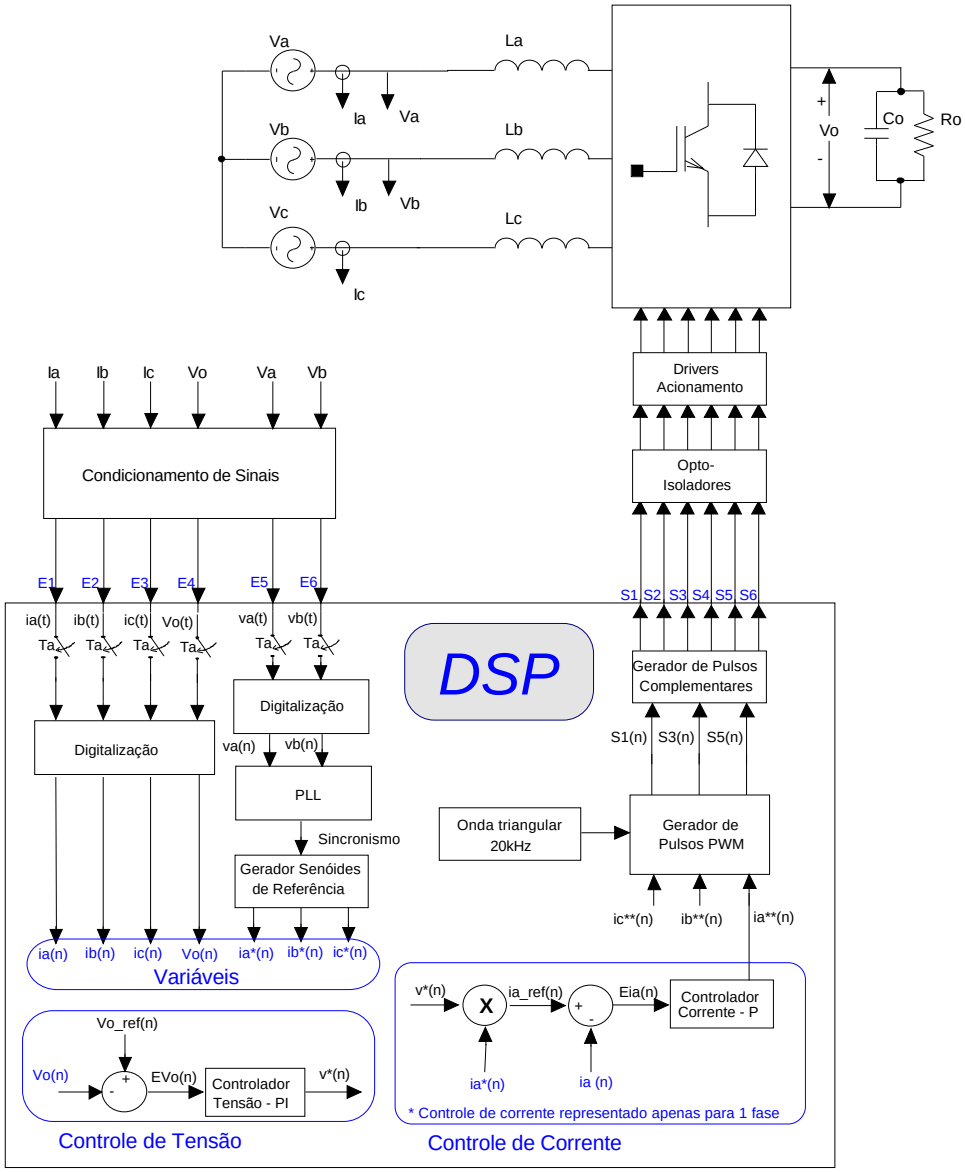


Figura 7.1 – Diagrama em blocos do sistema

A descrição do funcionamento de cada um dos circuitos auxiliares e do software é apresentados na seqüência, demonstrado a funcionalidade requerida de cada um, bem como a solução encontrada para a sua implementação.

7.3 Programação

A programação a ser implementada no DSP consiste não só na implantação da lei de controle, mas deve-se fazer a configuração do sistema A/D, controlador PWM,

temporizadores, além dos demais periféricos do DSP. O software foi desenvolvido na linguagem de alto nível C/C++ através do compilador *Code Composer*^{TM}.

Como o C/C++ é uma linguagem de alto nível, pode-se fazer uso das bibliotecas de rotinas e softwares disponibilizados no site do fabricante e por outros estudantes que trabalham com desenvolvimento em DSP.

A estrutura funcional do software pode ser acompanhada através da figura 7.1, onde o fluxo de informações está representado dentro do DSP. Porém, a figura 7.2 mostra um fluxograma mais detalhado com o fluxo de informações dentro do DSP.

Como se trabalha com uma programação de alto nível e a eficiência do *Code Composer*^{TM} na compilação do programa é boa [11, 36], a programação foi executada ignorando muitos pontos relativos ao mapeamento de memória, alocação de variáveis na memória, controle de ponteiros de pilha de memória dentre outros pontos que geralmente necessitam de bastante por parte do programador, pois o *Code Composer*^{TM} executa estes controles automaticamente quando o programa é compilado.

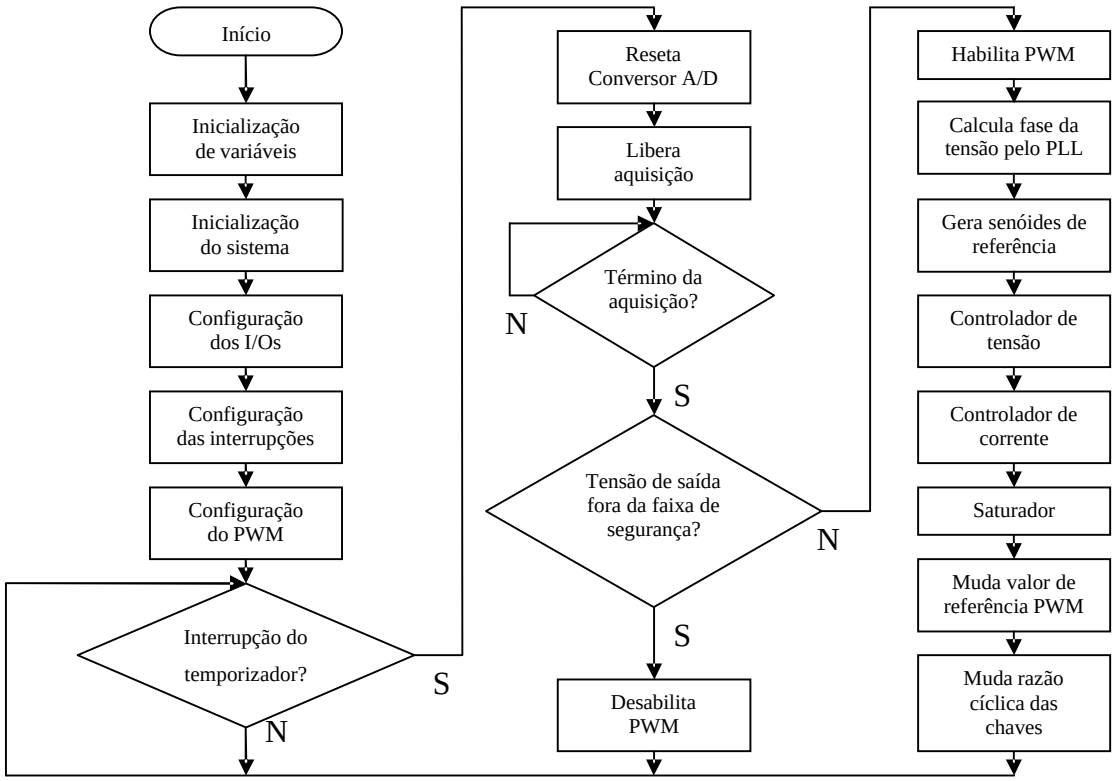


Figura 7.2 – Fluxograma do programa do DSP

Inicialmente todas as variáveis e constantes são definidas e carregadas nas memórias de dados e programa, como também são configurados e inicializados os

periféricos do DSP (portas de I/O, conversor A/D, gerenciador de interrupções, temporizador, modulador PWM).

O conversor A/D é programado para que a aquisição de dados seja feita de maneira seqüencial para os primeiros 6 canais do conversor A. Configura-se também o clock do conversor A/D através de um prescaler.

O gerenciador de interrupções é configurado de modo que as interrupções utilizadas (timer T1, conversor A/D e temporizador do PWM) estejam habilitadas e direcionadas para as rotinas responsáveis por iniciar um ciclo de controle e aquisição, recuperar dados adquiridos e atuação das saídas dos PWM respectivamente.

A programação do PWM consiste em configurar algumas características do modulador tais como freqüência de chaveamento, modo das saídas, tempo morto, níveis de comparação, prescalers, dentre outros.

Uma vez inicializadas as variáveis e os periféricos do DSP, o sistema fica em estado de espera aguardando a interrupção que inicializa a aquisição e a rotina de controle (cerca de 35µs). Quando o temporizador T1 acusa que um ciclo de chaveamento terminou e outro precisa ser inicializado (20kHz), ele dispara uma interrupção que é responsável pela aquisição dos sinais de entrada (este período de execução chamado de tempo de execução é de cerca de 15µs).

Quando os sinais amostrados são disponibilizados pelo conversor A/D, o programa verifica se a faixa em que se encontra o barramento de saída é uma faixa segura para a operação do conversor. Se esta tensão estiver muito alta ou muito baixa, o PWM permanece desabilitado por questões de segurança e o sistema aguarda a próxima interrupção. O limite superior da faixa de controle existe para que a tensão no barramento não atinja valores superiores aos limites de segurança das chaves ou banco capacitivo de saída. O limite inferior existe para que o controle só passe a atuar quando o barramento de saída já estiver com um determinado valor, útil para que não ocorra a saturação dos controladores durante o processo de energização do sistema (*power on*). Com o PWM desabilitado, a estrutura funciona de modo similar a um retificador trifásico com ponte de diodos e a tensão de saída deve ficar em torno de 2,45 vezes maior que a tensão eficaz de entrada em cada fase.

Se a tensão do barramento de saída estiver dentro do limite seguro de operação, o PWM é habilitado e os dados das tensões de entrada são levados ao PWM, o qual definirá

a fase do sinal V_a. No caso do protótipo em questão, a faixa segura de operação está entre 300V e 450V.

Uma vez que o valor da fase de V_a é determinada, pode-se definir a fase das outras tensões de entrada e calcular os valores das senóides internas que servem de referência para o sinal dos controladores.

O controlador de tensão calcula o esforço de controle baseado nos valores de tensão atual e anterior do barramento de saída e com base no valor anterior da saída do controlador. O controlador de tensão é um controlador PI do tipo $y_i(n) = A \cdot x_v(n) - B \cdot x_v(n-1) + \cdot y_v(n-1)$.

O controlador de corrente calcula o esforço de controle baseado no valor do erro entre a corrente de referência e a corrente medida. O controlador de corrente é do tipo proporcional e sua função de transferência corresponde a $y_i(n) = K_i \cdot x_i(n)$

A saída do controlador passa por um circuito saturador para evitar que o resultado a ser levado ao PWM para comparação esteja fora do limite de comparação do sistema. O saturador limita a razão de modulação em 97,5% por medida de segurança.

O valor da saída do controlador de tensão multiplica as senóides de referência gerando os valores de referência dos controladores de corrente.

O circuito PWM interno ao DSP trabalha de forma autônoma, recebendo os dados provenientes do saturador e fazendo o chaveamento das chaves de maneira complementar e com o tempo morto já inserido.

Quando o PWM estiver finalizando um ciclo de chaveamento, outra interrupção deve ser disparada para que os ciclos de amostragem, controle e chaveamento recomecem.

7.4 Circuitos

O projeto final do retificador trifásico bidirecional com alto fator de potência é composto pelo software instalado no DSP, responsável por efetivar as leis de controle; como também pelo hardware, o qual pode ser decomposto em diversos sub-circuitos, cada qual com a sua funcionalidade própria.

O protótipo montado para testes é apresentado na figura 7.3.

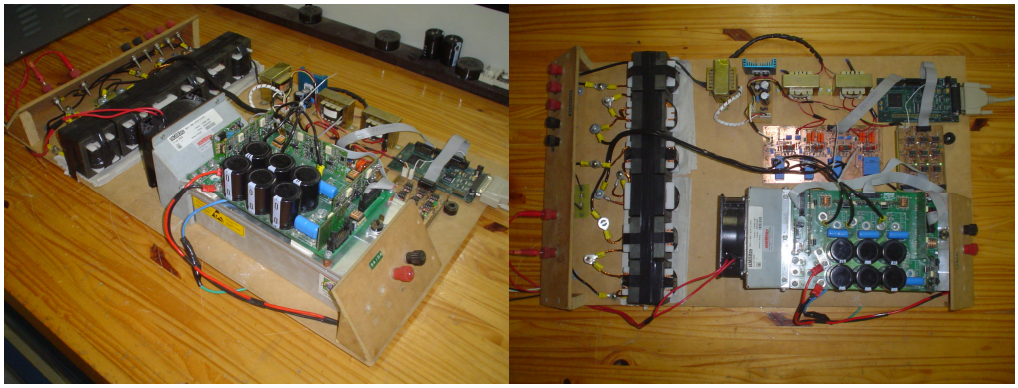


Figura 7.3 – Protótipo montado para testes

A seguir, são abordados os sub-circuitos que compõe o hardware, bem como uma breve descrição o seu funcionamento, topologia escolhida e projeto.

7.4.1 Unidade de potência

A unidade de potência consiste basicamente na estrutura a ser controlada. Fazem parte da unidade de potência os indutores de entrada, chaves semi-condutoras e o barramento capacitivo de saída, conforme ilustra a figura 7.4.

Como já descrito no capítulo 2, o circuito de potência deve ser atender aos requisitos mínimos lá apresentados. O módulo inversor trifásico Semikron B6U+B6I+E1IF atende a estes requisitos e será utilizado na implementação prática do conversor.

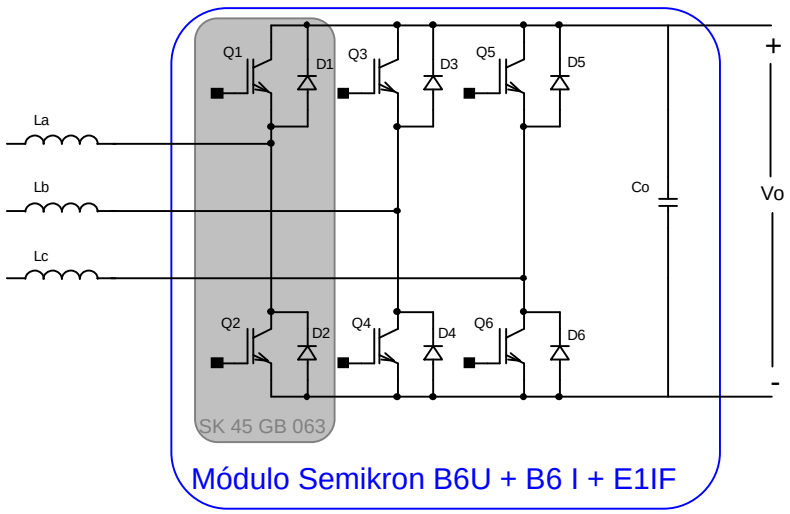


Figura 7.4 - Diagrama esquemático da Unidade de Potência

O módulo inversor trifásico comercializado pela Semikron é composto por 3 módulos semicondutores SK 45 GB 063 e um barramento capacitivo de 1500µF, montados adequadamente sobre um dissipador.

Cada módulo semicondutor tem internamente 2 conjuntos de IGBT com diodos em anti-paralelo, interligados de tal forma que cada módulo corresponde a um dos braços do retificador trifásico.

O módulo B6U+B6I+E1IF ainda possui outros componentes e acessórios que para esta aplicação, poderão ser ignorados por não serem relevantes ao projeto. A figura 7.5 mostra a foto do conversor em questão.



Figura 7.5 – Foto do módulo inversor trifásico da Semikron, modelo B6U+B6I+E1IF

7.4.2 Drivers

Os *drivers* utilizados para o acionamentos das chaves semicondutoras são *drivers* modelo SKHI 20op da Semikron. Estes *drivers* são partes integrantes do módulo inversor trifásico comercializado pela Semikron, embora também possam ser comprados de forma isolada.

Estes *drivers* garantem o isolamento entre os sinais de comando e a parte de potência a ser controlada. Além de garantia a isolação entre os circuitos de comando e potência, estes drivers possuem sistemas de proteção para as chaves de modo a prevenir curtos-circuitos de braço, proteção contra sobre-corrente. Quando ativadas, estas proteções desabilitam o chaveamento dos interruptores.

Sempre que o chaveamento dos interruptores é desativado por alguma das proteções do *driver*, um sinal de desarme (ativo em nível lógico baixo) é disponibilizado no barramento de interface do *driver*. Para que o *driver* volte a funcionar corretamente, transmitindo os pulsos de chaveamento para as chaves, é necessário que o *driver* seja resetado através de um pulso baixo na entrada de *reset*.

A figura 7.6 mostra uma foto do *driver* utilizado e a figura 7.7 identifica estes *drivers* no módulo inversor trifásico utilizado.

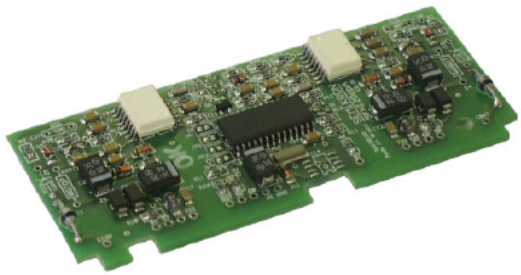


Figura 7.6 – Foto do *driver* de comando



Figura 7.7 – Módulo inversor trifásico – *drivers* de comando em destaque.

7.4.3 Condicionamento dos sinais de corrente de entrada

O circuito de condicionamento dos sinais de corrente de entrada é o circuito responsável por fazer a preparação dos sinais de corrente que passam pelas fontes de entrada antes que estes sejam amostrados pelo DSP.

Este circuito é composto basicamente por 3 etapas distintas: sensor de corrente, somador de off-set e filtro anti-aliasing. A figura 7.8 mostra o esquema elétrico do circuito de condicionamento de sinal.

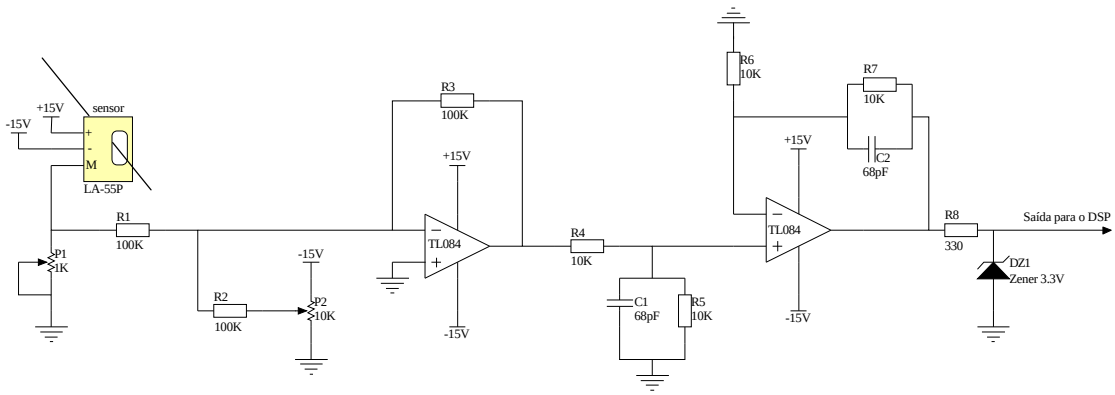


Figura 7.8 – Circuito de condicionamento do sinal de corrente de entrada

O transdutor de corrente é do tipo transdutor por efeito Hall (modelo LA-55 SP1, fabricante LEM). Este transdutor tem por característica apresentar um sinal de corrente proporcional a corrente de entrada numa razão de 2000:1, sendo que se considera a entrada aquela que circula pelo condutor dentro da janela do transdutor.

Para se conseguir o ganho de 0,1 V/A para este transdutor utilizaram-se alguns artifícios. Inicialmente utilizaram-se 2 espiras na janela de medição do sensor de efeito hall, obtendo assim um ganho de corrente de 1000:1. Porém, como a saída do transdutor é em corrente, passou-se este sinal por um resistor de 100• para obter o ganho desejado. O resistor de 100• é na verdade um potenciômetro multi-voltas para facilitar a calibração do sistema, já que os 3 transdutores de corrente tem que apresentar o mesmo ganho para que não haja desbanceamento de corrente da entrada do circuito.

Ressalta-se ainda o fato de ter-se realizado a passagem dos condutores nas janelas dos transdutores de modo invertido, o que equivale a dizer que o sinal de corrente medido na saída do transdutor está com o sinal oposto ao que realmente circula pelo indutor. O motivo desta inversão é explicado na seqüência.

Após o sinal de corrente do transdutor ser transformado em tensão no resistor de 100• , este é levado a um circuito somador que somará ao sinal de saída do transdutor a um sinal de -1,5V. Este sinal de -1,5V equivale a um off-set inserido no sinal a ser amostrado para que todo o sinal de corrente amostrado seja deslocado para possibilitar a amostragem por parte do DSP, que só é capaz de amostrar sinais entre 0 e +3V.

O circuito somador, além de somar um off-set ao sinal amostrado, serve também como buffer de corrente e casador de impedâncias entre a saída do transdutor e a entrada do filtro anti-aliasing. Este buffer de corrente possui ganho -1, é quem faz a inversão do sinal amostrado pelo transdutor, fazendo-o voltar a fase original da corrente de entrada. Os valores das resistências deste estágio foram escolhidas de forma a garantir o casamento de impedância entre as etapas e ganho -1 para o somador.

O último sub-circuito deste condicionador de sinais é o filtro anti-aliasing, o mesmo discutido no capítulo 4. O filtro anti-aliasing é um filtro passa-baixas analógico de 2ª ordem projetado para que não ocorra o fenômeno de sub-amostragem dos sinais, o que pode levar a uma interpretação equivocada por parte do DSP sobre o que está acontecendo com a corrente de entrada. O filtro anti-alising foi projetado de forma que a freqüência de corte fique em torno de 10kHz e que o sinal de entrada não seja distorcido por causa deste filtro [30].

O circuito de condicionamento dos sinais de corrente de entrada faz parte do que se convencionou chamar de placa de condicionamento, a qual é mostrada na figura 7.9.

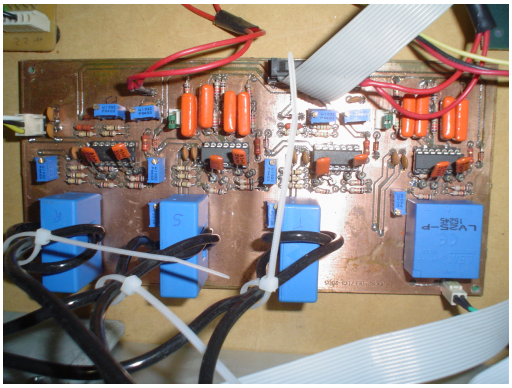


Figura 7.9 – Placa de condicionamento de sinais

As fontes de alimentação de +15V e -15V são externas à placa de condicionamento de sinais. Elas serão abordadas adiante, em outro tópico.

7.4.4 Condicionamento dos sinais de tensão de entrada

O circuito de condicionamento dos sinais de tensão de entrada é o responsável por fazer a amostragem dos sinais de tensão das fontes de entrada e levá-los ao DSP. Estes sinais, depois de amostrados, são utilizados como entrada da rotina do PLL no programa do DSP, a qual é responsável por definir qual a fase que deseja-se obter para as correntes de entrada.

Os sub-circuitos internos ao circuito de condicionamento dos sinais de tensão são muito parecidos com os sub-circuitos do condicionador de sinais dedicados à corrente. São eles: sensor de tensão, somador de off-set e filtro passa-baixas. A figura 7.10 mostra o esquema elétrico do circuito de condicionamento de sinais dedicados às tensões de entrada.

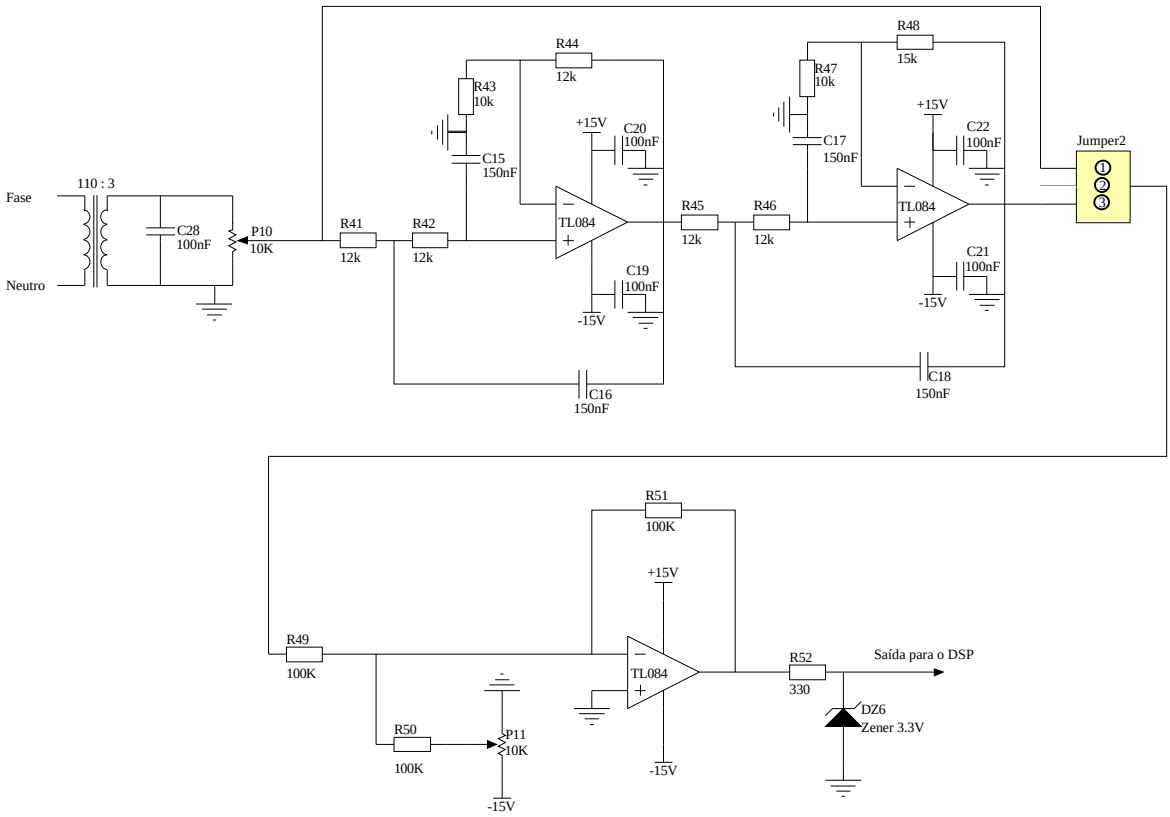


Figura 7.10 - Circuito de condicionamento do sinal de tensão de entrada

Diferentemente do que acontece com a corrente, existem apenas 2 circuitos para condicionamento das tensões de entrada. A terceira forma de onda de tensão é calculada internamente no DSP. As entradas dos condicionadores de tensão de entrada são ligadas às tensões fase-neutro das fases A e B. É necessário que as entradas destes sensores estejam conectados às fases corretas de entrada para que os pulsos de comando gerados pelo modulador PWM internamente ao DSP não sejam aplicados às chaves ou braços incorretos.

O sensor de entrada deste sub-circuito são transformadores isoladores com relação de transformação de 220:3. Na saída do transformador foi conectado um potenciômetro que auxiliará no ajuste da amplitude máxima da tensão a ser levada para o restante do circuito. A amplitude da tensão amostrada não deve superar os 1,5V de pico após a filtragem. Esta tensão não precisa de um valor exato, pois o parâmetro que nos interessa neste sinal é a fase do sinal.

Depois de amostrado, o sinal da tensão de entrada é levado a um filtro passa-baixas do tipo Butterworth de 4ª ordem. A função deste filtro é permitir que apenas a componente fundamental do sinal possa passar, atenuando fortemente as demais harmônicas. Esta

precaução é tomada para que ruídos não entrem no sistema de amostragem e desestabilizem o PLL.

Percebe-se que após o filtro Butterworth há um jumper que permite fazer um *by pass* nos filtros, levando o sinal amostrado diretamente ao somador, mas neste caso, a amostragem do sinal com os harmônicos não deu um bom resultado para a operação do PLL.

O último estágio deste circuito é um somador inversor, responsável por somar ao sinal da saída do filtro uma tensão de -1,5V. Como no caso anterior, este somador aplica um off-set ao sinal amostrado garantido que ele fique todo dentro dos limites de 0 a +3V para possibilitar a amostragem do sinal por parte do DSP.

Como no caso anterior, o circuito de condicionamento do sinal de tensão de entrada está montado fisicamente na placa de condicionamento de sinal, mostrada na figura 7.9.

7.4.5 Condicionamento do sinal de tensão do barramento CC

O circuito de condicionamento do sinal de tensão do barramento CC é o responsável por fornecer um sinal de saída proporcional à tensão de barramento e que seja compatível com as necessidades impostas pelo DSP para a amostragem.

Topologicamente, este circuito é mais simples que os anteriores pois amostra apenas tensão contínua. Seus sub-circuitos são o sensor de tensão e o filtro anti-aliasing conforme demonstrado na figura 7.11.

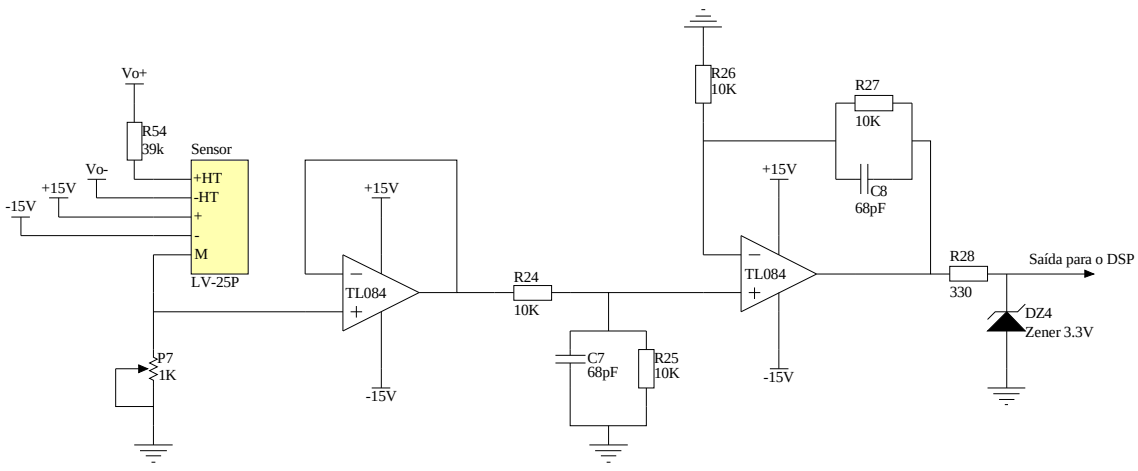


Figura 7.11 - Circuito de condicionamento do sinal de tensão do barramento CC

O sensor de tensão utilizado é um sensor do tipo hall (modelo LV-25P, fabricante LEM). Este sensor tem um princípio de funcionamento muito similar ao transdutor de

corrente. O resistor R54 limita a corrente que passa pelo primário do transdutor, o qual converte a corrente de entrada em uma corrente de saída proporcional a corrente de entrada do transdutor, logo, proporcional à tensão de entrada. A corrente de saída do transdutor é novamente convertida em tensão ao passar pelo potenciômetro P7. Em última instância, é ele quem define o ganho do transdutor como um todo.

O cálculo dos resistores é feito conforme orientação dada na folha de especificação do componente. Deve-se ficar atento à potência necessária ao resistor R54. Para a implementação deste projeto foi utilizado um resistor de 6W, mas dependendo do valor de resistência escolhido, a potência dissipada pode chegar a 10W, e portanto, deve-se prever um local adequado para a sua instalação.

Na saída do sensor de tensão tem-se um buffer de corrente para promover o casamento de impedâncias entre a saída do transdutor e a entrada do filtro anti-aliasing.

O filtro anti-aliasing deste condicionador de tensão é semelhante ao apresentado no condicionador de corrente de entrada, portanto sua descrição será suprimida.

Este circuito também é parte integrante da placa de condicionamento de sinal apresentada na figura 7.9.

7.4.6 Módulo DSP

Para uso do DSP, utilizou-se o kit didático TMSF2812 eZdsp^{TM}. Este kit é um módulo independente que permite o uso do DSP sem que seja preciso desenvolver todos os periféricos e placas necessárias. Este módulo permite que o micro se comunique através da porta paralela diretamente com ele através do controlador JTAG.

Em laboratório, este módulo tem demonstrado ser uma excelente plataforma de desenvolvimento, pois além de permitir a execução do software e ter acesso a todos os recursos do DSP, permite que o usuário possa fazer a programação e o depuração do software com o Code Composer^{TM}, o qual acompanha o kit.

São características do DSP que integra o kit didático:

- Processador digital de sinais TMS320F2812;
- 18K words de RAM on chip
- 128K words de ROM (Flash) on chip
- 64K words de RAM on board
- Controlador JTAG (IEEE 1149.1) on board
- Emulador JTAG (IEEE 1149.q) on board

- Adaptador para operação com tensão de 5V
- Copia do Code Composer Studio desenvolvida especialmente para trabalhar com este mólulo.

A figura 7.12 mostra em detalhes o kit didático mencionado.

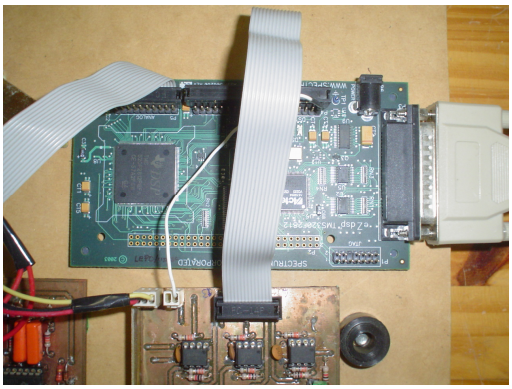


Figura 7.12 – Kit didático TMSF2812 eZdsp™

7.4.7 Interface DSP – drivers

As saídas de I/O do DSP possuem uma tensão de saída de 3,3V ou 5V, mas com uma capacidade de corrente bastante limitada (cerca de 3mA). Por outro lado, os drivers de acionamento do módulo de potência operam com 15V. Então surge um problema, como fazer os sinais do DSP chegar aos *drivers* e vice-versa?

Para resolver este problema é que se desenvolveu a placa de interface DSP – *drivers*. A função desta placa é basicamente isolar completamente os circuitos do DSP e dos *drivers*, protegendo a ambos em caso de colapso do sistema.

O isolamento entre os 2 lados da placa é feito através de opto-acopladores de baixa corrente de entrada (6N138), já que o DSP não tem capacidade de corrente para acionar opto-aclopadores convencionais.

Esta interface pode ser dividida em duas partes. Aprimeira faz o condicionamento do sinal do DSP para os *drivers* – figura 7.13, utilizado para os sinais dos moduladores PWM destinados ao chaveamento dos semi-condutores.

A outra estrutura faz o condicionamento dos sinais oriundos dos *drivers* para o DSP – figura 7.14, utilizado para transmitir ao DSP os sinais de erro gerados pelo *drivers*.

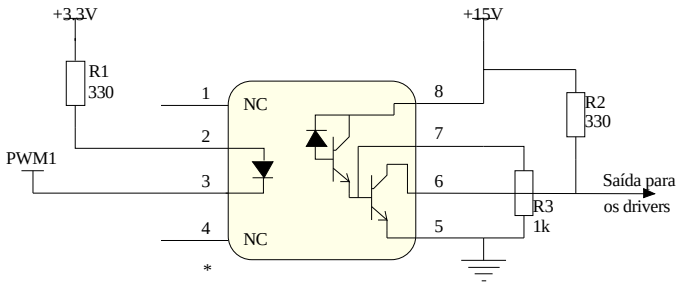


Figura 7.13 – Circuito de condicionamento de sinal do DSP para os *drivers*

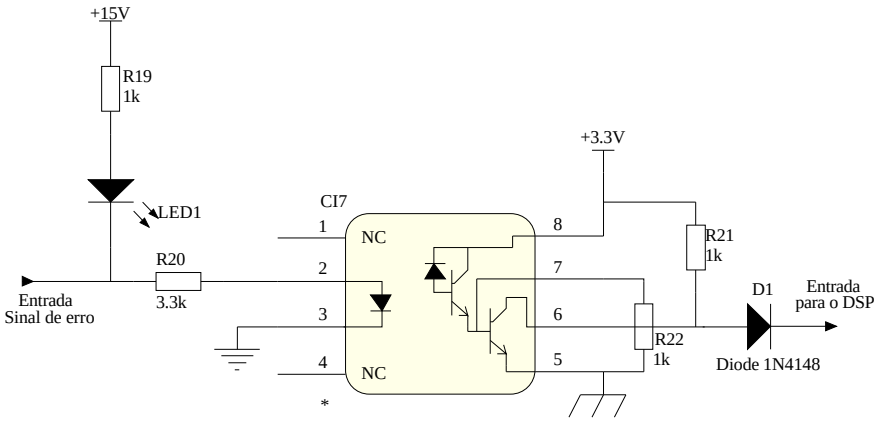


Figura 7.14 – Circuito de condicionamento de sinal dos *drivers* para o DSP

A figura 7.15 mostra a placa de interface DSP-drivers.

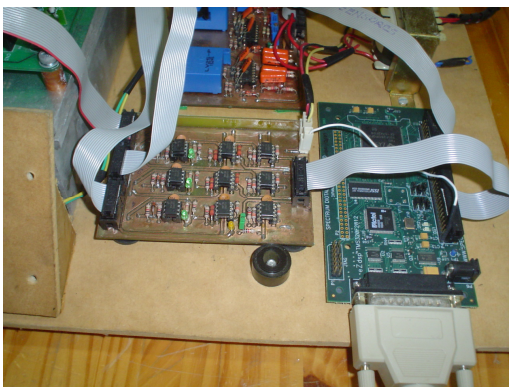


Figura 7.15 – Placa de interface DSP-drivers

Ainda faz parte da placa de interface DSP-drivers o sistema de *reset* manual dos *drivers*, não sendo o circuito representado devido a sua simplicidade, que é apenas um resistor de *pull-up* e uma chave para o terra que força a entrada dos pinos de *reset* de todos os *drivers* a nível lógico baixo simultaneamente.

7.4.8 Fonte de entrada

As placas de condicionamento de sinais e a de interface DSP-drivers necessitam de alimentação simétrica de ±15V externa, pois estas não contam com fonte interna. Para suprir esta necessidade é que se projetou a fonte de entrada.

A fonte de entrada consiste em uma fonte linear simétrica de 15V com capacidade de corrente de 1A por saída.

A figura 7.16 mostra o esquema do circuito da fonte e a figura 7.17 mostra a fonte já montada em placa própria.

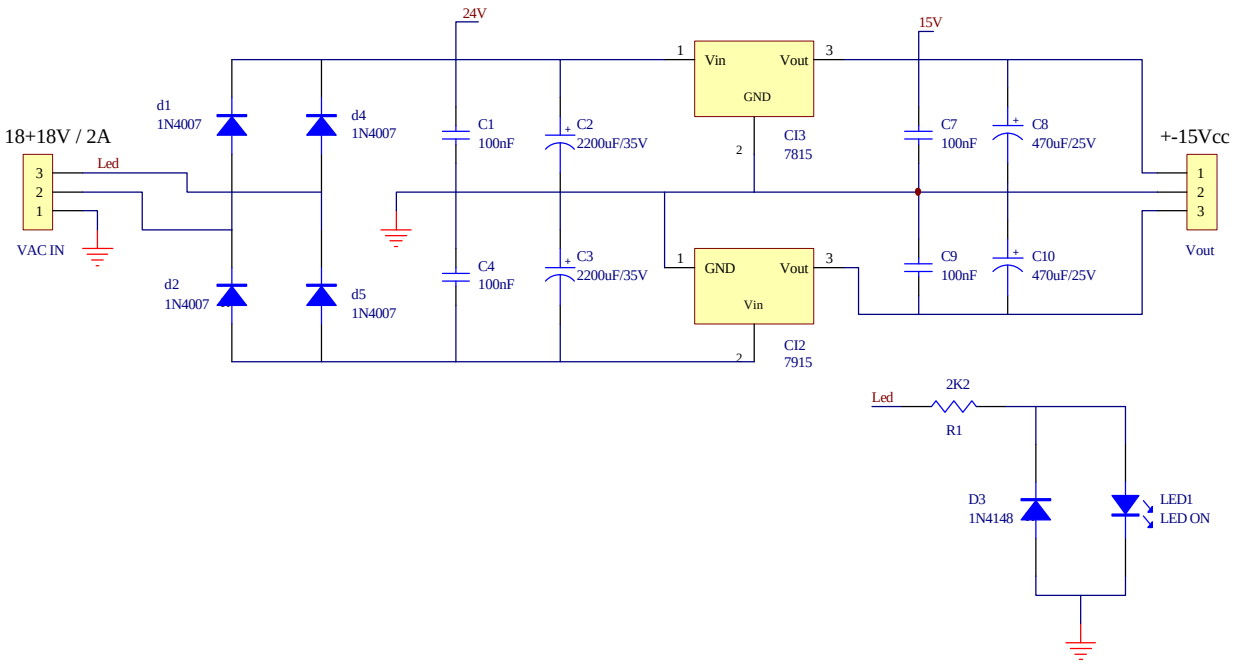


Figura 7.16 – Circuito da fonte de alimentação

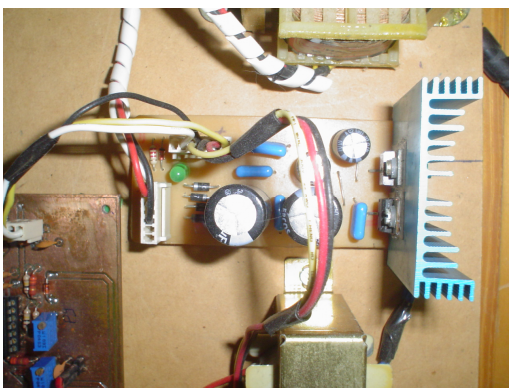


Figura 7.17 – Placa da fonte de alimentação

7.5 Resultados experimentais

Neste item apresentam-se os resultados mais importantes da operação do protótipo testado em laboratório. As especificações do protótipo foram apresentadas na tabela 2.1 do item 2.1.

As principais formas de onda do conversor foram efetuadas em diversas condições de operação, e são apresentadas na seqüência.

A figura 7.18 representa as formas de onda de tensão e corrente de entrada para uma das fases.

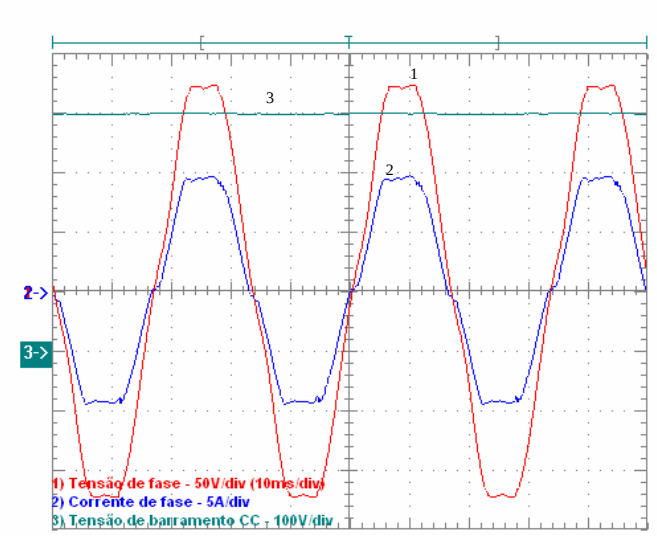


Figura 7.18 – Tensão e corrente de entrada e tensão de barramento CC

A figura 7.19 representa as formas de onda das correntes trifásicas de entrada.

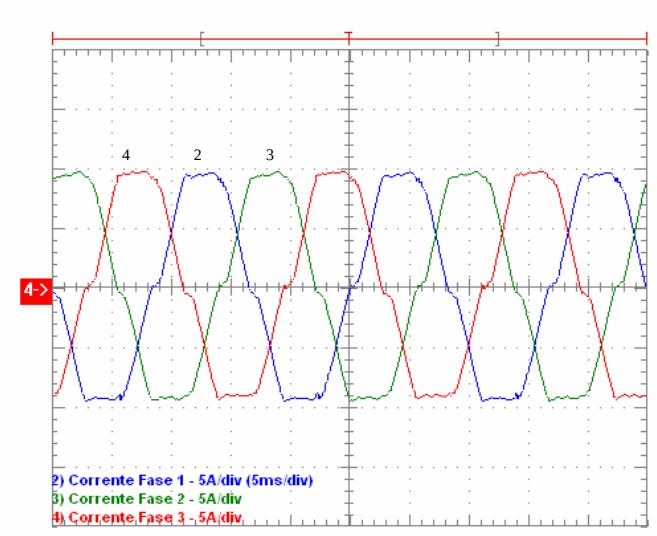


Figura 7.19 – Correntes de entrada

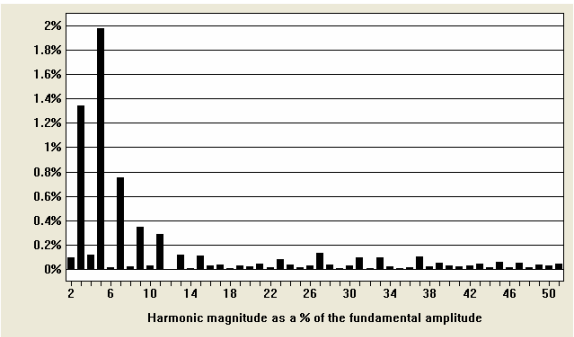
Observa-se nas figuras 7.18 e 7.19 que existe uma pequena distorção na corrente na passagem por zero, e um achatamento no pico da senóide mesmo sendo o sinal de referência de corrente uma senóide pura. Acredita-se que estas diferenças possam ter origem no processo de amostragem devido a resposta dos sensores de efeito hall e nas distorções causadas pela rede de alimentação, respectivamente.

Na condição de operação em carga nominal, o conversor apresenta os seguintes índices de desempenho:

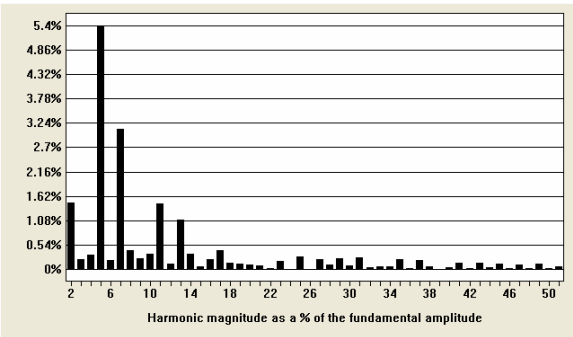
Tabela 7.1 – Índice de desempenho do conversor

	Fase 1	Fase 2	Fase 3	Σ
Tensão de Fase	128,27V	128,18V	129,43V	128,63V
Corrente	7,242A	7,263A	7,175A	7,226A
Potência	927,4W	929,8W	927,1W	2788,4W
Fator de Potência	0,9983	0,9987	0,9982	0,9984
Taxa de Distorção Harmônica de Tensão	2.58%	2,18%	2,05%	2,27%
Taxa de Distorção Harmônica de Corrente	6,75%	6,84%	7,46%	7,02%
Fator de Deslocamento	3,3º	3,0º	3,4º	3,2º
Ondulação de tensão no barramento CC	-	-	-	±1%

A Figura 7.20 mostra as componentes harmônicas para o sinal de tensão e corrente.



(a)



(b)

	Frequency	Voltage RMS	Voltage % of Fund.	Voltage Phase	Current RMS	Current % of Fund.	Current Phase
Fundamental	59.993 Hz	125.07 V	100.000 %	0.0000	13.063m V	100.000 %	0.0000
Harmonic 2	119.99 Hz	127.84m V	0.102 %	-73.753	193.78u V	1.483 %	-74.555
Harmonic 3	179.98 Hz	1.6787 V	1.342 %	-137.07	30.494u V	0.233 %	11.512
Harmonic 4	239.97 Hz	151.75m V	0.121 %	111.08	43.144u V	0.330 %	27.006
Harmonic 5	299.97 Hz	2.4732 V	1.977 %	-160.46	701.07u V	5.367 %	-171.32
Harmonic 6	359.96 Hz	26.381m V	0.021 %	-16.784	27.653u V	0.212 %	-29.367
Harmonic 7	419.95 Hz	944.63m V	0.755 %	-120.23	405.43u V	3.104 %	-154.57
Harmonic 8	479.95 Hz	29.635m V	0.024 %	100.82	54.801u V	0.420 %	177.30
Harmonic 9	539.94 Hz	438.16m V	0.350 %	-36.857	33.435u V	0.256 %	155.91
Harmonic 10	599.93 Hz	41.558m V	0.033 %	107.53	44.478u V	0.340 %	36.311
Harmonic 11	659.92 Hz	361.25m V	0.289 %	33.457	191.46u V	1.466 %	-168.93
Harmonic 12	719.92 Hz	8.8068m V	0.007 %	-38.029	16.384u V	0.125 %	-67.009
Harmonic 13	779.91 Hz	154.37m V	0.123 %	-101.66	143.42u V	1.098 %	-130.69
Harmonic 14	839.90 Hz	12.662m V	0.010 %	-14.202	45.228u V	0.346 %	-143.86
Harmonic 15	899.90 Hz	142.42m V	0.114 %	-121.62	10.299u V	0.079 %	-125.14
Harmonic 16	959.89 Hz	43.560m V	0.035 %	131.13	29.729u V	0.228 %	118.82

(c)

Figura 7.20 – Composição harmônica dos sinais de tensão (a) e corrente (b) de entrada

Sob variação de carga, o conversor tem sua dinâmica representada através da corrente de fase e tensão de barramento nas figuras 7.21 e 7.22, onde são representados degraus de carga de 100% para 50% da carga nominal e de 50% para 100% da carga nominal, respectivamente.

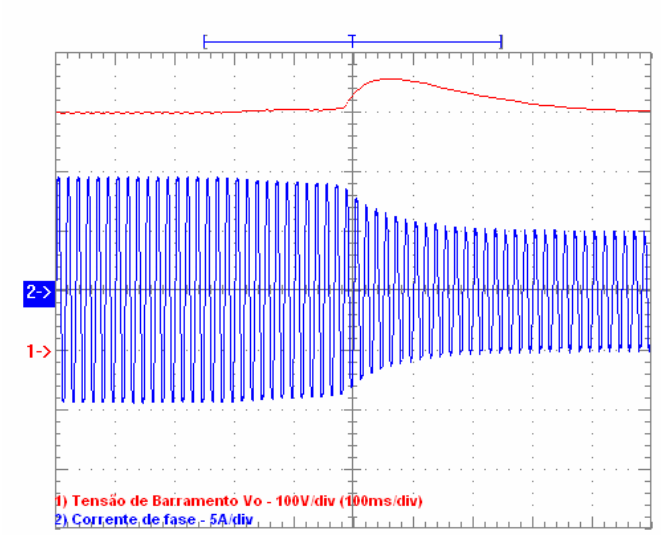


Figura 7.21 – Degrau de carga de 100% para 50% da carga nominal

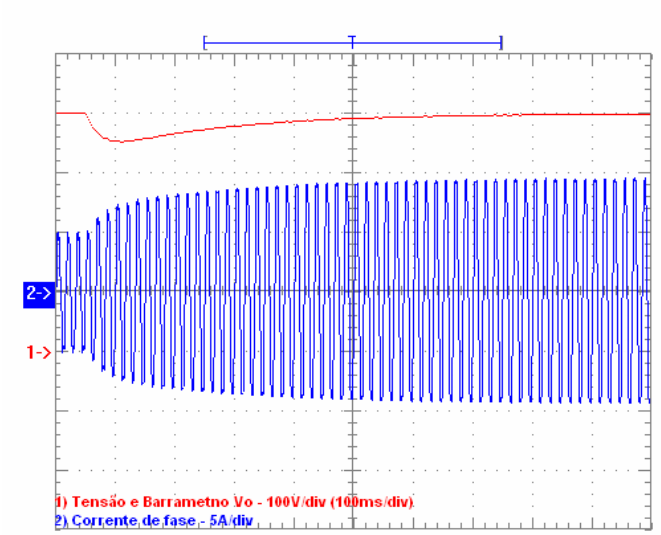


Figura 7.22 – Degrau de carga de 50% para 100% da carga nominal

Para validar a atuação do controle referente a reversibilidade, fez-se uma injeção de potência no barramento de saída para forçar a reversão do conversor. A figura 7.23 mostra o momento em que ocorre a reversão de corrente nas fontes de entrada, mudando a direção do fluxo de potência, inicialmente no sentido rede – barramento e após a reversão no sentido barramento – rede.

Devido a limitações da fonte auxiliar que injeta potência no barramento, os testes de reversão do fluxo de potência foram feitos com potência reduzida, mas com a tensão do barramento CC com valor nominal.

As figuras 7.24 e 7.25 apresentam a tensão de barramento e a corrente de uma das fases para as situações de início e fim da reversão.

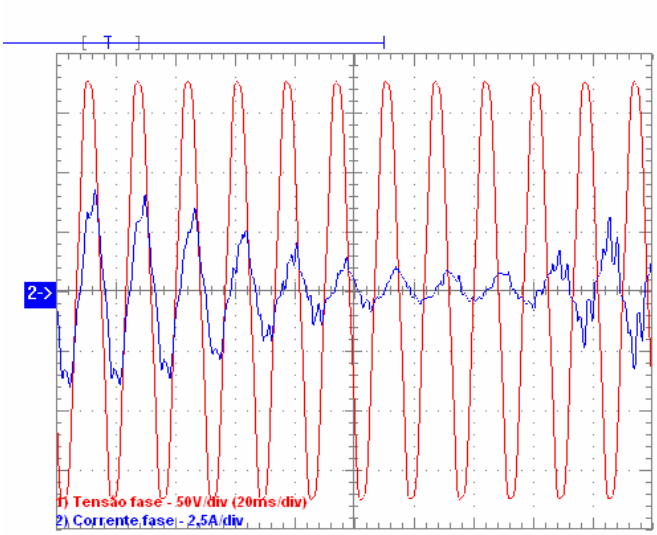


Figura 7.23 – Reversão do fluxo de potência

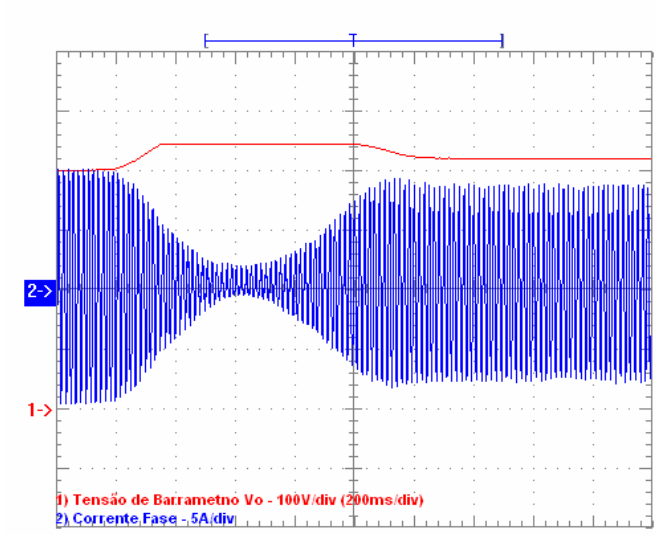


Figura 7.24 – Início da Reversão

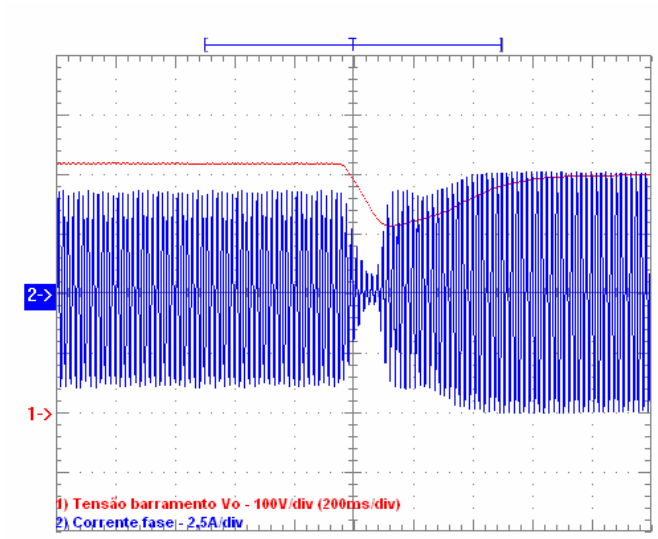


Figura 7.25 – Fim da reversão

Na figura 7.24, que ilustra o término do processo de regeneração de energia, verifica-se que ocorre um grampeamento da tensão de barramento durante o transitório. Este grampeamento tem origem no sistema de proteção da fonte que injeta potência no barramento, a qual impede que a tensão vá além de 450V no barramento CC. Testes realizados com tensões de barramento mais baixas não apresentam este problema.

7.6 Conclusão

Este capítulo mostrou que para se montar o protótipo do retificador bidirecional não basta apenas ter o DSP, a parte de potência e um software; é necessário interligar as partes para obter um sistema funcional e operacional. As necessidades, características e soluções encontradas para cada uma destas partes do circuito é detalhada para que sirva de subsídio para futuros projetos.

A partir dos testes realizados sobre o protótipo, pode-se afirmar que a técnica de controle proposta funciona conforme o esperado, apresentando índices de desempenho satisfatórios. Mesmo sob condições extremas de funcionamento, como um degrau de carga de 200%, o controle se mostrou eficaz para trazer o sistema de volta a estabilidade.

Como o software do sistema foi desenvolvido em linguagem de alto nível, tem-se boas condições para desenvolver melhorias no sistema de modo a aperfeiçoar alguns pontos do programa, despendendo-se um tempo muito menor do que a programação em *assembly*.

A perda temporária do controle de corrente durante o transitório para a reversão do fluxo de potência, embora não afete o desempenho final do controlador, pode ser corrigida

através de mudanças no procedimento de manipulação de variáveis no interior do programa.

8 Conclusões Gerais

Após o término deste trabalho, com base nos resultados apresentados no capítulo 7, pode-se concluir que a modelagem e técnica de projeto apresentadas ao longo dos capítulos iniciais são válidas, caso contrário, não seria possível obter o correto funcionamento da estrutura durante a fase de testes.

Verifica-se também que a proposta de fazer o projeto de controladores digitais utilizando as mesmas premissas do projeto de controladores analógicos também é viável. Mas um fato importante a ser ressaltado, é que o controle digital de um sistema dinâmico, realizado em "software", pode incorporar compensadores, realizar controle proporcional-integral-derivativo ou outras formas de controle baseadas nas topologias de controle clássicas. Seu potencial de incorporar o controle em um programa, entretanto, extrapola o universo de controladores clássicos, pois permite usar outros métodos, baseados em regras como o controle por lógica difusa, redes neurais, sistemas peritos e outras formas de inteligência artificial, assim como tabelas ou funções não lineares. Sua aplicabilidade é explorada em uma intensidade cada vez maior, e seu uso ganha espaço com o avanço das tecnologias eletrônicas para confecção dos processadores e com o desenvolvimento de novas técnicas de controle.

Estamos cientes de que algumas melhorias de software podem resultar em um melhor desempenho transitório do sistema. Para buscar estas melhorias deve-se especificar quais são os requisitos que objetiva-se e trabalhar na otimização do software para que estes sejam atingidos.

Hoje, o software ocupa 98k bytes de memória e tem um ciclo de execução (amostrar, calcular a resposta do controle e atuar sobre o PWM) em torno de 15μs. O restante da memória interna do DSP e do tempo de processamento está ocioso/disponível. Estes recursos poderiam ser utilizados para integrar novas funcionalidades ao sistema. O software pode ser otimizado do ponto de vista de programação permitindo um melhor uso dos recursos do DSP, caso seja necessário. Neste processo de otimização pode-se até utilizar rotinas programadas diretamente em *assembly* para ganhar desempenho.

Embora a programação em *assembly* seja uma opção, o projeto foi todo desenvolvido em linguagem de alto nível. Muito embora não se consiga a otimização de

algumas rotinas, este processo garante maior legibilidade do software, tornando mais fácil o seu reuso e manutenção.

9 Bibliografia

[1] AKAGI, H., *New trends active filters*, VI Eupean conference on Power Eletronics and application, Sevilha, Espanha. Vol 0, Setembro, 1995. Pag 0.017 – 0.026.

[2] BARBI, I.; NOVAES, Y. R.; SOUZA, F. P. e BORGONOVO, D.; *Retificadores PWM Trifásicos Unidirecionais com Alto Fator de Potência. Eletrônica de Potência*, vol. 7, n° 1. Nov/2002.

[3] BARBI, I.; *Projeto de Fontes Chaveadas*. Edição do Autor. Florianópolis, 2001.

[4] BARBI, I., *Eletrônica de Potência*. 4ª Edição – Edição do Autor. Florianópolis, 2002.

[5] BARCKZAK, C. L; *Controle Digital de Sistemas Dinâmicos – Projeto e Análise*, Editora Edgard Blücher Ltda, São Paulo, SP. 1994.

[6] BASCOPÉ, R. P. T. e PERIN, A. J., *O Transistor IGBT Aplicado em Eletrônica de Potência.* Ed. Sagra Luzzatto – 1ª Edição. Porto Alegre, 1997.

[7] BILLINGS, K., *Switchmode Power Supply Handbook*. – 2ª Edição, Editora McGraw-Hill Professional 1999.

[8] BLAUTH, Y. B., *Retificador trifásicos controlados com elevado fator de potência e multiníveis de corrente*. Tese de Doutorado, INEP - UFSC, Florianópolis, SC, 1999.

[9] BORGES, A. R., *Retificador de Corrente Trifásico com Correção de Fator de Potência e Regeneração de Energia* – Dissertação de Mestrado, INEP - UFSC, Florianópolis, SC, 1996.

[10] BOSE, B. K., *Power Electronics and AC Drivers*. Ed. Prentice Hall; New Jersey; 1987.

[11] BRAGA, N., *Uma introdução ao DSP – Parte 1*. Revista Saber Eletrônica n° 335. São Paulo, Dez/2000

[12] CICHOWLAS, M. & KAZMIERKOWSKI, M. P. *Comparison of Current Control Techniques for Pwm Rectifiers* – Industrial Electronics - ISIE, 2002; vol. 4, pages 1259-1263.

[13] CHOUDHURY, S.; *Implementing Triple Conversion Single-Phase On-line UPS using TMS320C240 - APPLICATION REPORT SPRA589A*, Texas Instruments. Set/1999.

[14] CHOUDHURY, S., *Average Current Mode Controlled Power Factor Correction Converter Using TMS320LF2407A - APPLICATION REPORT SPRA902*, Texas Instruments. Abr/2003.

[15] CHUNG, K. M.; WU, A.; HIDAJAT, T., *Using the TMS320C24X DSP Controller for Optimal Digital Control - APPLICATION REPORT SPRA295*, Texas Instruments. Jan/1998.

[16] ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of Power Electronics*. – 2ª Edição, Editora Kluwer Academic Publishers, 2001.

[17] KASSAKIAN, J. G., SCHLECHT, M. F E VERGHESE, G. C. *Principles of Power Electronics* – 1ª Edição, Editora Addison - Wesley Publishing Co., 1991.

[18] LIPO, T. A. e STANKOVIC, A. V – *A novel control method for input output harmonic elimination of the PWM boost type under unbalanced operating conditions* – IEEE Transactions on Power Electronics, 2001; vol. 16, pages 603-611.

[19] LINDEKE, D., *Projeto de um Filtro Ativo Paralelo de 1kVA Usando técnicas de Controle Analógico e Digital*. Dissertação de Mestrado, INEP - UFSC, Florianópolis, SC, 2003.

[20] MEZAROBA, M., *Inversores com Comutação Suave e Grampeamento Ativo Empregando a Técnica de Utilização da Energia de Recuperação Reversa dos Diodos.* Tese de Doutorado – INEP – UFSC, Florianópolis, SC, 2001.

[21] MIGUEL, F. K., *Contribuição ao Estudo de Retificadores com Elevado Fator de Potência e Regeneração de Energia*. Dissertação de Mestrado, INEP - UFSC, Florianópolis, SC, 1997.

[22] MUSSA, S. A., *Controle de um conversor CA-CC trifásico PWM de três níveis com fator de potência unitário utilizando DSP*. Tese de Doutorado – INEP – UFSC, Florianópolis, SC, 2003.

[23] NEKOGAR, F.; MORIARTY, G., *Digital Control Using Digital Signal Processing*. Ed Prentice Hall. New Jersey, 1998.

[24] OGATA, K., *Discret-Time Control Systems*. Second Edition. Prentice Hall, New Jersey, 1994.

[25] OGATA, K., *Modern Control Engineering*. Third Edition. Prentice Hall, New Jersey, 1997.

[26] OPPERHEIM. A V.; WILLSKY, A. S., *Signal and Systems*. Second Edition. Prentice Hall. New Jersey, 1996.

[27] PINHEIRO, R. F., JACOBINA C. B. LIMA, A. M. N., SILVA, E. R. C., *A Revision of The State of The Art in Active Filters* – Power Electronics Conferences, COBEP, 1999; pages 857-862..

[28] PRADO JÚNIOR, A., *Introdução ao Controle Digital*. Publicação Interna CCT/UDESC, Jul/1989.

[29] RASHID, M. H., *Eletrônica de Potência: Circuitos, Dispositivos e Aplicações.* Ed. Makron Books. São Paulo, 1999.

[30] RAYCIK,J.C., *Projeto de um Retificador de Corrente Reversível com Alto Fator de Potência Implementado em DSP*. Dissertação de Mestrado, LEPO – UDESC, Joinville, SC, 2004

[31] RUKONUZZAMAN, M, NAKAOKA, M., *Fuzzy Logic Current Controller for Three-Phase Voltage Source PWM-Inverters* – Industry Applications Conference, 2000; vol. 2, pages 1163-1169

[32] SAETIEO, S., *Fuzzy Logic Control of a Space-Vector PWM Current Regulator for Three-Phase Power Converters – IEEE Transactions on Power Electronics*, Vol. 13 No. 3 pages 419-426 - Maio 1998.

[33] TOMASELLI, L. C.; *Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243*. Dissertação de Mestrado, INEP - UFSC, Florianópolis, SC, 2001.

[34] *TMS320F/C28x DSP Controllers CPU and Instruction Set – Literature Number SPRU 160C*, Texas Instruments. Jun/1999.

[35] *TMS320F2812 Data Manual, Literature Number SPRS174L*, Dez/2004

[36] *DSP (digital signal processing) development tools, Code Composer Studio, application software, C6000, C5000, C2000*

Site internet: http://focus.ti.com/dsp/docs/,

[37] SIEBERT, T.; TROEDSON, A.; EBNER, S.; *AC to DC Power Conversion Now and in The Future*; IEEE PCIC, TORONTO, 2001 (PCIC 2001-14).