

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA - PPGEE

Formação: Mestrado em Engenharia Elétrica.

DISSERTAÇÃO DE MESTRADO OBTIDA POR

Juliano Sadi Scholtz

**PROJETO DE UM RETIFICADOR TRIFÁSICO REGENERATIVO COM
ELEVADO FATOR DE POTÊNCIA E CONTROLE EM COORDENADAS “DQ0”
IMPLEMENTADO NO DSP TMS320F2812**

Apresentada em 19/05/2006 Perante a Banca Examinadora:

Prof. Dr. Marcello Mezaroba – UDESC (Presidente)
Prof. Dr. José de Oliveira – UDESC
Prof. Dr. Luiz Carlos de Souza Marques – UDESC
Prof. Dr. Samir Ahmad Mussa – UFSC

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA - DEE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA – PPGE**

DISSERTAÇÃO DE MESTRADO

JULIANO SADI SCHOLTZ
Engenheiro Eletricista

Orientador: Prof. Dr. MARCELLO MEZAROBÁ

CCT/UDESC – JOINVILLE

**PROJETO DE UM RETIFICADOR TRIFÁSICO REGENERATIVO COM
ELEVADO FATOR DE POTÊNCIA E CONTROLE EM COORDENADAS “DQ0”
IMPLEMENTADO NO DSP TMS320F2812**

DISSERTAÇÃO APRESENTADA PARA OBTENÇÃO
DO TÍTULO DE MESTRE EM ENGENHARIA
ELÉTRICA DA UNIVERSIDADE DO ESTADO DE
SANTA CATARINA, CENTRO DE CIÊNCIAS
TECNOLÓGICAS – CCT, ORIENTADA PELO PROF.
DR. MARCELLO MEZAROBÁ, E CO-ORIENTADA
PELO PROF. DR. ALCINDO PRADO JÚNIOR

Joinville
2006

“Projeto de um Retificador Trifásico Regenerativo Com Elevado Fator de Potência e Controle em Coordenadas “dq0” Implementado no DSP TMS320F2812”

por

Juliano Sadi Scholtz

Essa dissertação foi julgada adequada para a obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

na área de concentração "**Automação Industrial**", e aprovada em sua forma final pelo

CURSO DE MESTRADO EM ENGENHARIA ELÉTRICA

DO CENTRO DE CIÊNCIAS TECNOLÓGICAS DA

UNIVERSIDADE DO ESTADO DE SANTA CATARINA

Prof. Dr. Marcello Mezaroba - UDESC
(presidente)

Banca Examinadora:

Prof. Dr. José de Oliveira – UDESC

Prof. Dr. Luiz Carlos de Souza Marques – UDESC

Prof. Dr. Samir Ahmad Mussa – UFSC

FICHA CATALOGRÁFICA

NOME: Scholtz, Juliano Sadi	
DATA DEFESA: 19/05/2006	
LOCAL: Joinville, CCT/UDESC	
NÍVEL: Mestrado	Número de ordem: 21 – CCT/UDESC
FORMAÇÃO: Engenharia Elétrica	
ÁREA DE CONCENTRAÇÃO: Automação Industrial	
TÍTULO: “Projeto de um Retificador Trifásico Regenerativo Com Elevado Fator de Potência e Controle em Coordenadas “dq0” Implementado no DSP TMS320F2812”	
PALAVRAS - CHAVE: Conversor, Retificador, Regeneração de Energia, Controle, DSP, “dq0”, Acionamentos Elétricos.	
NÚMERO DE PÁGINAS: xv, 170 p.	
CENTRO/UNIVERSIDADE: Centro de Ciências Tecnológicas da UDESC	
PROGRAMA: Pós-graduação em Engenharia Elétrica - PPGEE	
ORIENTADOR: Prof. Dr. Marcello Mezaroba	
CO-ORIENTADOR: Prof. Dr. Alcindo Prado Júnior	
PRESIDENTE DA BANCA: Prof. Dr. Marcello Mezaroba	
MEMBROS DA BANCA: Prof. Dr. José de Oliveira, Prof. Dr. Luiz Carlos de Souza Marques, Prof. Dr. Samir Ahmad Mussa	

Dedico este trabalho a
minha família, pelo amor,
carinho e apoio sempre
presente.

AGRADECIMENTOS

- À Deus, Pai, Filho e Espírito Santo - por meio do qual, e para quem todas as coisas são realizadas - pela vida, oportunidades e alegrias que me foram concedidas.
- A minha família, por compreender a importância, por renovar as energias, e por guiar os esforços para conclusão deste trabalho.
- À Universidade do Estado de Santa Catarina – UDESC e ao Programa de Pós-graduação em Engenharia Elétrica - PPGEE pela realização do presente trabalho.
- Ao Centro de Ciências Tecnológicas e ao Departamento de Engenharia Elétrica pela infra-estrutura oferecida.
- À empresa SCHULZ S.A. pelos horários cedidos e pelo incentivo ao aperfeiçoamento profissional.
- À Texas InstrumentsTM pela doação dos kits de desenvolvimento “eZdsp F2812”.
- À SemikronTM pela doação dos IGBT's “GAL 063-45” para o módulo de potência B6U + B6I + E1IF.
- Ao amigo Prof. Dr. Marcello Mezaroba, que como orientador soube cobrar, mas também não mediu esforços em oferecer todas as condições necessárias à realização deste trabalho.
- Ao amigo Prof. Dr. Alcindo Prado Júnior pelo auxílio na análise e projeto do sistema de comando e controle.
- Ao amigo Prof. Dr. Samir Ahmad Mussa pelo auxílio na implementação do PLL e programação do DSP.
- Ao amigo Prof. Msc. Alessandro Luiz Batschauer pelo auxílio nos testes de regeneração de energia.
- Ao amigo Eng. Msc. Fabiano Luz Cardoso pelo auxílio mútuo no compartilhamento de informações e solução de problemas.
- A todos os professores do Curso de Mestrado em Engenharia Elétrica que, de uma forma direta ou indireta, contribuíram para a realização deste trabalho.
- Aos amigos, pelo apoio técnico e moral recebido durante o desenvolvimento desse trabalho.

RESUMO / ABSTRACT

RESUMO:

Este trabalho apresenta o *projeto de um retificador trifásico regenerativo com elevado fator de potência e controle em coordenadas “dq0” implementado no DSP TMS320F2812 da Texas InstrumentsTM*.

No controle foram utilizadas as transformações de Clark e Park e a equação bilinear de Tustin, de sorte que o projeto dos controladores digitais, realizado no domínio da frequência, tornou-se significativamente simples.

As equações de controle consideraram também todos os ganhos reais oriundos da implementação. Desta forma, os sistemas obtiveram boa representação física.

O DSP de última geração utilizado permite que a programação seja realizada em linguagem de alto nível, o que pode propiciar que as rotinas sejam entendidas, reutilizadas e ou melhoradas sem grandes esforços. Até certo ponto isto facilitará o compartilhamento das informações para projetos futuros.

As principais vantagens associadas são: controle robusto, excelente regulação da tensão do barramento CC , regeneração de energia, baixa distorção harmônica nas correntes de entrada e elevado fator de potência.

ABSTRACT:

This work presents the *design of a regenerative three-phase switching rectifier with high power factor and control in “dq0” coordinates implemented on DSP TMS320F2812 of Texas InstrumentsTM*.

The controls have used the Clark and Park transformations and the bilinear equation of Tustin, so that the design of the digital controllers, carried through on the frequency domain, became it significantly simple.

The DSP of last generation used allow the programming in a high level language. It can propitiate that the routines be understood, reused and or improved without great efforts. In general way, this will facilitate the sharing of the information for future designs.

The main advantages associates are: robust control, excellent regulation of the DC voltage, energy regeneration, low harmonic distortion in the input currents and high power factor.

SUMÁRIO

DEDICATÓRIA	i
AGRADECIMENTOS	ii
RESUMO / ABSTRACT	iii
SUMÁRIO	iv
LISTA DE FIGURAS	vii
LISTA DE TABELAS	x
LISTA DE SÍMBOLOS	xi
Introdução	1
Introdução Geral	1
Breve Histórico dos Conversores Retificadores	2
Retrospectiva	2
Busca por Melhorias	3
Síntese Funcional	4
1 – Análise e Projeto do Circuito de Potência	6
1.1 – Apresentação	6
1.2 – Comportamento	7
1.2.1 – Considerações	7
1.2.2 – Definição e Esboço das Regiões de Operação	8
1.3 – Equacionamento Preliminar e Modelagem Simplificada	11
1.4 – Equacionamento Para as Razões de Modulação	15
1.5 – Equacionamento Para o Dimensionamento Dos Componentes	17
1.5.1 – Indutores de Entrada	17
1.5.2 – Capacitor de Saída	21
1.5.3 – Chaves de Potência – IGBT's	26
1.5.4 – Diodos de Potência	30
1.6 – Requisitos de Projeto e Especificação Dos Componentes de Potência	34
1.6.1 – Especificação Dos Indutores de Entrada	34
1.6.2 – Especificação do Capacitor do Filtro de Saída	35
1.6.3 – Especificação Das Chaves <i>IGBT's</i>	36
1.6.4 – Especificação Dos Diodos	38
1.7 – Conclusão	39
2 – Análise do Sistema de Comando e Controle	40
2.1 – Apresentação	40
2.2 – Análise Matemática do Modelo	41
2.3 – Transformação de Coordenadas “abc” Para “dq0”	42
2.4 – Equações Para o Controle de Corrente do Conversor	44
2.5 – Esboço dos Controladores de Corrente	47
2.6 – Potências Ativa e Reativa, e Alinhamento do Vetor Tensão	48
2.6.1 – Equações das Potências Ativa e Reativa	48
2.6.2 – Alinhamento do Vetor Tensão Nas Coordenadas “dq0”	48
2.7 – Diagrama de Controle de Corrente	49
2.8 – Equações Para o Controle da Tensão no Barramento CC	51
2.9 – Esboço do Controlador de Tensão	53
2.10 – Diagramas de Controle de Tensão e Corrente: Representação Global	53
2.11 – Esboço do Diagrama de Controle no DSP	56
2.12 – PWM Vetorial	58

2.12.1	– Modulação Por Espaço Vetorial Para um VSR	58
2.12.2	– PWM Regular Trifásico Simétrico	62
2.13	– Conclusão	65
3	– Projeto do Sistema de Comando e Controle	66
3.1	– Função Transferência do Sensor de Corrente	66
3.2	– Filtros Anti-Aliasing e Passa-Baixas	68
3.2.1	– Filtro Anti-Aliasing	69
3.2.2	– Filtro Passa-Baixas	71
3.3	– Função Transferência do Conversor A/D	73
3.4	– Função de Transferência do Sensor de Tensão do Barramento	74
3.5	– Metodologia de Projeto Para os Controladores Digitais	76
3.5.1	– Mapeamento dos Planos “S”, “Z” e “W”	77
3.5.2	– Distorções Oriundas do Mapeamento Entre os Planos “S” e “W”	78
3.6	– Procedimento de Projeto Dos Controladores Digitais	79
3.7	– Projeto dos Controladores de Corrente	80
3.8	– Projeto do Controlador de Tensão no Barramento CC	87
3.9	– Equações a Diferenças Dos Controladores de Corrente e de Tensão	94
3.10	– Conclusão	97
4	– Simulação do Conversor Proposto	98
4.1	– Introdução	98
4.2	– Diagramas de Blocos Para as Simulações	98
4.2.1	– Planta de Potência	99
4.2.2	– Sensores e Medições	100
4.2.3	– Planta de Controle	101
4.2.4	– Resultados da Simulação	102
4.3	– Conclusão	116
5	– Estudo do DSP	118
5.1	– Introdução	118
5.1.1	– Processamento Digital Versus Processamento Analógico	118
5.2	– Descrição	118
5.3	– TMS320F2812	119
5.3.1	– Resumo	119
5.3.2	– Diagrama de Blocos Esquemático do TMS320F2812	120
5.3.3	– Informações Sobre os Sinais	121
5.3.4	– CPU C28x	121
5.3.5	– Barramento de Memória (Arquitetura Harvard)	121
5.3.6	– Barramento Para Dispositivos Periféricos	122
5.3.7	– JTAG de Tempo Real e Análise	122
5.3.8	– Interface Externa (XINTF)	123
5.3.9	– Memória Flash (Somente Para a Linha F281x)	123
5.3.10	– Memórias SARAM M0 e M1	124
5.3.11	– Memórias SARAM L0, L e H0	124
5.3.12	– Boot pela ROM	124
5.3.13	– Segurança	125
5.3.14	– Bloco de Expansão de Interrupções Periféricas (PIE)	126
5.3.15	– Interrupções Externas (XINT1, XINT2, XINT13 e XNMI)	126
5.3.16	– Oscilador Externo e PLL (Phase-Locked Loop)	126
5.3.17	– Watchdog (Cão de Guarda)	127
5.3.18	– Clock dos Dispositivos Periféricos	127

5.3.19	– Modos de Trabalho de Baixo Consumo de Energia	127
5.3.20	– Quadros 0, 1 e 2 de Periféricos (PFn).....	128
5.3.21	– Multiplexador de Entradas e Saídas de Propósitos Gerais (GPIO)	128
5.3.22	– Temporizadores de 32 Bits da CPU	129
5.3.23	– Controle de Periféricos	129
5.3.24	– Porta de Comunicação Serial Para Periféricos	129
5.4	– Placa de Desenvolvimento “eZdsp F2812”	130
5.5	– Conclusão	131
6	– Implementação.....	132
6.1	– Introdução.....	132
6.2	– Fonte de Alimentação Para Periféricos	132
6.3	– Placa de Condicionamento de Sinais.....	134
6.4	– Placa de Comando (Interface)	137
6.5	– Placa de Controle.....	140
6.6	– Software de Controle Implementado.....	141
6.7	– Protótipo Final	145
6.8	– Resultados Experimentais.....	147
6.9	– Conclusão	158
7	– Conclusões Gerais	159
7.1	– Contribuições Alcançadas	160
7.2	– Proposta de Melhorias Futuras	160
REFERÊNCIAS BIBLIOGRÁFICAS		162
APÊNDICE A - ESBOÇO DO PROJETO DOS INDUTORES DE ENTRADA		165
APÊNDICE B - FLUXOGRAMA DO SOFTWARE DE CONTROLE		167
ÍNDICE REMISSIVO		168

LISTA DE FIGURAS

<i>Figura 1-1 – Circuito de Potência do Conversor</i>	<i>6</i>
<i>Figura 1-2 – Correntes na Entrada do Conversor e Regiões de Operação.....</i>	<i>8</i>
<i>Figura 1-3 – Sinais de Corrente, Comparação e Saída Dos Comparadores – Região 3 (Segundo Momento: I_2 positiva).....</i>	<i>9</i>
<i>Figura 1-4 – Sentido Das Correntes Nas Fases no Momento da Análise.....</i>	<i>9</i>
<i>Figura 1-5 – Circuitos Equivalentes Para as Etapas da Região 3</i>	<i>10</i>
<i>Figura 1-6 – Pulsos de Comando Para $\alpha=90^\circ$</i>	<i>11</i>
<i>Figura 1-7 – Circuitos Equivalentes Para as Etapas da Região 3 Com $\alpha=90^\circ$</i>	<i>12</i>
<i>Figura 1-8 – Circuito Simplificado Equivalente do Conversor – Ponto Inicial da Terceira Região de Operação</i>	<i>14</i>
<i>Figura 1-9 – Indutância de Entrada Normalizada em Função de α.....</i>	<i>20</i>
<i>Figura 1-10 – Capacitância de Saída (p/ alta frequência) Normalizada em Função de α</i>	<i>24</i>
<i>Figura 1-11 – Circuito de Potência do Conversor Com Conexão ao Neutro.....</i>	<i>26</i>
<i>Figura 1-12 – Circuito de Potência Simplificado Com Conexão ao Neutro</i>	<i>26</i>
<i>Figura 1-13 – Corrente Eficaz Normalizada Nas Chaves em Função de α.....</i>	<i>29</i>
<i>Figura 1-14 – Corrente Média Normalizada Nas Chaves em Função de α.....</i>	<i>30</i>
<i>Figura 1-15 – Corrente eficaz normalizada nos diodos em função de α.....</i>	<i>32</i>
<i>Figura 1-16 – Corrente Média em Qualquer um Dos Diodos em Função de α.....</i>	<i>33</i>
<i>Figura 2-1 – Modelo do Conversor Retificador Trifásico Com Modulação PWM</i>	<i>40</i>
<i>Figura 2-2 – Esboço da Transformação de Coordenadas de “abc” Para “dq0”</i>	<i>43</i>
<i>Figura 2-3 – Esboço do Acoplamento do Sistema</i>	<i>45</i>
<i>Figura 2-4 – Esboço do Desacoplamento Imposto Pelo Sistema de Controle</i>	<i>46</i>
<i>Figura 2-5 – Malhas de Corrente Simplificadas Utilizando Controladores PI.....</i>	<i>47</i>
<i>Figura 2-6 – Alinhamento do Vetor Tensão Com o Eixo “d”</i>	<i>49</i>
<i>Figura 2-7 – Diagrama de Controle das Correntes no Domínio “S”</i>	<i>50</i>
<i>Figura 2-8 – Detalhe do Barramento CC do Conversor</i>	<i>51</i>
<i>Figura 2-9 – Malhas de Controle da Tensão no Barramento CC</i>	<i>53</i>
<i>Figura 2-10 – Malhas de Controle de Corrente Em Coordenadas “dq0”: Representação Global.....</i>	<i>54</i>
<i>Figura 2-11 – Malha de Controle da Tensão no Barramento CC.....</i>	<i>55</i>
<i>Figura 2-12 – Diagrama Esquemático.....</i>	<i>56</i>
<i>Figura 2-13 – Ilustração do Diagrama no DSP</i>	<i>57</i>
<i>Figura 2-14 – Ilustração Das Possíveis Configurações de um VSR.....</i>	<i>59</i>
<i>Figura 2-15 – Ilustração Dos Vetores Correspondentes às Configurações</i>	<i>60</i>
<i>Figura 2-16 – Sequência Conveniente Para Redução de Número de Chaveamentos</i>	<i>61</i>
<i>Figura 2-17 – Pulsos de Comando Para o PWM Regular Trifásico Simétrico (Setor I)....</i>	<i>64</i>
<i>Figura 3-1 – Diagrama Esquemático do Sensor de Efeito Hall “LA 55-P/SP1”</i>	<i>67</i>
<i>Figura 3-2 – Ilustração do Fenômeno Aliasing</i>	<i>69</i>
<i>Figura 3-3 – Diagrama Elétrico do Filtro Anti-Aliasing.....</i>	<i>70</i>
<i>Figura 3-4 – Diagrama Elétrico do Filtro Butterworth de 4ª Ordem ($f_c=150\text{Hz}$)</i>	<i>71</i>
<i>Figura 3-5 – Ilustração da Medição de Tensão de Uma Das Fases.....</i>	<i>72</i>
<i>Figura 3-6 – Leitura de um Sinal Qualquer Por um Conversor A/D</i>	<i>73</i>
<i>Figura 3-7 – Diagrama Esquemático do Sensor Transdutor de Tensão “LV 20-P”</i>	<i>74</i>
<i>Figura 3-8 – Diagrama de Blocos Representativo: Plantas no Domínio “S” e “Z”</i>	<i>77</i>
<i>Figura 3-9 – Diagrama de Blocos Representativo: Plantas no Domínio “S”, “Z” e “W”</i>	<i>78</i>
<i>Figura 3-10 – Relação Entre as Frequências “v” e “ω” Para $T_a=1/20\text{kHz}$.....</i>	<i>79</i>

<i>Figura 3-11 – Malhas de Controle de Corrente em Coordenadas “dq0”</i>	81
<i>Figura 3-12 – Diagrama de Bode da FTMA de Corrente em Coordenadas “dq0”</i>	84
<i>Figura 3-13 – Diagrama de Bode da FTMA de Corrente: Comparação Entre os Planos “S” e “W”</i>	85
<i>Figura 3-14 – Diagrama de bode do Controlador PI: K_P e K_I Pré-Ajustados</i>	86
<i>Figura 3-15 – Diagrama de bode do “Controlador + FTMA de Corrente”</i>	87
<i>Figura 3-16 – Malha de Controle da Tensão no Barramento CC</i>	88
<i>Figura 3-17 – Diagrama de Bode da FTMA de Tensão no Barramento CC</i>	91
<i>Figura 3-18 – Diagrama de Bode da FTMA de Tensão: Comparação Entre os Planos “S” e “W”</i>	91
<i>Figura 3-19 – Diagrama de bode do Controlador PI: K_P e K_I Pré-Ajustados</i>	93
<i>Figura 3-20 – Diagrama de bode do “Controlador + FTMA de Tensão”</i>	94
<i>Figura 3-21 – Esboço da Atuação do Controlador PI</i>	94
<i>Figura 4-1 – Diagrama de Blocos Geral da Simulação</i>	99
<i>Figura 4-2 – Planta de Potência</i>	99
<i>Figura 4-3 – Planta de Controle – Medições / Sensores</i>	100
<i>Figura 4-4 – Planta de Controle – Malhas de Controle de Tensão e Corrente, e Sinais de Comando Para os IGBTs</i>	101
<i>Figura 4-5 – Planta de Controle – Emulação de Referências Vetoriais (Injeção de Sequência Zero)</i>	102
<i>Figura 4-6 – Planta de Controle – Comparador Triangular</i>	102
<i>Figura 4-7 – Tensão no Barramento CC</i>	103
<i>Figura 4-8 – Tensão no Barramento CC – Maior Perspectiva</i>	103
<i>Figura 4-9 – Tensão no Barramento CC – Ilustração da Ondulação de 120Hz</i>	104
<i>Figura 4-10 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor</i>	105
<i>Figura 4-11 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe da Reversão de Corrente</i>	105
<i>Figura 4-12 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe do Retorno Em Carga</i>	106
<i>Figura 4-13 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe em Maior Perspectiva</i>	107
<i>Figura 4-14 – Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe do Ripple de Chaveamento: $\pm 10\%$</i>	107
<i>Figura 4-15 – Correntes I_d, I_q e I_0 Medidas</i>	108
<i>Figura 4-16 – Tensões V_d, V_q e V_0 Medidas</i>	109
<i>Figura 4-17 – Corrente na Entrada do Barramento CC</i>	109
<i>Figura 4-18 – Corrente na Entrada do Barramento CC – Maior Perspectiva</i>	110
<i>Figura 4-19 – Corrente no Capacitor de Saída C_o</i>	110
<i>Figura 4-20 – Corrente no Capacitor de Saída C_o – Maior Perspectiva</i>	111
<i>Figura 4-21 – Corrente na Carga R_o</i>	111
<i>Figura 4-22 – Tensão e Corrente em Um dos IGBTs</i>	112
<i>Figura 4-23 – Tensão e Corrente no Conjunto “R+L” de Uma Das Fases</i>	113
<i>Figura 4-24 – Referência, Sinal Medido, Erro e Atuação do Controle de Tensão no Barramento CC</i>	114
<i>Figura 4-25 – Referência, Sinal Medido, Erro e Atuação do Controle de Corrente de Eixo Direto “d”</i>	114
<i>Figura 4-26 – Referência, Sinal Medido, Erro e Atuação do Controle de Corrente de Eixo em Quadratura “q”</i>	115

<i>Figura 4-27 – Referências Pseudo-Vetoriais (Senoides Com Injeção de Sequência Zero)</i>	115
<i>Figura 5-1 – Diagrama de Blocos Esquemático do TMS320F2812</i>	120
<i>Figura 6-1 – Circuito da Fonte de Alimentação Para Periféricos: $\pm 15V / \pm 1A$</i>	132
<i>Figura 6-2 – Placa de Circuito Impresso da Fonte de Alimentação Para Periféricos: $\pm 15V / \pm 1A$</i>	133
<i>Figura 6-3 – Fonte de Alimentação Para Periféricos: $\pm 15V / \pm 1A$</i>	134
<i>Figura 6-4 – Circuito da Placa de Condicionamento de Sinais</i>	135
<i>Figura 6-5 – Lado Superior da PCI da Placa de Condicionamento de Sinais</i>	136
<i>Figura 6-6 – Lado Inferior da PCI da Placa de Condicionamento de Sinais</i>	136
<i>Figura 6-7 – Placa de Condicionamento de Sinais</i>	137
<i>Figura 6-8 – Circuito da Placa de Comando</i>	138
<i>Figura 6-9 – Lado Superior da PCI da Placa de Comando</i>	138
<i>Figura 6-10 – Lado Inferior da PCI da Placa de Comando</i>	139
<i>Figura 6-11 – Placa de Comando</i>	140
<i>Figura 6-12 – Placa de Controle: DSP TMS320F2812 (kit eZdsp F2812)</i>	141
<i>Figura 6-13 – Diagrama Esquemático Ilustrativo: Blocos de Software Programados Internamente ao DSP</i>	142
<i>Figura 6-14 – Protótipo Final do Conversor (Vista Superior)</i>	145
<i>Figura 6-15 – Diagrama Esquemático Ilustrativo do Módulo de Potência</i>	146
<i>Figura 6-16 – Protótipo Final do Conversor (Vista Angular)</i>	146
<i>Figura 6-17 – Sinais de Comando do PWM Para as Chaves 1 e 2</i>	147
<i>Figura 6-18 – Sinais de Comando do PWM Para as Chaves 1 e 2 Respectivamente Após Passagem Por Filtro Passa Baixas</i>	147
<i>Figura 6-19 – Tensão (50V/div) e Corrente (5A/div) na Fase 1, e Tensão (50V/div) no Barramento CC – Conversor em Potência Nominal</i>	148
<i>Figura 6-20 – Tensão (50V/div) e Corrente (5A/div) No Conversor Quando o Controle Não Atua</i>	149
<i>Figura 6-21 – Harmônicos de Tensão em Uma Das Fases de Entrada</i>	151
<i>Figura 6-22 – Harmônicos de Corrente em Uma Das Fases de Entrada</i>	152
<i>Figura 6-23 – Tensões Nas Fases 1, 2 e 3 na Entrada do Conversor</i>	152
<i>Figura 6-24 – Correntes Nas Fases 1, 2 e 3 na Entrada do Conversor</i>	153
<i>Figura 6-25 – Corrente e Tensão em Uma das Fases de Entrada – Degrau de Carga de 100% para 50%</i>	154
<i>Figura 6-26 – Corrente e Tensão em Uma das Fases de Entrada – Degrau de Carga de 50% para 100%</i>	154
<i>Figura 6-27 – Corrente em Uma Das Fases e Tensão no Barramento CC – Degrau de Carga de 50% para 100%</i>	155
<i>Figura 6-28 – Corrente em Uma Das Fases e Tensão no Barramento CC – Degrau de Carga de 100% para 50%</i>	156
<i>Figura 6-29 – Corrente em Uma Das Fases e Tensão no Barramento CC – Entrada na Reversão do Fluxo de Energia</i>	157
<i>Figura 6-30 – Corrente em Uma Das Fases e Tensão no Barramento CC – Saída da Reversão do Fluxo de Energia</i>	157
<i>Figura 6-31 – Tensão e Corrente em Uma Das Fases de Entrada do Conversor – Detalhe em Maior Perspectiva da Saída da Reversão do Fluxo de Energia</i>	158

LISTA DE TABELAS

<i>Tabela 1.1 – Seqüência de Chaveamento Para Região 3</i>	<i>10</i>
<i>Tabela 1.2 – Seqüência de Chaveamento Para a Região 3 Com $\alpha=90^\circ$</i>	<i>12</i>
<i>Tabela 1.3 - Requisitos de Projeto</i>	<i>34</i>
<i>Tabela 2.1 – Erro Estacionário em Sistemas de Controle Com Retroação Unitária</i>	<i>50</i>
<i>Tabela 2.2 – Possíveis Estados do Conversor.....</i>	<i>61</i>
<i>Tabela 3.1 – Principais Características do Sensor LA 55-P/SP1</i>	<i>67</i>
<i>Tabela 3.2 – Principais Características do Sensor LV 20-P</i>	<i>74</i>
<i>Tabela 4.1 – Comparação Entre os Valores Calculados e Medidos Via Simulação</i>	<i>116</i>
<i>Tabela 5.1 – Resumo TMS320F2812</i>	<i>119</i>
<i>Tabela 5.2 – Divisão da Prioridade de Acesso</i>	<i>122</i>
<i>Tabela 5.3 – Seleção do Modo de Boot.....</i>	<i>125</i>
<i>Tabela 5.4 – Seções de Mapeamento dos Periféricos</i>	<i>128</i>
<i>Tabela 5.5 – Principais Características do kit “eZdsp F2812”</i>	<i>130</i>
<i>Tabela 6.1 – Resumo da Análise Com o Software “WaveStar”</i>	<i>149</i>
<i>Tabela 6.2 – Análise Harmônica Com o Software “WaveStar”</i>	<i>150</i>
<i>Tabela 6.3 – Medições Realizadas Com Wattímetro Digital</i>	<i>153</i>

LISTA DE SÍMBOLOS

Símbolos adotados no equacionamento

Símbolo	Descrição
α	Relação entre a tensão de pico de entrada e a tensão de saída
η	Rendimento do conversor
μ_0	Permeabilidade magnética do vácuo
ω	Frequência angular das fontes de entrada
ω_s	Frequência de amostragem em rad/s
A_e	Área efetiva do núcleo do indutor
A_w	Área de janela no núcleo do indutor
B	Fluxo magnético
C_a	Capacitância do filtro anti-aliasing
C_o	Capacitância de saída
$\overline{C_o}$	Capacitância de saída normalizada
d	Razão cíclica de chaveamento – valor instantâneo
D_n	Diodo n da ponte retificadora
d_{Qn}	Razão cíclica para o IGBT em um ciclo de chaveamento
$D_{Qn}(t)$	Razão cíclica de chaveamento para o IGBT n ao longo do tempo
EI_d	Erro de corrente de eixo d
EI_q	Erro de corrente de eixo q
$E\Delta V_o$	Erro de tensão no barramento CC
f	Frequência da rede
$f(n)$	Função discreta no tempo
$f(t)$	Função contínua no tempo
f_a	Frequência de amostragem
f_c	Frequência de corte
f_{CK}	Frequência de clock do DSP
f_s	Frequência de chaveamento
$G_{DA}(S),$ $FT_{DA}(S)$	Função de transferência auxiliar para análise do conversor D/A no plano S
$G_{Idq}(S),$ $FTMA_Gi_dq(S)$	Função de transferência auxiliar para análise das malhas de corrente de eixo direto e em quadratura no plano S
$G_{Idq}(W),$ $FTMA_Gi_dq(W)$	Função de transferência para análise das Malhas de corrente de eixo direto e em quadratura no plano W
$G_{Idq}(Z),$ $FTMA_Gi_dq(Z)$	Função de transferência auxiliar para análise das malhas de corrente de eixo direto e em quadratura no plano Z
$G_v(S),$ $FTMA_Gv(S)$	Função de transferência auxiliar para análise da malha de tensão no barramento CC no plano S
$G_v(W),$ $FTMA_Gv(W)$	Função de transferência para análise da malha de tensão no barramento CC no plano W
$G_v(Z),$ $FTMA_Gv(Z)$	Função de transferência auxiliar para análise da malha de tensão no barramento CC no plano Z
$G(S)$	Função de transferência qualquer no plano S
$G(Z)$	Função de transferência qualquer no plano Z
G_{FAA}	Função transferência do filtro anti-aliasing
G_{PI}	Função transferência do controlador PI genérico
I_{Co_pico}	Corrente de pico no capacitor de saída

I_{Co_ef}	Corrente eficaz no capacitor de saída
$I_{Co_ef_TS}$	Corrente eficaz no capacitor de saída para um período de chaveamento
$\frac{I_{Co_ef}}{I_{D_ef}}$	Corrente eficaz no capacitor de saída normalizada
$\frac{I_{D_ef}}{I_{D_ef}}$	Corrente eficaz nos diodos
I_{D_med}	Corrente eficaz normalizada nos diodos
I_{D_pico}	Corrente média nos diodos
I_{L_ef}	Corrente de pico nos diodos
I_{L_pico}	Corrente eficaz nos indutores
I_{Q_med}	Corrente de pico nos indutores
I_{Q_ef}	Corrente média nas chaves
I_{Qn_ef}	Corrente eficaz nas chaves
I_{Q_pico}	Corrente eficaz na chave Qn
$\frac{I_{Q_pico}}{I_{Q_ef}}$	Corrente de pico nas chaves
I_0	Corrente eficaz normalizada nas chaves
I_{Co}	Corrente de sequência zero
i_{CR}	Corrente no capacitor de saída – valor instantâneo
I_d	Corrente de barramento instantânea
I_d^*, I_{dref}	Corrente de eixo direto
I_{d0}	Corrente de referência para o controlador de corrente de eixo d
I_{Dn}	Ponto de operação para a corrente I_d
$i_{Dn}(t)$	Corrente no diodo n
I_{dq}^*	Corrente no diodo n ao longo do tempo
$i_{Ln}(t)$	Correntes de referências intermediárias de eixos d e q
$i_n(k)$	Corrente no indutor n ao longo do tempo
$i_n(t)$	Sinal de corrente da fase n amostrado
I_O	Corrente na fase n ao longo do tempo
$i_O(t)$	Corrente de saída – valor instantâneo
I_P	Corrente de saída ao longo do tempo
I_q	Corrente de fase de pico
I_q^*, I_{qref}	Corrente de eixo em quadratura
$i_{Qn}(t)$	Corrente de referência para o controlador de corrente de eixo q
I_{Ro}	Corrente na chave Q_n ao longo do tempo
i_α	Corrente na carga – valor instantâneo
i_β	Corrente de eixo α estacionário
J	Corrente de eixo β estacionário
K_{AD}	Densidade de corrente
K_{ADc}	Ganho do conversor A/D
K_{ADt}	Ganho do conversor A/D para a malha de corrente
K_{conv}	Ganho do conversor A/D para a malha de tensão
K_I	Ganho do conversor retificador
K_P	Parcela integral do controlador PI genérico
K_{PI}	Parcela proporcional do controlador PI genérico
	Constante genérica do controlador PI

K_{SC}	Ganho do sensor de corrente
K_{ST}	Ganho do sensor de tensão do barramento CC
K_V	Ganho do sensor de tensão de fase + filtro passa-baixas
k_w	Fator de preenchimento da janela do núcleo do indutor
L	Indutor em série com as fontes de entrada
L_n	Indutor em série com a fonte da fase n
$\overline{L}$	Indutância normalizada
P	Potência ativa
P_n	Pólo n do filtro Butterworth
P_O	Potência de saída
Q	Potência reativa
Q_n	Chave IGBT n da ponte retificadora
R_l	Resistência de polarização do sensor de tensão
R_a	Resistência do filtro anti-aliasing
R_b	Resistência do filtro anti-aliasing
R_M	Resistor de saída do sensor de tensão
R_n	Resistência R_n do Indutor n na entrada do conversor
R_O	Resistência de saída – carga
S_{AN}	Sinal analógico
S_{DIG}	Sinal de tensão digitalizado pelo conversor A/D
S_{HI}	Sinal de tensão analógica de entrada máxima para o conversor A/D
S_{LO}	Sinal de tensão analógica de entrada mínima para o conversor A/D
t	Tempo
T_a	Período de amostragem
T_s	Período de chaveamento
$\mathcal{L}[f(t)]$	Transformada de Laplace da função $f(t)$
u^*	Tensão de referência para o PWM
$u_{idq}(k)$	Ação de controle discreta para as correntes de eixo direto e em quadratura
$u_v(k)$	Ação de controle discreta para a tensão no barramento CC
u_A, u_B, u_C	Tensões instantâneas nos braços A, B e C do conversor, respectivamente
U_d	Tensão de eixo d no conversor – relativa às tensões nos braços
U_d'	Tensão de controle de eixo d antes do descoplamento
U_{dq}^*	Tensões de referências de eixos d e q para o PWM
$U_{dq}^{*'} $	Tensões de referências intermediárias de eixos d e q
U_q	Tensão de eixo q no conversor – relativa às tensões nos braços
U_q'	Tensão de controle de eixo q antes do descoplamento
V_0	Tensão de seqüência zero
V_d	Tensão de eixo direto
V_{dp}	Ponto de operação relacionado à tensão de pico de entrada
V_{IN}	Tensão de entrada
$v_{Ln}(t)$	Tensão no indutor da fase n ao longo do tempo
$v_n(k)$	Sinal de tensão da fase n amostrado
$v_n(t)$	Tensão na fase n ao longo do tempo
V_O	Tensão de saída – barramento CC
V_O^*, V_{Oref}	Tensão de referência para a tensão no barramento CC
$(-)V_{in}, (+)V_{in}$	Tensão diferencial para o filtro anti-aliasing
V_{Osc}	Tensão de saída do sensor de corrente
V_{OP}	Ponto de operação para o controle de tensão no barramento CC

V_p	Tensão de fase de pico nas fontes de entrada
V_q	Tensão de eixo em quadratura
V_Q	Tensão sobre as chaves
V_{RM}	Tensão sobre o resistor R_M
$x_n(k)$	Entrada do controlador, valor discreto em k
$y_n(k)$	Saída do controlador, valor discreto em k
$Z[f(n)]$	Transformada Z da função f(n)
Z_w	Zero do controlador PI
ΔI_L	Variação de corrente no indutor - ripple
ΔQ_{Co}	Variação de carga no capacitor de saída
Δt	Variação de tempo
ΔV_o	Variação da tensão de saída

Sub índices adotados no equacionamento

Sub índice	Descrição
%	Percentual relativo ao valor nominal
ef	Relativo ao valor eficaz
i	Relativo à corrente
max	Relativo ao valor máximo
med	Relativo ao valor médio
pico	Relativo ao valor de pico
SAT	Relativo ao valor de saturação
T_s	Relativo ao período de chaveamento
v	Relativo à tensão

Símbolos de componentes adotados

Sub índice	Descrição
C	Capacitor
CI	Circuito integrado
D	Diodo
Dz	Diodo Zener
L	Indutor
P	Potenciômetro
Q	Chave IGBT
R	Resistor
V	Fonte de tensão

Anacronismos

Sub índice	Descrição
A/D	Analógico-Digital
AC	Valor alternado

BIOS	Basic Input/Output System
CC	Valor contínuo
CMOS	Complementary Metal Oxide Semiconductor
CPU	Central Process Unit
D/A	Digital-analógico
DSP	Digital Signal Process
EVA	Event Manager A
EVB	Event Manager B
FTMA	Função de transferência de malha aberta
I/O	Input – output
IGBT	Isolated Gate Bipolar Transistor
McBSP	Multi-channel Buffered Serial Port
MSPS	1.10 ⁶ amostras por segundo
OTP	One Time Programmable
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
RAM	Random Acces Memory
ROM	Ready Only Memory
SARAM	Single Access RAM
SPI	Serial Peripheral Interface
SCI	Serial Controller Interface
UART	Universal Asynchronous Receiver Transmitter
UPS	Uninterruptable Power Supply

Introdução

Introdução Geral

As inovações tecnológicas surgem, muitas vezes, em função de necessidades práticas. Acredita-se esta ser uma das razões pela qual a *eletrônica de potência* tornou-se, nas últimas décadas, uma das áreas mais ativas da engenharia elétrica e eletrônica, encontrando-se atualmente nas mais variadas atividades do campo tecnológico e científico, seja na conversão pura e simples de energia elétrica, ou no comando e controle de sistemas eletrônicos [3].

A miniaturização de componentes e a expansão de memórias em microprocessadores, também facilitaram a proliferação das tecnologias desta ciência, por tornar os sistemas eletrônicos industriais mais simples, eficientes, baratos e mais acessíveis.

Entre os avanços na área de eletrônica de potência pode-se citar o desenvolvimento de topologias de conversores estáticos baseados em chaves de alto desempenho como IGBT's (insulated gate bipolar transistor), SIT's (static induction transistor), SITH's (static induction thyristor) e MCT's (MOS controlled thyristor). Destas, os IGBT's têm dominado o mercado de aplicações em média potência ([23] e [31]).

Dentre as características desejadas de um transistor robusto os IGBT's possuem porta de entrada MOS (metal oxide semiconductor), alta velocidade de chaveamento, baixa queda de tensão direta e alta capacidade de corrente.

Observando-se o cenário energético nacional atual fica inevitável a engenharia de equipamentos econômicos, de alta eficiência, que possuam elevado fator de potência, baixa distorção harmônica, e que possibilitem a recuperação ou regeneração de energia.

Pretende-se neste trabalho propor e apresentar o projeto de um retificador trifásico regenerativo com elevado fator de potência e controle em coordenadas "dq0" implementado no DSP TMS320F2812 da Texas Instruments (ti), que possa ser utilizado como pré-regulador de tensão, e que também possa funcionar como inversor de tensão, e por consequência de corrente, nos momentos de regeneração de energia, satisfazendo ainda as necessidades que a engenharia contemporânea determina.

Breve Histórico dos Conversores Retificadores

Retrospectiva

A eletrônica de potência teve seu início na indústria eletrônica e vem avançando gradativamente em tecnologia há aproximadamente 100 anos. Alguns momentos marcaram sua história [30]. No início do século XX ocorreu a invenção do diodo semicondutor tipo cristal. Peter Cooper Hewitt inventou o retificador a arco de mercúrio, o qual possibilitou o surgimento dos controladores de redes de eletricidade baseados nesta tecnologia. Nessa linha, foram realizadas diversas pesquisas na Europa e na América durante as décadas de 1920 e 1930.

As décadas de 1930 e 40 marcaram o impulso inicial da eletrônica de potência, por assim dizer, com a extensiva utilização de válvulas, principalmente nos retificadores a arco de mercúrio. Sua utilização abrangia desde fontes de alimentação para motores elétricos na indústria, linhas de trens e bondes, locomotivas diesel-elétricas, a estações de inversores estáticos de linhas de transmissão – nessa época foi desenvolvida a primeira linha de transmissão HVDC (high voltage direct current) de 50kV.

No final da década de 30, William Shockley observou pela primeira vez o funcionamento de um semicondutor e imaginou que o recém descoberto princípio poderia ser utilizado no controle da energia elétrica. A invenção do transistor só ocorreu quase dez anos depois. A data oficial é o dia 23 de dezembro de 1947, nos laboratórios Bell [4].

Por volta de 1950 ocorreu o desenvolvimento do retificador de contato (baseado na teoria de transporte em semicondutores). Pouco mais tarde a General Electric anunciou a invenção do tiristor, que foi inicialmente chamado de SCR (silicon controlled rectifier) para ser diferenciado do diodo normal (silicion rectifier). Esta invenção deu início a era da eletrônica de potência baseada em semicondutores, a qual vem sendo estudada e evoluindo até os dias de hoje.

No final da década de 50 foi elaborado o primeiro retificador diodo semicondutor, e na década de 1960 ocorreu a primeira instalação com corrente maior do que 100kA;

Pouco antes da década de 70 ocorreu o desenvolvimento do primeiro retificador a tiristor, e a primeira unidade retificadora a diodos e tiristores com corrente maior do que 100kA foi elaborada em poucos anos.

Antes do advento dos dispositivos de estado sólido, os retificadores a arco foram o meio mais eficiente de se converter corrente alternada em contínua. A partir da década de

1970, o desenvolvimento de dispositivos de estado sólido de alta tensão fez com que os retificadores a arco de mercúrio ficassem obsoletos para aplicações de corrente contínua em alta tensão.

Na década de 1980 houve a introdução da tecnologia GTO e IGBT, e por volta de 5 anos mais tarde ocorreu a primeira instalação de um retificador a tiristor para fundição de alumínio. Posteriormente, na década de 1990 foi instalado o primeiro retificador a tiristor para fornos a arco, e por volta de 1995 foi utilizado o primeiro retificador Chopper no processo de eletrolise (tecnologia IGCT).

Busca por Melhorias

Os primeiros conversores estáticos com semicondutores desenvolvidos foram projetados para funcionarem com diodos. Estes conversores apresentavam baixo fator de potência e alta THD (total harmonic distortion).

Desde o início, buscou-se a correção de fator de potência, inicialmente com técnicas passivas, utilizando filtros indutivos e capacitivos. A posteriori, surgiram os conversores controlados, que operavam com valores bem melhores de fator de potência.

Os primeiros filtros ativos para correção de fator de potência surgiram na década de 70 suprimindo a necessidade de conversores de melhor rendimento [2].

A evolução dos retificadores trifásicos bidirecionais se confunde com a dos filtros ativos, pois são uma particularidade destes e estão cada vez mais sendo utilizados em aplicações industriais em substituição aos retificadores a diodos convencionais pois possibilitam trabalhar com fator de potência próximo a unidade, logo, com baixas distorções de tensão e corrente [20].

A necessidade de buscar novas soluções para o problema relativo ao fator de potência levou ao desenvolvimento dos conversores retificadores trifásicos com modulação PWM (pulse width modulation), pois este tipo de modulação permite controlar a corrente no conversor obtendo-se praticamente qualquer forma de onda de corrente.

Embora o chaveamento utilizando técnicas PWM tenha obtido popularidade em aplicações com retificadores (inicialmente a partir de controladores analógicos desde 1983 e posteriormente digitais desde 1998), existem outras técnicas de chaveamento abordadas na literatura tais como Histerese (desde 1984) e modulação vetorial (desde 1997) [17].

Com relação às estratégias de controle, têm-se os controles clássicos P, PI, PID, adaptativos, dead beat, preditivo, modos deslizantes, lógica nebulosa ou fuzzy logic [28],

IPT, coordenadas “ $\alpha\beta 0$ ”, coordenadas “ $dq0$ ”, linearização, histerese, pseudo-híbrido, e redes neurais adaptativas [9].

Síntese Funcional

Os conversores retificadores trifásicos com modulação PWM estão cada vez mais sendo utilizados em aplicações industriais em substituição aos retificadores a diodos convencionais [19]. Além das imposições da engenharia contemporânea, essa substituição também é impulsionada por normas tais como a IEEE 519-1992, e a IEC 61000-3-2 / IEC 61000-3-4, que objetivam limitar os harmônicos de corrente de conversores eletrônicos de potência [9].

Nos retificadores comuns o fluxo de energia se faz da rede de energia para o retificador. Entretanto, em certas situações o fluxo de energia pode ser revertido, fazendo com que a energia circule do retificador para a rede. Como exemplo de aplicação prática, pode-se citar os acionamentos com conversores CA/CC/CA, nos quais, ou a energia é “queimada” sobre um resistor inserido no elo CC para dissipar a energia excedente, protegendo assim a queima do equipamento, ou a energia pode ser recuperada durante a frenagem e reversão da velocidade do motor.

Existem diversas topologias de retificadores chaveados controlados e para cada uma existe uma série de estratégias de controle relacionadas. Vantagens como a robustez na regulação da tensão do barramento CC, correntes de entrada com baixas distorções harmônicas e senoidais, fator de potência próximo a unidade e fluxo de energia em dois sentidos estão dentre as principais características consideradas na hora da escolha por uma ou por outra topologia e estratégia de controle.

A topologia que utiliza uma estrutura de potência semelhante à de um inversor PWM oferece uma série de características positivas como, por exemplo, a possibilidade de controle da tensão no barramento CC com respostas transitórias rápidas, baixa distorção harmônica e regulação das correntes de entrada de forma a se obter fator de potência praticamente unitário.

Uma das mais populares estratégias de controle utilizadas em conversores retificadores PWM é a estratégia de controle por tensão orientada (voltage oriented control – VOC) [14]. No VOC, em sua configuração convencional, medem-se as tensões de linha do conversor, transformam-se estas em coordenadas girantes, e orienta-se, de forma

propícia, o vetor resultante, de tal sorte que algumas simplificações possam ser realizadas. Uma estratégia derivada do VOC será utilizada neste trabalho.

1 – Análise e Projeto do Circuito de Potência

Este capítulo tem por objetivo apresentar a análise e o projeto do circuito de potência do conversor proposto. Para tal serão apresentados alguns tópicos indicando de forma simplificada os conceitos teóricos para o entendimento do mesmo. Serão também esboçados os procedimentos para obtenção das principais equações e, sempre que cabível, após a apresentação destas, serão especificados os componentes.

1.1 – Apresentação

O circuito de potência do conversor proposto pode ser observado na *Figura 1-1*. Nesta, v_1 , v_2 e v_3 representam a rede de alimentação em baixa tensão, L_1 , L_2 e L_3 representam o somatório entre as indutâncias de linha e as de entrada do conversor, as quais determinam as derivadas de corrente, $Q_1...Q_6$ representam as chaves, $D_1...D_6$ representam os diodos, C_O representa a capacitância de saída, que tem a função de filtrar o *ripple* da tensão de saída, e R_O representa a impedância da carga, que deve drenar a potência nominal do conversor.

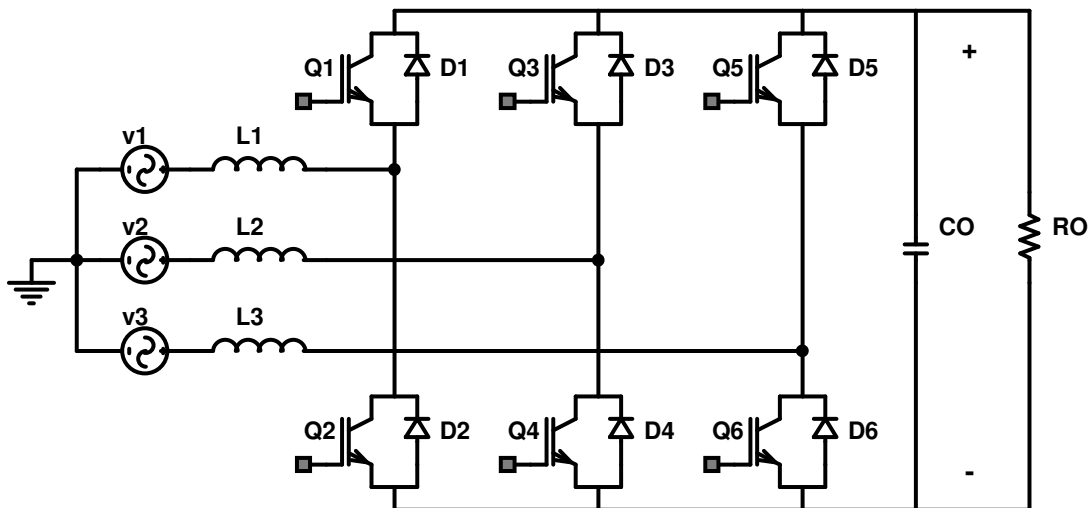


Figura 1-1 – Circuito de Potência do Conversor

Através de técnicas de controle apropriadas pode-se comandar as chaves do circuito de forma a se obter as características desejadas para as ondas de corrente de entrada. Assim, pode-se aplicar e implementar equações de controle de modo que o conversor drene potência reativa nula da rede, e mantenha seu fator de potência unitário.

1.2 – Comportamento

O comportamento do circuito de potência é bastante conhecido no meio científico. Observa-se em [6], por exemplo, um estudo bem detalhado e uma análise aprimorada das etapas de funcionamento do conversor. Com base em regiões de operações e na observação dos pontos críticos, através de algumas simplificações, pode-se equacionar e mensurar os esforços em cada componente do circuito, de sorte que estes possam ser especificados e ou projetados de forma propícia.

1.2.1 – Considerações

Serão apresentadas a seguir algumas considerações e simplificações para facilitar o esboço das etapas de operação e, por consequência, propiciar as especificações e projetos dos componentes do conversor proposto:

- As fontes de tensão na entrada do conversor representam o sistema de alimentação trifásico convencional com ondas senoidais defasadas de 120° entre si;
- Partindo-se do princípio de que o sistema deve operar com elevado fator de potência, praticamente unitário, as correntes que circulam pelos indutores devem ser senoidais e estar em fase com as respectivas tensões da rede de alimentação;
- Conforme com o que será exposto, poderá ser observado que sempre três semicondutores, quer sejam as chaves ou os diodos, conduzem simultaneamente, um em cada braço, de forma que as correntes nos interruptores ou chaves não sejam interrompidas;
- Para um período de chaveamento dos interruptores do conversor será considerado que as tensões e correntes na entrada de alimentação possuem comportamento constante;
- A tensão de saída também será considerada constante no barramento CC;
- São excluídas da análise o comportamento do circuito durante os regimes transitórios.

1.2.2 – Definição e Esboço das Regiões de Operação

Algumas regiões de operação distintas podem ser observadas analisando o funcionamento do conversor, em especial as correntes circulantes nos indutores L_1 , L_2 e L_3 ao longo de um período da rede, como ilustra a Figura 1-2. Por conveniência, determina-se que cada região de operação inicia seu intervalo quando as amplitudes de duas correntes se igualam em módulo, encerrando-se na próxima equalização.

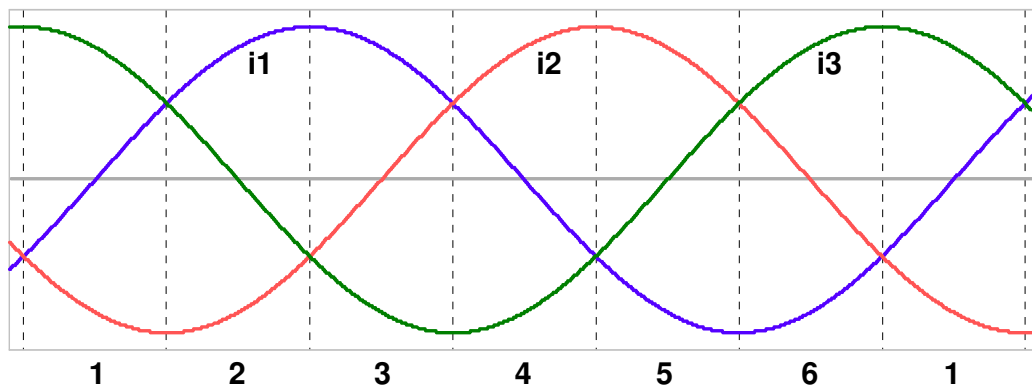


Figura 1-2 – Correntes na Entrada do Conversor e Regiões de Operação

Como pode ser observado, em cada uma das regiões de operação, sempre uma corrente é maior do que as demais, outra é menor do que as demais, e outra possui valor intermediário. Seus valores instantâneos modificam-se ao longo dos intervalos, mas suas posições relativas não.

Partindo-se da idéia de um *PWM* triangular trifásico senoidal, conforme indica a Figura 1-3, pode-se afirmar que dentro de uma mesma região de operação existe uma única seqüência de eventos, independente da região analisada, e que ocorrem sempre seis transições nos sinais gerados a partir da comparação do sinal da portadora com os sinais de controle. Cada espaço de tempo entre as referidas transições dita uma etapa diferente do conversor.

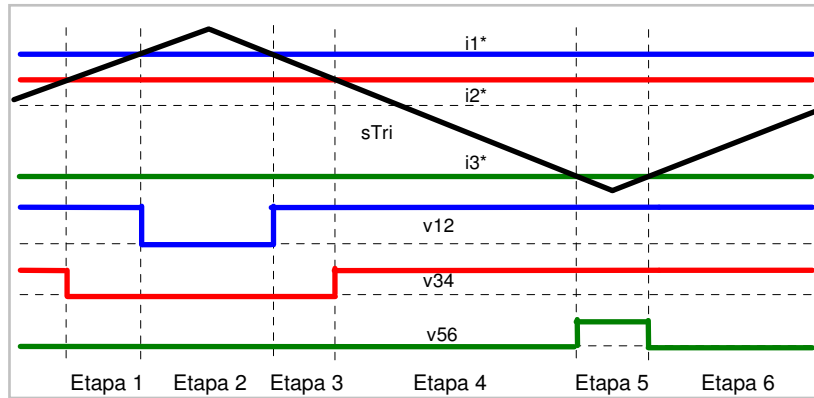


Figura 1-3 – Sinais de Corrente, Comparação e Saída Dos Comparadores – Região 3 (Segundo Momento: I_2 positiva)

Para se descobrir quais chaves estarão habilitadas e quais chaves estarão efetivamente conduzindo pode-se fazer uma análise considerando-se as correntes instantâneas em cada braço do conversor. Por exemplo, num determinado instante ou etapa, pode-se avaliar as correntes nos indutores e atribuir seus respectivos sentidos conforme ilustra a Figura 1-4.

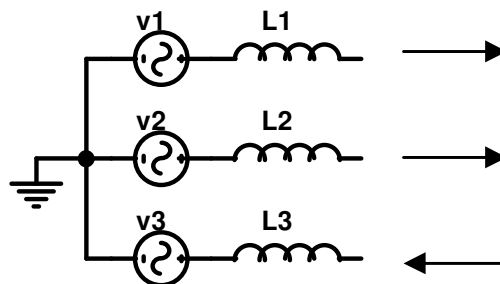


Figura 1-4 – Sentido Das Correntes Nas Fases no Momento da Análise

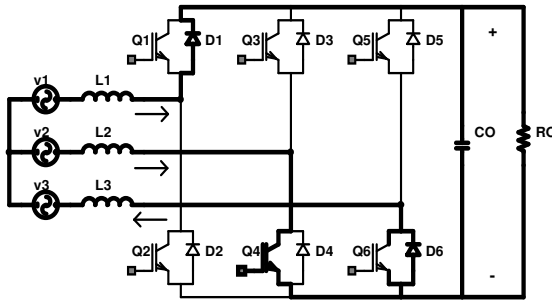
Respeitando-se os sentidos adotados, pode-se descobrir quais chaves estão habilitadas e quais estão conduzindo. Por exemplo, para que a corrente média sobre o indutor L_1 tenha sentido positivo, da fonte para o conversor por convenção, a chave Q_2 deve conduzir mais tempo do que Q_1 .

Seguindo o raciocínio proposto, agruparam-se as informações que descrevem o comportamento do conversor para a terceira região de operação, conforme ilustra a Tabela 1.1 e a Figura 1-5 – apenas os períodos em que a corrente intermediária i_2 é positiva.

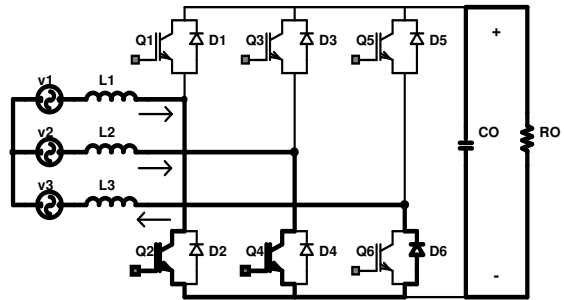
Embora não seja mostrado neste trabalho, podem-se repetir os mesmos procedimentos aqui comentados para a obtenção das informações das demais regiões de operação.

Tabela 1.1 – Sequência de Chaveamento Para Região 3

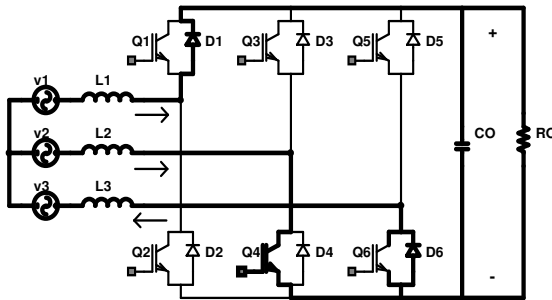
Etapa	Corrente i_2 Positiva					
	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
1	Q ₁	Q ₄	Q ₆	D ₁	Q ₄	D ₆
2	Q ₂	Q ₄	Q ₆	Q ₂	Q ₄	D ₆
3	Q ₁	Q ₄	Q ₆	D ₁	Q ₄	D ₆
4	Q ₁	Q ₃	Q ₆	D ₁	D ₃	D ₆
5	Q ₁	Q ₃	Q ₅	D ₁	D ₃	Q ₅
6	Q ₁	Q ₃	Q ₆	D ₁	D ₃	D ₆



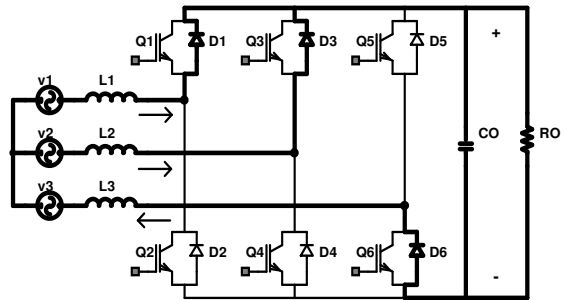
Etapa 1



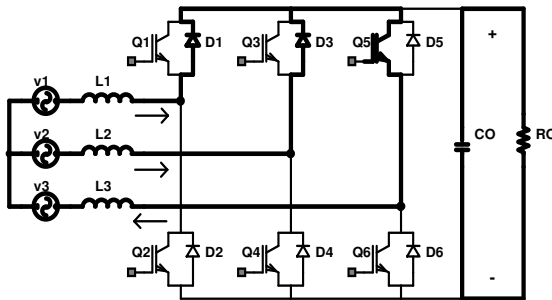
Etapa 2



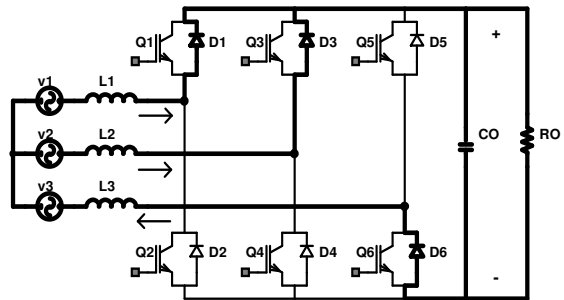
Etapa 3



Etapa 4



Etapa 5



Etapa 6

Figura 1-5 – Circuitos Equivalentes Para as Etapas da Região 3

1.3 – Equacionamento Preliminar e Modelagem Simplificada

Observando-se a Figura 1-2 pode-se verificar que, mesmo apresentando um funcionamento distinto, as regiões de operação são simétricas e passíveis de análise semelhante. Dessa forma, com base em uma região, pode-se conseguir um modelo válido para todos os estágios de operação do conversor.

A alimentação do conversor, conforme já mencionado, pode ser definida como:

$$\begin{cases} v_1(t) = V_p \cdot \text{sen}(w.t) \\ v_2(t) = V_p \cdot \text{sen}(w.t - 120^\circ) \\ v_3(t) = V_p \cdot \text{sen}(w.t + 120^\circ) \end{cases} \quad (1.1)$$

onde, V_p é o valor de pico e w é a frequência angular em [rad/s].

Observando-se a terceira região de operação, definida para $90^\circ \leq wt \leq 150^\circ$, no ponto onde $wt = 90^\circ$, pode-se afirmar que:

$$\begin{cases} |v_1(t)| = |v_{1\max}(t)| = V_p \\ |v_2(t)| = |v_3(t)| = \frac{V_p}{2} \end{cases} \quad (1.2)$$

Neste ponto de operação a corrente $i_1(t)$ atinge o seu ponto máximo positivo, enquanto $i_2(t)$ e $i_3(t)$ atingem pontos iguais negativos. Nesta particularidade, a razão cíclica do pulso v_{12} , que controla as chaves 1 e 2, é unitária enquanto a razão cíclica dos pulsos v_{34} e v_{56} , que controlam as chaves 3, 4, 5 e 6 respectivamente, são idênticas e possuem transições simultâneas, conforme pode ser observado na Figura 1-6.

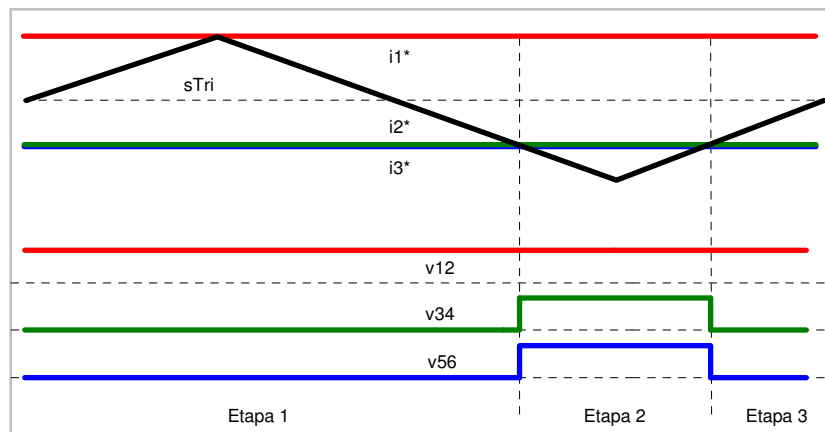


Figura 1-6 – Pulsos de Comando Para $\alpha=90^\circ$

Como os pulsos de comando v_{34} e v_{56} apresentam transições simultâneas e v_{12} não apresenta transições, consegue-se uma simplificação das etapas de operação. Esta condição é ilustrada abaixo na *Tabela 1.2* e na *Figura 1-7*.

Tabela 1.2 – Seqüência de Chaveamento Para a Região 3 Com $\alpha=90^\circ$

Etapa	Chave Habilitada			Chave Conduzindo		
	Braço 1	Braço 2	Braço 3	Braço 1	Braço 2	Braço 3
1	Q_1	Q_4	Q_6	D_1	D_4	D_6
2	Q_1	Q_3	Q_5	D_1	Q_3	Q_5
3	Q_1	Q_4	Q_6	D_1	D_4	D_6

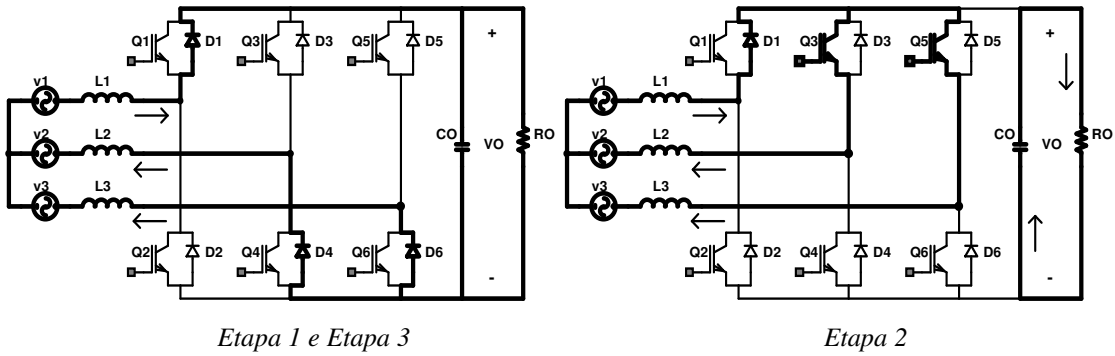


Figura 1-7 – Circuitos Equivalentes Para as Etapas da Região 3 Com $\alpha=90^\circ$

Observando-se a *Etapa 1* da *Figura 1-7* chega-se facilmente a seguinte relação:

$$\begin{cases} -v_1(t) + v_{L1}(t) + V_o + v_{L2}(t) + v_2(t) = 0 \\ -v_1(t) + v_{L1}(t) + V_o + v_{L3}(t) + v_3(t) = 0 \end{cases} \quad (1.3)$$

Das equações ilustradas em (1.3), somando-se a primeira linha com a segunda chega-se:

$$-2.v_1(t) + 2.v_{L1}(t) + 2.V_o + v_{L2}(t) + v_{L3}(t) + v_2(t) + v_3(t) = 0 \quad (1.4)$$

Considerando-se os sentidos das correntes na entrada do conversor, no instante analisado, tem-se que:

$$i_{L1}(t) = i_{L2}(t) + i_{L3}(t) \quad (1.5)$$

Da equação (1.5), derivando-se e multiplicando-se pelo termo L ambos os lados da igualdade, tem-se:

$$L \cdot \frac{di_{L1}(t)}{dt} = L \cdot \frac{di_{L2}(t)}{dt} + L \cdot \frac{di_{L3}(t)}{dt} \quad (1.6)$$

Como a tensão em um indutor qualquer é a sua indutância característica multiplicada pela derivada de sua corrente no tempo, da equação (1.6) tem-se que:

$$v_{L1}(t) = v_{L2}(t) + v_{L3}(t) \quad (1.7)$$

Substituindo-se a equação (1.7) na equação (1.4) tem-se que:

$$-2 \cdot v_1(t) + 3 \cdot v_{L1}(t) + 2 \cdot V_o + v_2(t) + v_3(t) = 0 \quad (1.8)$$

Levando-se em conta as considerações iniciais das tensões na entrada do conversor, e considerando-se que estas não estão desequilibradas – ausência de seqüência zero, tem-se que:

$$\begin{aligned} v_1(t) + v_2(t) + v_3(t) &= 0 \\ \therefore \\ v_2(t) + v_3(t) &= -v_1(t) \end{aligned} \quad (1.9)$$

Substituindo-se a equação (1.9) na equação (1.8) tem-se que:

$$\begin{aligned} -3 \cdot v_1(t) + 3 \cdot v_{L1}(t) + 2 \cdot V_o &= 0 \\ \therefore \\ v_{L1}(t) &= v_1(t) - \frac{2}{3} \cdot V_o \end{aligned} \quad (1.10)$$

Repetindo-se a mesma metodologia para os demais indutores, chega-se:

$$\begin{aligned} v_{L2}(t) &= v_2(t) + \frac{V_o}{3} \\ v_{L3}(t) &= v_3(t) + \frac{V_o}{3} \end{aligned} \quad (1.11)$$

Para a *Etapa 2* da *Figura 1-7*, semelhantemente à análise descrita para a *Etapa 1*, chega-se aos seguintes resultados:

$$\begin{cases} v_{L1}(t) = v_1(t) \\ v_{L2}(t) = v_2(t) \\ v_{L3}(t) = v_3(t) \end{cases} \quad (1.12)$$

Da topologia de interruptores em braço utilizada, sabe-se que o comando é exclusivo, ou seja, se a chave superior esta conduzindo a chave inferior deve estar bloqueada e vice-versa.

Observando-se as figuras *Figura 1-6* e *Figura 1-7*, percebe-se que, no período analisado, o conjunto formado pelo interruptor Q_1 e o diodo D_1 esta permanentemente fechado. Apenas os conjuntos de chaves do segundo e do terceiro braço são comandados de forma a ficarem abertos ou fechados.

Desta maneira, o modelo do conversor pode ser simplificado como ilustra a *Figura 1-8*.

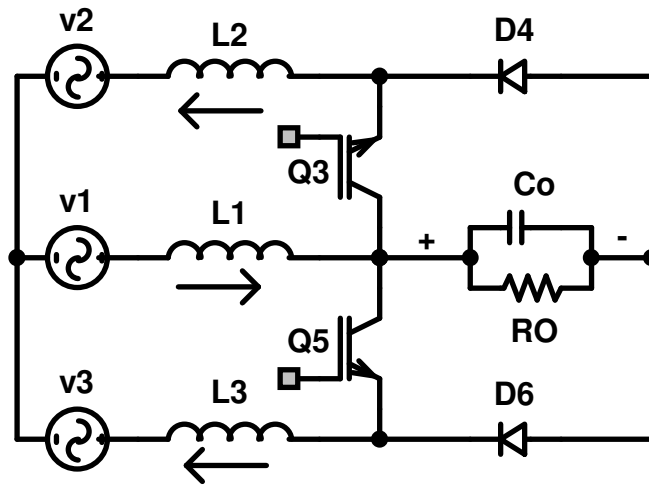


Figura 1-8 – Circuito Simplificado Equivalente do Conversor – Ponto Inicial da Terceira Região de Operação

O circuito simplificado equivalente apresentado tem, dentre outras utilidades, a função de facilitar o entendimento do comportamento do conversor e simplificar o seu equacionamento. Assim, observando-se a *Figura 1-8*, abstrai-se que seu funcionamento é semelhante a um “duplo boost” – a energia que inicialmente é armazenada nos conjuntos de indutores L_1 - L_2 e L_2 - L_3 , é posteriormente transferida para o capacitor de saída C_O .

1.4 – Equacionamento Para as Razões de Modulação

Sabe-se que a tensão de saída de um conversor do tipo *boost* é regida pela seguinte expressão:

$$V_o = \left(\frac{1}{1-D} \right) \cdot V_{IN} \quad (1.13)$$

onde, V_o é a tensão de saída, V_{IN} a tensão de entrada e D a razão cíclica.

Definindo-se $D_{Q3}(t)$ e $D_{Q5}(t)$ como sendo as razões cíclicas de condução das chaves Q_3 e Q_5 respectivamente, a partir do circuito da *Figura 1-8*, pode-se escrever:

$$\begin{cases} -v_1(t) + v_{L1}(t) + v_{Q3}(t) + v_{L2}(t) + v_2(t) = 0 \\ -v_1(t) + v_{L1}(t) + v_{Q5}(t) + v_{L3}(t) + v_3(t) = 0 \end{cases} \quad (1.14)$$

onde $v_{Q3}(t)$ e $v_{Q5}(t)$ são as tensões, em função do tempo, nas chaves Q_3 e Q_5 respectivamente.

Podem-se aproximar as tensões médias nas chaves Q_3 e Q_5 como sendo:

$$\begin{aligned} v_{Q3}(t) &= (1 - D_{Q3}(t))V_o \\ v_{Q5}(t) &= (1 - D_{Q5}(t))V_o \end{aligned} \quad (1.15)$$

De (1.14), considerando-se as equações (1.7) e (1.9), resolvendo-se o sistema chega-se a:

$$\begin{cases} 3.v_2(t) - 3.v_{L2}(t) - 2.D_{Q3}(t).V_o + (1 + D_{Q5}(t))V_o = 0 \\ 3.v_3(t) - 3.v_{L3}(t) - 2.D_{Q5}(t).V_o + (1 + D_{Q3}(t))V_o = 0 \end{cases} \quad (1.16)$$

Deseja-se que o conversor proposto opere com fator de potência unitário. Desta forma, conforme comentado previamente, as correntes nos indutores devem estar em fase com as respectivas tensões, ou seja:

$$\begin{cases} i_1(t) = I_p \cdot \text{sen}(w.t) \\ i_2(t) = I_p \cdot \text{sen}(w.t - 120^\circ) \\ i_3(t) = I_p \cdot \text{sen}(w.t + 120^\circ) \end{cases} \quad (1.17)$$

onde, I_p é o valor de pico e w é a frequência angular em [rad/s].

Multiplicando-se as tensões pelas correntes e arranjando-se alguns termos, chega-se facilmente a seguinte expressão para a potência média de saída do conversor:

$$\frac{P_o}{\eta} = \frac{3.V_p.I_p}{2} \quad (1.18)$$

onde, P_o representa a potência de saída em [W], e η o rendimento do conversor.

Isolando-se a corrente de pico tem-se:

$$I_p = \frac{2.P_o}{3.V_p.\eta} \quad (1.19)$$

Novamente, considerando-se que a tensão sobre um indutor qualquer é a sua indutância característica multiplicada pela derivada de sua corrente no tempo, e substituindo as equações (1.1) e (1.19) em (1.16) tem-se que:

$$3.V_p.\text{sen}(wt-120^\circ) - 3.L \frac{d}{dt} \left(\frac{2.P_o}{3.\eta.V_p}.\text{sen}(wt-120^\circ) \right) + V_o.(1 + D_{Q5}(t) - 2.D_{Q3}(t)) = 0 \quad (1.20)$$

E,

$$3.V_p.\text{sen}(wt+120^\circ) - 3.L \frac{d}{dt} \left(\frac{2.P_o}{3.\eta.V_p}.\text{sen}(wt+120^\circ) \right) + V_o.(1 + D_{Q3}(t) - 2.D_{Q5}(t)) = 0 \quad (1.21)$$

De (1.20) e (1.21), derivando-se e realizando-se algumas operações matemáticas e considerando-se as razões cíclicas das chaves como sendo iguais para o instante analisado, chega-se à seguinte expressão:

$$\begin{cases} 3.V_p.(2.\text{sen}(wt - 120^\circ) + \text{sen}(wt + 120^\circ)) + \\ - \frac{2.P_o.w.L}{\eta.V_p}.(2.\cos(wt - 120^\circ) + \cos(wt + 120^\circ)) + 3.V_o.(1 - D_{Q3}(t)) = 0 \\ 3.V_p.(2.\text{sen}(wt + 120^\circ) + \text{sen}(wt - 120^\circ)) + \\ - \frac{2.P_o.w.L}{\eta.V_p}.(2.\cos(wt + 120^\circ) + \cos(wt - 120^\circ)) + 3.V_o.(1 - D_{Q5}(t)) = 0 \end{cases} \quad (1.22)$$

Desta forma, das equações descritas em (1.22), através de algumas identidades trigonométricas, obtém-se:

$$\begin{cases} D_{Q3}(t) = 1 - \frac{\sqrt{3}.V_p}{V_o} \left(\text{sen}(wt + 30^\circ) - \frac{2.P_o.w.L}{3.\eta.V_p^2} \cdot \cos(wt + 30^\circ) \right) \\ D_{Q5}(t) = 1 - \frac{\sqrt{3}.V_p}{V_o} \left(\text{sen}(wt - 30^\circ) - \frac{2.P_o.w.L}{3.\eta.V_p^2} \cdot \cos(wt - 30^\circ) \right) \end{cases} \quad (1.23)$$

No trecho analisado, em função da metodologia utilizada para a simplificação do circuito, a razão cíclica $D_{Q1}(t)$ da chave Q_1 é unitária – considerou-se a chave sempre fechada.

Quando wt possui valor em torno de 90° , para fins de simplificações, pode-se desprezar as parcelas dos co-senos da equação (1.23), pois suas magnitudes possuem pouca influencia sobre o resultado final. Dessa forma tem-se uma equação resumida aproximada para as razões cíclicas conforme segue:

$$\begin{cases} D_{Q3}(t) = 1 - \frac{\sqrt{3}.V_p}{V_o} \cdot \text{sen}(wt + 30^\circ) \\ D_{Q5}(t) = 1 - \frac{\sqrt{3}.V_p}{V_o} \cdot \text{sen}(wt - 30^\circ) \end{cases} \quad (1.24)$$

1.5 – Equacionamento Para o Dimensionamento Dos Componentes

1.5.1 – Indutores de Entrada

Os indutores entre o conversor retificador e a rede devem ser projetados de forma a manter o *ripple* de corrente dentro dos limites desejados.

Conforme já mencionado, sabe-se que num indutor qualquer a tensão é o produto da indutância pela derivada de corrente, e que a corrente é defasada da tensão em 90°. Para pequenos intervalos de tempo essa derivada pode ser aproximada à uma equação a diferenças, e a tensão no indutor pode ser representada, sem erros significativos, pela equação (1.25) conforme segue:

$$v_L = L \cdot \frac{\Delta i_L}{\Delta t} \rightarrow \Delta i_L = \frac{v_L \cdot \Delta t}{L} \quad (1.25)$$

onde, i_L representa a variação de corrente em [A], e t a variação de tempo em [s].

Percebe-se pela equação (1.25) que quanto maior a tensão sobre o indutor L , maior a variação de corrente num determinado intervalo de tempo. Como a corrente é defasada da tensão em 90°, pode-se dizer que a maior variação de corrente ocorre nos cruzamentos por zero.

Quando $\omega t = 90^\circ$, as razões cíclicas $D_{Q3}(t)$ e $D_{Q5}(t)$ assumem o mesmo valor, ou seja, os interruptores Q_3 e Q_5 abrem e fecham no mesmo instante de forma que existam apenas duas etapas de operação possíveis, conforme mostrado na *Tabela 1.2* e na *Figura 1-7*, pois as etapas 1 e 3 são idênticas.

Assim, para a primeira e a terceira etapa, considerando-se o interruptor Q_2 fechado e os interruptores Q_3 e Q_5 abertos, a tensão sobre o indutor L_I é igual a $v_I(t)$ menos dois terços de V_O , conforme já ilustrado através da equação (1.10). Durante esta etapa a corrente $i_I(t)$ apresenta derivada negativa pois o valor de $V_o \geq \sqrt{3} \cdot V_p$ [5].

Na segunda etapa, considerando-se que as chaves Q_2 , Q_3 e Q_5 estão fechadas, a tensão sobre o indutor L_I é igual a $v_I(t)$, conforme já ilustrado através da equação (1.12). Durante esta etapa a corrente $i_I(t)$ apresenta derivada positiva.

O intervalo de tempo em que as três chaves permanecem conduzindo, calculado a partir da definição de $D_{Q3}(t)$ e $D_{Q5}(t)$ é dado por:

$$D_{Q3}(\omega t = 90^\circ) \approx D_{Q5}(\omega t = 90^\circ) \approx 1 - \frac{\sqrt{3} \cdot V_p}{V_o} \cdot \text{sen}(120^\circ) \quad (1.26)$$

Como $\text{sen}(120^\circ) = \sqrt{3}/2$, assim:

$$D_{Q3} = D_{Q5} = \frac{2V_o - 3V_p}{2V_o} \quad (1.27)$$

Considerando-se a representação de ΔT por $D(wt)/T$ pode-se chegar à seguinte expressão:

$$\Delta t = \frac{2.V_o - 3.V_p}{2.fs.V_o} \quad (1.28)$$

onde, fs representa a frequência de chaveamento em [Hz].

Então, substituindo-se a equação (1.28) na equação (1.25), e considerando-se que durante o intervalo de tempo definido por Δt a tensão sobre o indutor L_I é igual a V_p , e ainda considerando-se que $L_1=L_2=L_3=L$, tem-se que a variação de corrente neste intervalo pode ser considerada como sendo:

$$\Delta i_L = \frac{V_p}{L} \cdot \left(\frac{2.V_o - 3.V_p}{2.fs.V_o} \right) \quad (1.29)$$

Definindo-se:

$$\Delta i_L \% = \frac{\Delta i_L}{i_L} \quad (1.30)$$

Com base nas equações (1.19) e (1.29), isolando-se L , chega-se à seguinte expressão:

$$L = \frac{3.\eta.V_p^2.(2.V_o - 3.V_p)}{4.\Delta i_L \%.fs.V_o.P_o} \quad (1.31)$$

onde, $i_L\%$ representa a máxima ondulação percentual de corrente admitida.

Faz-se interessante uma abordagem gráfica para facilitar o dimensionamento dos indutores de entrada. Neste sentido, pode-se definir α como sendo a relação entre a tensão de pico de entrada e a tensão de saída conforme segue:

$$\alpha = \frac{V_p}{V_o} \quad (1.32)$$

Desta forma, da equação (1.31), obtém-se a seguinte expressão:

$$L = \frac{3.\eta.V_p^2.(2-3.\alpha)}{4.\Delta i_L \%.fs.P_o} \quad (1.33)$$

Definindo-se a indutância normalizada como sendo:

$$\bar{L} = L \cdot \frac{2.\Delta i_L \%.fs.P_o}{3.\eta.V_p^2} \rightarrow L = \bar{L} \cdot \frac{3.\eta.V_p^2}{2.\Delta i_L \%.fs.P_o} \quad (1.34)$$

Tem-se que:

$$\bar{L} = \left(1 - \frac{3}{2}.\alpha\right) \quad (1.35)$$

onde, para que a equação seja válida, $0 \leq \alpha < 2/3$.

A *Figura 1-9* ilustra os valores normalizados de $\bar{L}$ em função de α . Percebe-se que quanto maior o valor de α menor o valor de $\bar{L}$, e vice versa.

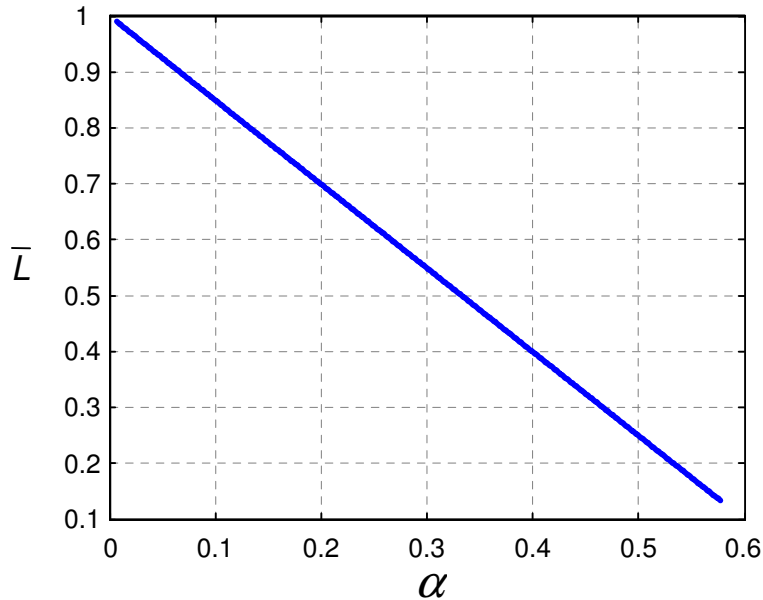


Figura 1-9 – Indutância de Entrada Normalizada em Função de α

Como os indutores estão em série com as fases da rede de alimentação de energia, a corrente eficaz que circula em cada indutor é igual a corrente eficaz em cada fase correspondente. Desta forma, com base na equação de potência trifásica, pode-se chegar à seguinte expressão:

$$I_{L_{ef}} = \frac{\sqrt{2} \cdot P_o}{3 \cdot V_p \cdot \eta} \quad (1.36)$$

onde $I_{L_{ef}}$ representa a corrente eficaz em cada um dos indutores na entrada do conversor.

1.5.2 – Capacitor de Saída

Observando-se o circuito equivalente apresentado na *Figura 1-8*, e considerando-se que a corrente de saída do conversor, doravante denominada de $I_o(t)$, seja constante dentro de um ciclo de chaveamento, e também desprezando-se as componentes de alta frequência do sinal, pode-se escrever que:

$$I_o(t) = -i_2(t) \cdot [1 - D_{Q3}(t)] - i_3(t) \cdot [1 - D_{Q5}(t)] \quad (1.37)$$

Ou então, realizando-se uma análise de equilíbrio de energia e mantendo-se as considerações comentadas, pode-se dizer que:

$$P_o(t) = P_{in}(t) \cdot \eta \quad (1.38)$$

onde, P_o representa a potência de saída, P_{in} representa a potência de entrada, e η representa o rendimento do circuito.

Para um circuito trifásico equilibrado, a potência de entrada pode ser considerada como sendo:

$$P_{in}(t) = 3 \cdot v_1(t) \cdot i_1(t) \cdot FP \quad (1.39)$$

onde, P_{in} representa a potência de entrada, v_1 e i_1 representam a tensão $[V_{RMS}]$ e a corrente $[A_{RMS}]$ em um das fases, respectivamente, e FP representa o fator de potência do circuito.

E também, a potência na saída pode ser considerada como sendo:

$$P_o(t) = V_o(t).I_o(t) \quad (1.40)$$

onde, V_o e I_o representam a tensão e a corrente na saída do circuito sobre o capacitor C_o , respectivamente.

Substituindo-se as equações (1.39) e (1.40) na equação (1.38), e considerando-se que o circuito esta operando com rendimento e fator de potência unitário, tem-se que:

$$V_o(t).I_o(t) = 3.v_1(t).i_1(t).1.1 \quad (1.41)$$

Da equação (1.41), isolando-se a corrente de saída tem-se que:

$$I_o(t) = \frac{3.v_1(t).i_1(t)}{V_o} \quad (1.42)$$

Ou então, da equação (1.42), considerando-se que a tensão e corrente são puramente senoidais, pode-se escrever:

$$I_o(t) = \frac{3.V_p/\sqrt{2} \cdot I_p/\sqrt{2}}{V_o(t)} = \frac{3.V_p.I_p}{2.V_o} \quad (1.43)$$

onde, V_p e I_p representam a tensão e a corrente de pico em uma das fases de entrada, e V_o e I_o representam a tensão e corrente na saída do circuito, respectivamente.

Assim, percebe-se que a corrente de saída $I_o(t)$, respeitando-se as devidas considerações, não apresenta ondulação de baixa frequência. Desta forma, faz-se necessário que o capacitor de saída apenas filtre as componentes de alta frequência do sinal, onde capacitâncias de baixo valor podem ser utilizadas.

A prática, no entanto, tem demonstrado que tende-se a utilizar uma capacitância de valor elevado para este tipo de aplicação.

Com relação ao balanço de carga elétrica no capacitor, quando Q_3 e Q_5 estão fechadas não circula energia da rede de alimentação para a carga (resistor R_o). Neste

intervalo o capacitor fornece toda a energia drenada pela carga (resistor R_o). Assim, chega-se na seguinte expressão:

$$\Delta Q_{Co} = \int_0^{\Delta T} I_o . dt = \int_0^{\frac{2.V_o - 3.V_p}{2.fs.V_o}} \frac{P_o}{V_o} . dt \quad (1.44)$$

onde, Q_{Co} representa a variação de carga no capacitor C_o .

Resolvendo-se a equação (1.44), considerando-se que $\Delta V_o \% = \Delta V_o / V_o$, chega-se na seguinte expressão:

$$\Delta Q_{Co} = C_o . \Delta V_o = C_o . \Delta V_o \% . V_o = \frac{P_o . (2.V_o - 3.V_p)}{2.fs.V_o^2} \quad (1.45)$$

onde, $V_o\%$ representa a máxima variação percentual da tensão de saída.

Rearranjando-se a equação (1.45) chega-se facilmente a seguinte relação:

$$C_o = \frac{P_o . (2.V_o - 3.V_p)}{2.fs.V_o^3 . \Delta V_o \%} \quad (1.46)$$

Fazendo-se também interessante uma abordagem gráfica para o dimensionamento do capacitor de saída, considerando-se as equações (1.32) e (1.46), tem-se que:

$$C_o = \frac{P_o . (4 - 3\alpha)}{4.fs.V_o^2 . \Delta V_o \%} \quad (1.47)$$

Definindo-se, então, a capacitância de saída normalizada como sendo:

$$\overline{C_o} = C_o . \frac{4.fs.V_o^2 . \Delta V_o \%}{P_o} \quad (1.48)$$

Desta forma, chega-se a seguinte expressão:

$$\overline{C_o} = (4 - 3.\alpha) \quad (1.49)$$

A *Figura 1-10* ilustra a equação (1.49) de forma gráfica. Percebe-se que quanto maior o valor de α menor o valor da capacitância normalizada e vice-versa.

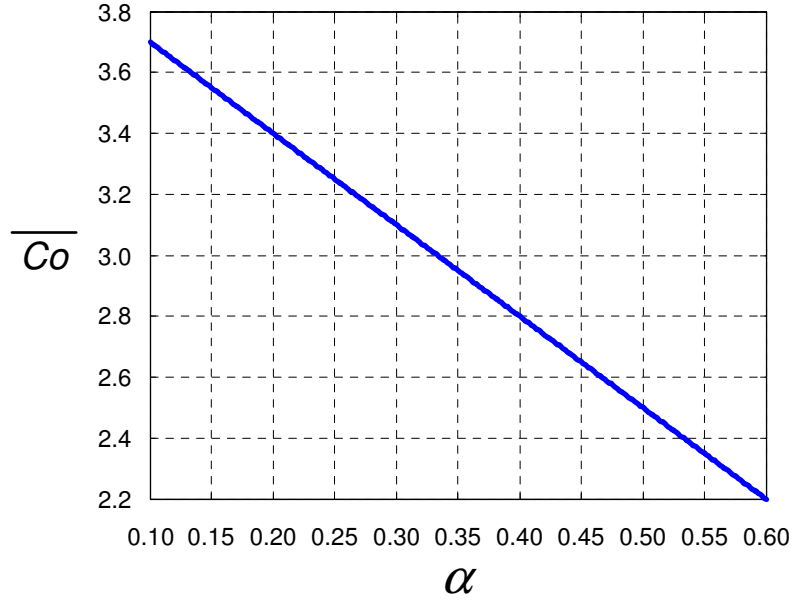


Figura 1-10 – Capacitância de Saída (p/ alta frequência) Normalizada em Função de α

Além do que foi descrito, sabe-se que a corrente eficaz é um fator determinante para o correto dimensionamento do capacitor de saída. Para esboçar o cálculo da corrente eficaz, será utilizada a metodologia observada em [6], conforme as equações seguintes:

$$I_{Co_ef_Ts} = \sqrt{\frac{1}{T_s} \cdot \left[\int_0^{T_s} i_{C_o}^2(t) \cdot dt \right]} \quad (1.50)$$

onde, T_s representa um período de chaveamento, e i_{C_o} representa a corrente que passa pelo capacitor C_o .

Resolvendo-se a equação (1.50), chega-se a seguinte expressão:

$$I_{Co_ef_Ts} = \sqrt{\frac{1}{T_s} \cdot \left(\begin{aligned} &(I_1 + I_{Ro})^2 \cdot t_1 + (I_{Ro})^2 \cdot (t_2 - t_1) + (I_1 + I_{Ro})^2 \cdot (t_3 - t_2) + \\ &+ (I_1 + I_2 + I_{Ro})^2 \cdot (t_4 - t_3) + (I_{Ro})^2 \cdot (t_5 - t_4) + \\ &+ (I_1 + I_2 + I_{Ro})^2 \cdot (t_6 - t_5) + (I_1 + I_{Ro})^2 \cdot (t_6 - T_s) \end{aligned} \right)} \quad (1.51)$$

onde, I_1 , I_2 e I_3 são as correntes instantâneas na entrada do conversor, I_{Ro} é a corrente drenada pela carga R_o , e I_{Co_ef} representa a corrente eficaz que circula pelo capacitor de saída C_o dentro de um período de chaveamento T_s .

Para a solução da equação anterior, de uma análise comparativa entre a portadora triangular e as três correntes de entrada, tem-se que:

$$\begin{cases} I_1 = \frac{4.I_p.t_1}{\alpha.T_s} \\ I_2 = 2.\frac{I_p}{\alpha}.\left(1 - \frac{2.t_3}{T_s}\right) \\ I_3 = 2.\frac{I_p}{\alpha}.\left(1 - \frac{2.t_4}{T_s}\right) \end{cases} \quad (1.52)$$

E também:

$$\begin{cases} t_1 = \frac{I_1.\alpha.T_s}{4.I_p} \\ t_2 = \frac{T_s}{2} - t_1 \\ t_3 = \frac{T_s}{2}.\left(1 - \frac{I_2.\alpha}{2.I_p}\right) \\ t_4 = \frac{T_s}{2}.\left(1 - \frac{I_3.\alpha}{2.I_p}\right) \\ t_5 = T_s.\left(1 + \frac{\alpha.I_3}{4.I_p}\right) \\ t_6 = T_s.\left(1 + \frac{\alpha.I_2}{4.I_p}\right) \end{cases} \quad (1.53)$$

Desta forma, expandindo-se a solução para um período da rede pode-se dizer que:

$$I_{Co_ef} = \sqrt{\frac{\pi}{6} \int_{\pi/2}^{2\pi/3} I_{Co_ef_Ts}^2(\omega).dt} \quad (1.54)$$

1.5.3 – Chaves de Potência – IGBT's

Considerando-se o sistema equilibrado, rede balanceada com ausência de sequência zero, pode-se reescrever o circuito da *Figura 1-1* da seguinte forma:

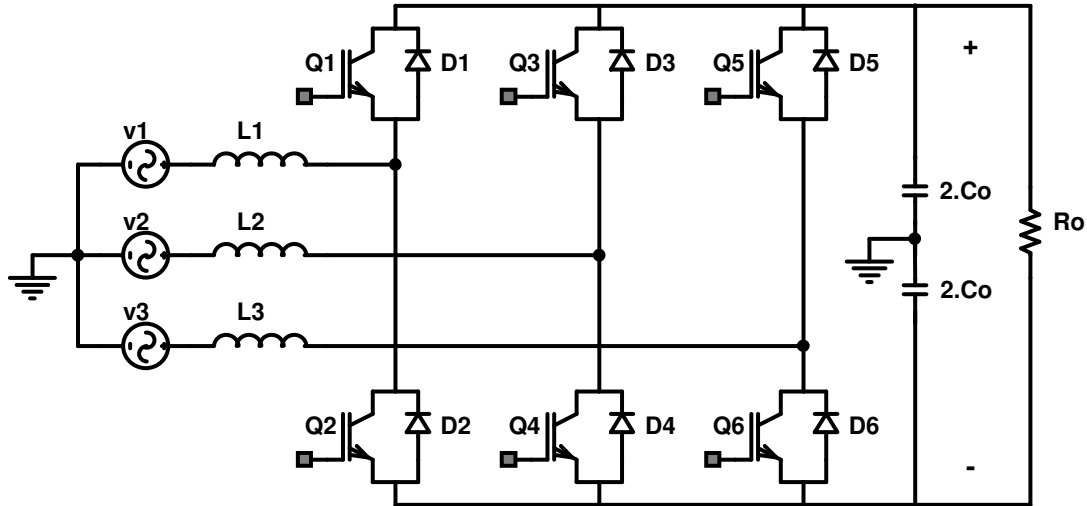


Figura 1-11 – Circuito de Potência do Conversor Com Conexão ao Neutro

Conforme pode ser observado, optou-se por dividir o capacitor do barramento em duas partes, e inseriu-se uma ligação de neutro entre ambos os capacitores. Sabe-se que em circuitos equilibrados a corrente que circula pelo neutro é nula, de forma que o circuito apresentado, salvo as considerações mencionadas, pode ser considerado válido. Tal alteração tem o objetivo de facilitar o equacionamento que será apresentado.

O circuito da *Figura 1-11* pode ser aproximado a três conversores “boost” monofásicos que trabalham em paralelo conforme ilustra a figura seguinte:

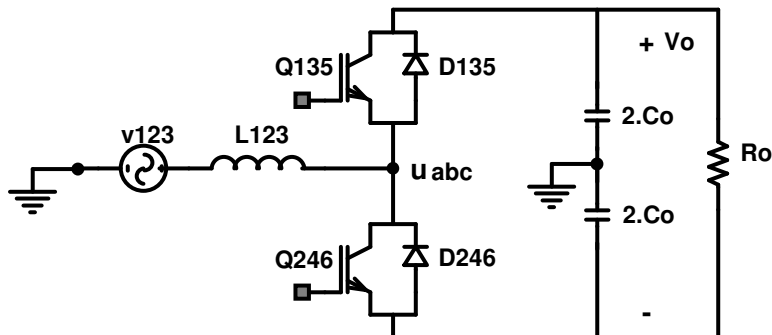


Figura 1-12 – Circuito de Potência Simplificado Com Conexão ao Neutro

As tensões médias intermediárias de cada braço de chaveamento podem ser consideradas como sendo:

$$\bar{U}_{abc} = \frac{1}{T_s} \left[\int_0^{D.T_s} \left(\frac{V_o}{2} \right) . dt + \int_{D.T_s}^{T_s} \left(-\frac{V_o}{2} \right) . dt \right] \quad (1.55)$$

Ou então,

$$\bar{U}_{abc} = \frac{V_o}{2} . D - \frac{V_o}{2} . (1 - D) = \frac{V_o}{2} . (2D - 1) \quad (1.56)$$

Para a tensão no primeiro braço, desconsiderando-se a queda de tensão sobre o indutor, pode-se dizer que:

$$U_a(\omega t) = V_{in}(\omega t) = V_p . \text{sen}(\omega t) \quad (1.57)$$

Semelhantemente ao ilustrado em (1.32), de acordo com as considerações realizadas, pode-se dizer que:

$$V_p = \frac{V_o}{2} \alpha \quad (1.58)$$

Assim,

$$U_a(\omega t) = \frac{V_o}{2} . \alpha . \text{sen}(\omega t) \quad (1.59)$$

Reescrevendo-se, então, $U_a(\omega t)$ em função da razão cíclica $d(\omega t)$ pode-se chegar a seguinte expressão:

$$U_a(\omega t) = \frac{V_o}{2} . (2.d(\omega t) - 1) \quad (1.60)$$

E então, igualando-se as duas equações anteriores:

$$d(\omega t) = \frac{\alpha . \text{sen}(\omega t) + 1}{2} \quad (1.61)$$

Determinando-se a corrente de entrada do conversor em função dos parâmetros de potência de saída pode-se chegar a seguinte expressão:

$$i_1(\omega t) = I_p \cdot \text{sen}(\omega t) = \frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \cdot \text{sen}(\omega t) \quad (1.62)$$

Dentro de um período de chaveamento, a corrente eficaz na chave 2 pode ser considerada como sendo:

$$I_{Q2_ef_Ts} = \sqrt{\frac{1}{T_s} \int_0^{D \cdot T_s} i_1^2 \cdot dt} = I_1 \sqrt{D} \quad (1.63)$$

Das três equações anteriores, expandindo-se a análise para um período da rede tem-se:

$$I_{Q2_ef} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \right)^2 \cdot \text{sen}^2(\omega t) \cdot \frac{1}{2} (\alpha \cdot \text{sen}(\omega t) + 1) \cdot d\omega t} \quad (1.64)$$

Resolvendo-se a equação anterior chega-se:

$$I_{Q2_ef} = \frac{\sqrt{6}}{18} \cdot \frac{P_o}{\eta \cdot V_p} \cdot \sqrt{\frac{8\alpha + 3\pi}{\pi}} \quad (1.65)$$

A fim de simplificar a análise pode-se definir a corrente eficaz normalizada conforme segue:

$$\overline{I_{Q2_ef}} = \frac{18}{\sqrt{6}} \cdot \frac{\eta \cdot V_p}{P_o} \cdot I_{Q2_ef} \quad (1.66)$$

Assim, das duas equações anteriores chega-se:

$$\overline{I_{Q2_ef}} = \sqrt{\frac{8\alpha + 3\pi}{\pi}} \quad (1.67)$$

A corrente eficaz encontrada para a chave 2 pode ser expandida para qualquer chave, pois seus valores são iguais dentro de um período de rede. Desta forma, a *Figura*

1-13 ilustra a corrente eficaz normalizada, para qualquer uma das chaves do conversor, em função de α . Percebe-se que quanto maior o valor de α , maior o valor da corrente.

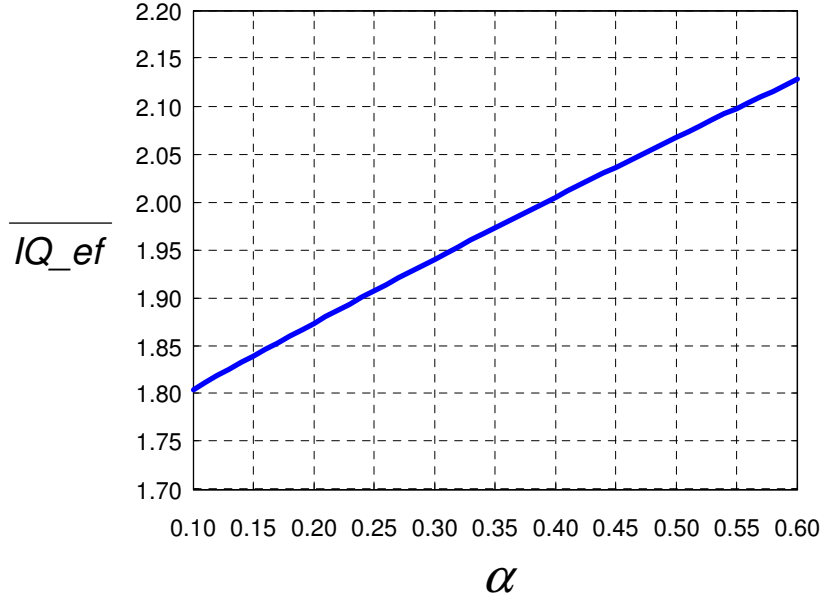


Figura 1-13 – Corrente Eficaz Normalizada Nas Chaves em Função de α

De forma semelhante à corrente eficaz, para a corrente média pode-se escrever que:

$$I_{Q2_med_TS} = \frac{1}{2\pi} \cdot \int_0^{D.Ts} I \cdot dt = I \cdot D \quad (1.68)$$

Novamente, expandindo o equacionamento para um período da rede:

$$I_{Q2_med} = \frac{1}{2\pi} \int_0^\pi \left(\frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \right) \cdot \text{sen}(\omega t) \cdot \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \cdot d\omega t = \frac{P_o \cdot (4 + \alpha \cdot \pi)}{12 \cdot \pi \cdot \eta \cdot V_p} \quad (1.69)$$

E assim,

$$I_{Q2_med} = \frac{P_o \cdot (4 + \alpha \cdot \pi)}{12 \cdot \pi \cdot \eta \cdot V_p} \quad (1.70)$$

Definindo-se, então, a corrente média normalizada como sendo:

$$\overline{I_{Q2_med}} = I_{Q_med} \cdot \frac{12 \cdot \pi \cdot \eta \cdot V_p}{P_o} \quad (1.71)$$

Desta forma, das duas equações anteriores tem-se que:

$$\overline{I_{Q2_med}} = (4 + \pi \cdot \alpha) \quad (1.72)$$

Novamente, a corrente média encontrada para a chave 2 pode ser expandida para qualquer chave, pois seus valores são iguais dentro de um período de rede. Desta forma, a *Figura 1-14* ilustra a corrente média normalizada, para qualquer uma das chaves do conversor, em função de α . Percebe-se que quanto maior o valor de α , maior o valor da corrente.

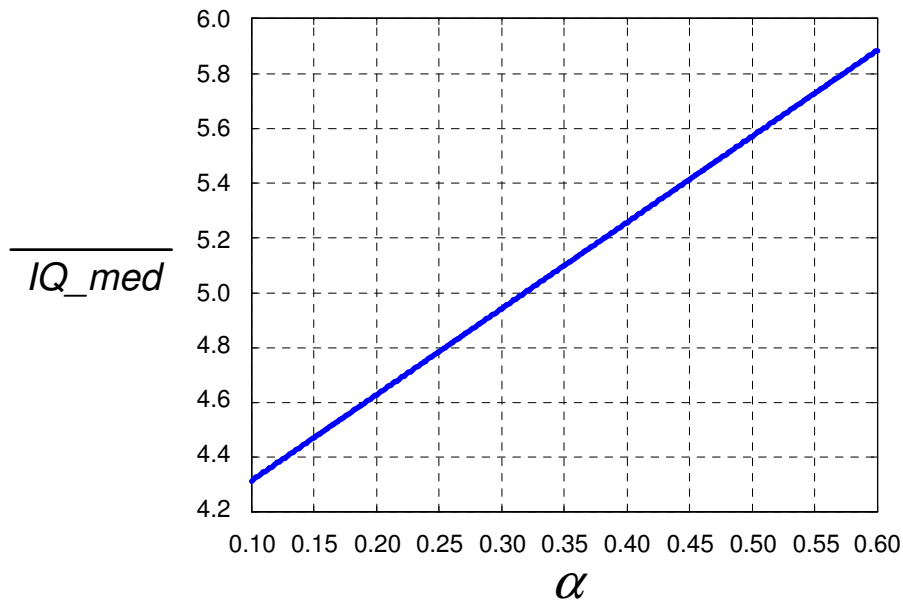


Figura 1-14 – Corrente Média Normalizada Nas Chaves em Função de α

Conforme comentado, embora o procedimento de cálculo tenha sido determinado para a chave Q_2 , o mesmo pode ser considerado válido para todas as chaves, pois o conversor é simétrico.

1.5.4 – Diodos de Potência

O dimensionamento dos diodos pode ser feito de forma semelhante às chaves IGBT's. Sabendo-se que o tempo de condução do diodo D_1 é complementar ao da chave

Q_2 , e utilizando-se das premissas apresentadas no cálculo dos interruptores, pode-se obter a seguinte expressão:

$$I_{D1_ef_Ts} = \sqrt{\frac{1}{T_s} \cdot \int_{D.Ts}^{Ts} i_{D1}(t)^2 \cdot dt} = I \cdot \sqrt{(1-D)} \quad (1.73)$$

Novamente, expandindo-se o equacionamento para um ciclo da rede chega-se na seguinte equação:

$$I_{D1_ef} = \sqrt{\frac{1}{2\pi} \int_0^\pi \left(\frac{2 \cdot P_o}{3 \cdot \eta \cdot V_p} \right)^2 \cdot \text{sen}^2(\omega t) \cdot \left[1 - \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \right] d\omega t} \quad (1.74)$$

Que por sua vez, resulta na seguinte expressão:

$$I_{D1_ef} = \frac{1}{18} \cdot \frac{P_o}{\eta \cdot V_p} \sqrt{\frac{6}{\pi} \cdot (3\pi - 8\alpha)} \quad (1.75)$$

Devido a simetria do circuito, pode-se generalizar o resultado obtido para qualquer diodo do circuito. Desta forma:

$$I_{D_ef} = \frac{1}{18} \cdot \frac{P_o}{\eta \cdot V_p} \sqrt{\frac{6}{\pi} \cdot (3\pi - 8\alpha)} \quad (1.76)$$

Pode-se definir a corrente eficaz normalizada em cada diodo como sendo:

$$\overline{I_{D_ef}} = \frac{18}{1} \cdot \frac{\eta \cdot V_p}{P_o} \cdot I_{D_ef} \quad (1.77)$$

Desta forma, a partir das duas equações anteriores, chega-se na seguinte expressão:

$$\overline{I_{D_ef}} = \sqrt{\frac{6}{\pi} \cdot (3\pi - 8\alpha)} \quad (1.78)$$

A Figura 1-15 ilustra a corrente eficaz normalizada, em qualquer um dos diodos do conversor, em função de α . Percebe-se que quanto maior o valor de α , menor o valor da corrente.

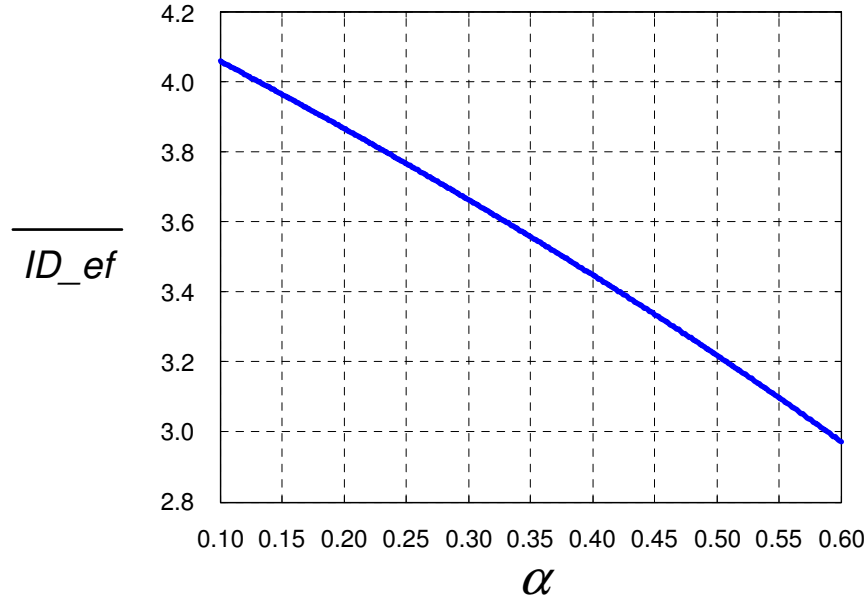


Figura 1-15 – Corrente eficaz normalizada nos diodos em função de α

Semelhantemente à corrente eficaz, a corrente média nos diodos dentro de um ciclo de chaveamento pode ser escrita como sendo:

$$I_{D1_med_Ts} = \frac{1}{2\pi} \int_{D.Ts}^{Ts} i_{d1}.dt = I.(1-D) \quad (1.79)$$

Da equação anterior, expandindo-se a análise para um período da rede:

$$I_{D1_med} = \frac{1}{2\pi} \cdot \int_0^{\pi} \left[\left(\frac{2.P_o}{3.\eta.V_p} \right) .sen(\omega t) \cdot \left(1 - \frac{1}{2} . (\alpha .sen(\omega t) + 1) \right) \right] .d\omega t \quad (1.80)$$

Resolvendo-se a equação (1.80), obtém-se a seguinte expressão:

$$I_{D1_med} = \frac{P_o.(4 - \alpha.\pi)}{12.\pi.\eta.V_p} \quad (1.81)$$

Novamente, devido a simetria existente na operação do conversor, pode-se generalizar o resultado obtido para a corrente em qualquer diodo do circuito como segue:

$$I_{D_med} = \frac{P_o \cdot (4 - \alpha \cdot \pi)}{12 \cdot \pi \cdot \eta \cdot V_p} \quad (1.82)$$

Pode-se definir também a corrente média normalizada em cada diodo como sendo:

$$\overline{I_{D_med}} = I_{D_med} \cdot \frac{12 \cdot \pi \cdot \eta \cdot V_p}{P_o} \quad (1.83)$$

Dessa forma, chega-se a seguinte expressão:

$$\overline{I_{D_med}} = (4 - \pi \cdot \alpha) \quad (1.84)$$

A *Figura 1-16* ilustra a corrente média normalizada, em qualquer um dos diodos do conversor, em função de α .

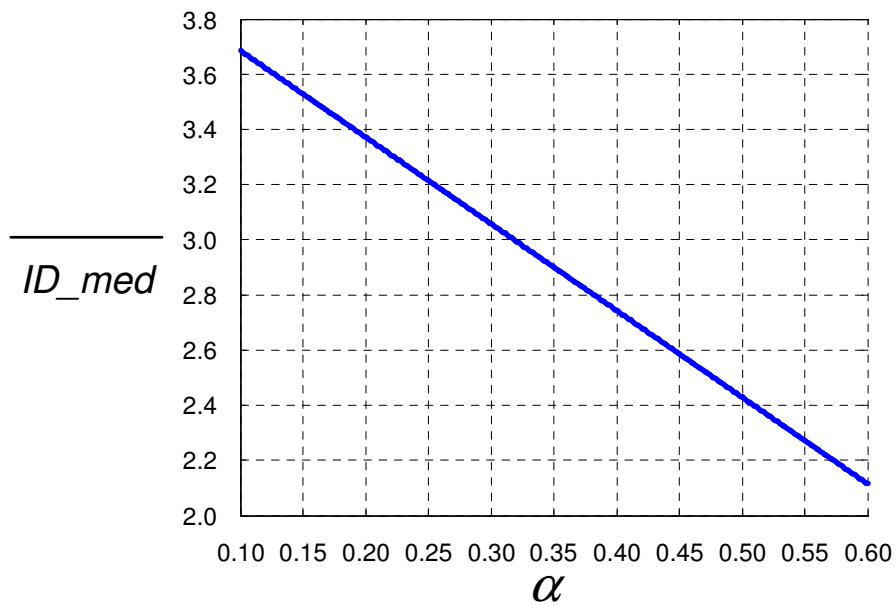


Figura 1-16 – Corrente Média em Qualquer um Dos Diodos em Função de α

Conforme pode ser observado, a corrente média que passa por qualquer diodo do circuito diminui com o incremento de α e vice-versa.

1.6 – Requisitos de Projeto e Especificação Dos Componentes de Potência

Como o objetivo final deste trabalho é a montagem prática de um *Conversor Retificador Trifásico Chaveado Reversível Com Elevado Fator de Potência*, faz-se necessário a determinação dos requisitos de projeto que servirão de subsídios para a especificação e projeto dos componentes de potência. Desta forma, tem-se que:

Tabela 1.3 - Requisitos de Projeto

Potência de saída	$P_o = 2500W$
Tensão de saída	$V_o = 400V$
Tensão de pico da fase de alimentação	$V_p = 179,61V$
Ondulação de corrente percentual máxima	$\Delta i_L \% = 0,10 (10\%)$
Ondulação na tensão de saída	$\Delta V_o \% = 0,05 (5\%)$
Frequência de chaveamento	$f_s = 20kHz$
Frequência da rede de alimentação	$f = 60Hz$
Rendimento esperado para o conversor	$\eta = 0,87$

1.6.1 – Especificação Dos Indutores de Entrada

Observando-se o equacionamento prévio, os valores que especificam as indutâncias de entrada podem ser determinados através das equações (1.32) a (1.36), e do ábaco da *Figura 1-9*. Assim, substituindo-se os parâmetros de requisitos de projeto tem-se:

$$\alpha = \frac{V_p}{V_o} = \frac{179,61}{400} \approx 0,45 \quad (1.85)$$

E, através do ábaco ilustrado na *Figura 1-9*:

$$\bar{L} = 0,325 \quad (1.86)$$

Assim, através da equação (1.34):

$$L = \bar{L} \cdot \frac{3\eta V_p^2}{2\Delta i_L \% fs P_o} = 0,325 \cdot \frac{3,0,87 \cdot 179,61^2}{2,0,10 \cdot 20000 \cdot 2500} \rightarrow L \approx 2,74mH \quad (1.87)$$

De forma semelhante, a corrente eficaz em cada um dos indutores de entrada pode ser obtida através da equação (1.36):

$$I_{L_{ef}} = \frac{\sqrt{2} \cdot P_o}{3V_p \cdot \eta} = \frac{\sqrt{2} \cdot 2500}{3 \cdot 179,61 \cdot 0,87} \rightarrow I_{L_{ef}} = 7,54A \quad (1.88)$$

Considerando-se uma onda puramente senoidal, a corrente de pico pode ser considerada como sendo:

$$I_{L_{pico}} = I_{L_{ef}} \cdot \sqrt{2} = 7,54 \cdot \sqrt{2} \rightarrow I_{L_{pico}} = 10,67A \quad (1.89)$$

Desta forma, os indutores podem ser projetados para atender aos requisitos desejados de acordo com os valores encontrados.

Uma possível montagem para tais indutores pode ser composta por dois conjuntos de 73 espiras com 5 fios AWG em paralelo, e entreferro de 1,95mm, montados sobre dois núcleos NEE-65/33/39 similares ao da empresa “Thornton”. Maiores detalhes do projeto podem ser observados no *Apêndice A – Esboço do Projeto dos Indutores de Entrada*.

1.6.2 – Especificação do Capacitor do Filtro de Saída

Novamente, observando-se o equacionamento prévio, os valores que especificam a capacitância do filtro de saída podem ser determinados através das equações (1.85) e (1.49), e do ábaco da *Figura 1-10*. Assim, substituindo-se os requisitos de projeto tem-se que:

$$\bar{C}_o \approx 2,65 \quad (1.90)$$

E então,

$$C_o = \overline{C_o} \cdot \frac{P_o}{4 \cdot f_s \cdot V_o^2 \cdot \Delta V_o \%} = 2,65 \cdot \frac{2500}{4 \cdot 20000 \cdot 179,61^2 \cdot 0,05} \rightarrow C_o = 51,34 \mu F \quad (1.91)$$

A corrente eficaz no capacitor de saída pode ser obtida através das equações (1.50) a (1.54). Desta forma, substituindo-se os valores das correntes de entrada e dos tempos de acordo com as etapas de operação dentro de um período de chaveamento, e após expandindo-se a análise para um período da rede chega-se ao seguinte resultado:

$$I_{Co_ef} = \sqrt{\frac{\pi}{6} \int_{\pi/2}^{2\pi/3} I_{Co_ef_Ts}(\omega t)^2 \cdot dt} = 5,54 A \quad (1.92)$$

A corrente de pico no capacitor pode ser considerada como sendo igual a corrente de pico nos indutores:

$$I_{Co_pico} = I_{L_pico} \quad (1.93)$$

Desta forma tem-se que:

$$I_{Co_pico} = I_{L_ef} \cdot \sqrt{2} = 7,54 \cdot \sqrt{2} \rightarrow I_{Co_pico} = 10,67 A \quad (1.94)$$

Embora fora calculado o valor de C_o , será utilizado para a fase de implementação prática o módulo de potência *B6U+B6I+E11F* da empresa “Semikron”, pois este se encontra disponível no laboratório de eletrônica de potência da UDESC – local de desenvolvimento da presente dissertação. O módulo descrito possui uma capacitância de 1500 F, e este é o valor que deverá ser considerado para cálculos posteriores.

1.6.3 – Especificação Das Chaves *IGBT's*

Mais uma vez, observando-se o equacionamento prévio, os valores que especificam as chaves *IGBT's* podem ser determinadas através das equações (1.85), (1.66), (1.67), (1.71), (1.72), e dos ábacos das figuras *Figura 1-13* e *Figura 1-14*. Assim, substituindo-se os requisitos de projeto tem-se que:

$$\overline{I_{Q_{-ef}}} \approx 2,04 \quad (1.95)$$

E então,

$$I_{Q_{-ef}} = \frac{\sqrt{6}}{18} \cdot \frac{P_o}{\eta \cdot V_p} \cdot \overline{I_{Q_{-ef}}} = \frac{\sqrt{6} \cdot 2500}{18 \cdot 0,87 \cdot 179,61} \cdot 2,04 \rightarrow I_{Q_{-ef}} = 4,44 A \quad (1.96)$$

A corrente de pico pode ser considerada como sendo igual a corrente de pico na entrada do conversor. Assim, tem-se que:

$$I_{Q_{-pico}} = \frac{2 \cdot P_o}{3 \cdot V_p \cdot \eta} = \frac{2 \cdot 2500}{3 \cdot 179,61 \cdot 0,87} = 10,67 A \quad (1.97)$$

Semelhantemente,

$$\overline{I_{Q_{-med}}} \approx 5,41 \quad (1.98)$$

Assim,

$$I_{Q_{-med}} = \frac{P_o}{12 \cdot \pi \cdot \eta \cdot V_p} \cdot \overline{I_{Q_{-med}}} = \frac{2500}{12 \cdot \pi \cdot 0,87 \cdot 179,61} \cdot 5,41 \rightarrow I_{Q_{-med}} = 2,30 A \quad (1.99)$$

A tensão reversa máxima em cada chave pode ser considerada como sendo a tensão de saída média mais a máxima ondulação. Desta forma:

$$V_{Q_{rev}} = V_o \cdot (1 + \Delta V_o \%) = 400 \cdot (1 + 0,05) \rightarrow V_{Q_{rev}} = 420 V \quad (1.100)$$

Observando-se os valores encontrados, e também em função da disponibilidade atual verificada no laboratório de eletrônica de potência da UDESC Joinville, especificam-se as chaves como sendo similares ao modelo *SK 45 GB 063*, presente no módulo *B6U+B6I+E11F* da empresa “Semikron”.

1.6.4 – Especificação Dos Diodos

Novamente, observando-se o equacionamento prévio, os valores que especificam os diodos podem ser determinadas através das equações (1.85), (1.77), (1.78), (1.83), (1.84), e dos ábacos das figuras *Figura 1-15* e *Figura 1-16*. Assim, substituindo-se os parâmetros de requisitos de projeto tem-se que:

$$\overline{I_{D_{-}ef}} \approx 3,32 \quad (1.101)$$

E assim,

$$I_{D_{-}ef} = \frac{1}{18} \cdot \frac{P_o}{\eta \cdot V_p} \cdot \overline{I_{D_{-}ef}} = \frac{2500}{18 \cdot 0,87 \cdot 179,61} \cdot 3,32 \rightarrow I_{D_{-}ef} = 2,95A \quad (1.102)$$

Considerando-se também uma onda puramente senoidal, a corrente de pico pode ser considerada como sendo:

$$I_{D_{-}pico} = \frac{2 \cdot P_o}{3 \cdot V_p \cdot \eta} = \frac{2 \cdot 2500}{3 \cdot 179,61 \cdot 0,87} = 10,67 \quad (1.103)$$

Semelhantemente,

$$\overline{I_{D_{-}med}} \approx 2,58 \quad (1.104)$$

Desta forma,

$$I_{D_{-}med} = \frac{P_o}{12 \cdot \pi \cdot \eta \cdot V_p} \cdot \overline{I_{D_{-}med}} = \frac{2500}{12 \cdot \pi \cdot 0,87 \cdot 179,61} \cdot 2,58 \rightarrow I_{D_{-}med} = 1,09A \quad (1.105)$$

Igualmente às chaves, a tensão reversa máxima em cada diodo pode ser considerada como sendo a tensão de saída média mais a máxima ondulação. Desta forma:

$$V_{Drev} = V_o \cdot (1 + \Delta V_o \%) = 400 \cdot (1 + 0,05) \rightarrow V_{Drev} = 420V \quad (1.106)$$

Novamente, especificam-se os diodos como sendo similares do módulo *B6U+B6I+E11F* da empresa “Semikron”.

1.7 – Conclusão

No presente capítulo apresentou-se uma breve descrição teórica do funcionamento do circuito de potência do conversor proposto.

Através de algumas considerações chegou-se a um circuito simplificado equivalente, o qual foi utilizado para facilitar a análise do conversor.

Também foram esboçados de forma sucinta os procedimentos para a obtenção das principais equações que traduzem as características e condições mais relevantes na análise do sistema de potência.

A partir das equações geram-se ábacos para facilitar o dimensionamento, e estes por sua vez foram usados na determinação e na especificação dos principais componentes.

Salienta-se que os elementos do circuito foram determinados observando-se o material disponível no laboratório de eletrônica de potência da UDESC Joinville, de sorte que algumas aproximações viram-se necessárias.

2 – Análise do Sistema de Comando e Controle

Este capítulo tem por objetivo apresentar e analisar o sistema de comando e controle do conversor proposto, no qual serão utilizadas as técnicas de transformação de coordenadas de *Clark* e *Park*, alinhamento de vetores e desacoplamento de equações, de forma que sua complexidade seja reduzida.

Será ilustrado o diagrama de controle dentro do *DSP* e apresentado algumas técnicas para a geração de modulação *PWM* vetorial.

Para tal, serão apresentados alguns tópicos indicando de forma simplificada os conceitos teóricos e esboçados os procedimentos para obtenção das principais equações.

2.1 – Apresentação

A *Figura 2-1* ilustra o modelo simplificado do circuito do conversor retificador com modulação *PWM*, onde v_1 , v_2 e v_3 representam as tensões de fase, L_1 , L_2 e L_3 representam as indutâncias de entrada, R_1 , R_2 e R_3 representam as resistências de entrada, i_1 , i_2 e i_3 representam as correntes de fase, u_A , u_B e u_C representam as tensões nos pontos centrais do primeiro, segundo e terceiro braço de chaveamento, respectivamente, Q_1 a Q_6 representam as chaves – IGBT's, D_1 a D_6 representam os diodos anti-paralelos às chaves, i_{CR} representa a corrente e V_O a tensão no barramento *CC*, C_O representa a capacitância do filtro de *ripple* da tensão de saída, e I_O a corrente drenada pela carga R_O . Observa-se que o modelo do circuito do conversor contemplou, além das indutâncias, as resistências de entrada, que serão utilizadas na abordagem futura das malhas de controle.

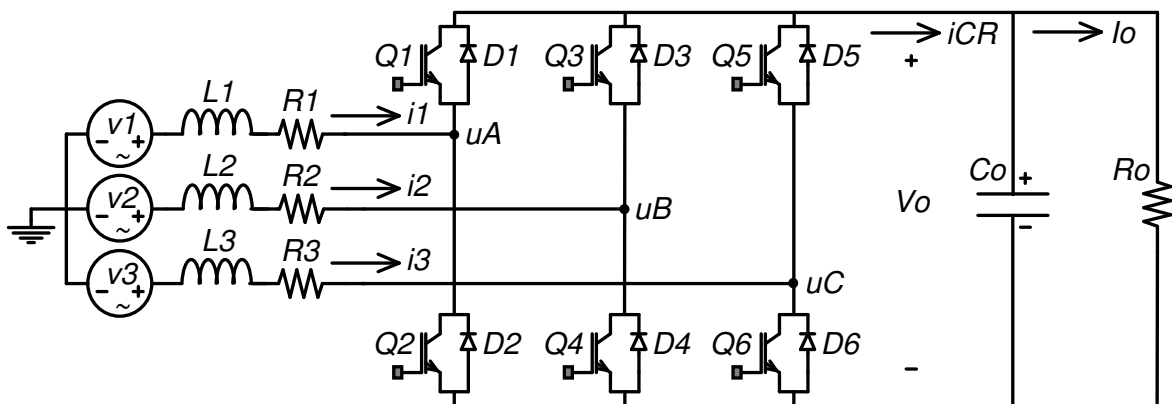


Figura 2-1 – Modelo do Conversor Retificador Trifásico Com Modulação PWM

2.2 – Análise Matemática do Modelo

Observando-se a *Figura 2-1*, a partir de uma análise de malha, chega-se facilmente ao seguinte sistema de equações de tensões:

$$\begin{aligned} -v_1(t) + v_{L1}(t) + v_{R1}(t) + u_A(t) &= 0 \\ -v_2(t) + v_{L2}(t) + v_{R2}(t) + u_B(t) &= 0 \\ -v_3(t) + v_{L3}(t) + v_{R3}(t) + u_C(t) &= 0 \end{aligned} \quad (2.1)$$

onde, conforme já mencionado, v_1 , v_2 e v_3 representam as tensões da rede de alimentação, v_{L1} , v_{L2} , v_{L3} , v_{R1} , v_{R2} e v_{R3} representam as quedas de tensões devido às impedâncias indutivas e resistivas da linha, respectivamente, e u_A , u_B e u_C representam as tensões nos pontos centrais dos braços A , B e C , respectivamente.

Escrevendo-se a equação (2.1) de outra forma tem-se que :

$$\begin{aligned} v_1(t) &= \frac{d}{dt} L_1 i_1(t) + R_1 i_1(t) + u_A(t) \\ v_2(t) &= \frac{d}{dt} L_2 i_2(t) + R_2 i_2(t) + u_B(t) \\ v_3(t) &= \frac{d}{dt} L_3 i_3(t) + R_3 i_3(t) + u_C(t) \end{aligned} \quad (2.2)$$

De (2.2), separando-se as derivadas de corrente, tem-se que:

$$\begin{aligned} \frac{di_1(t)}{dt} &= \frac{1}{L_1} [v_1(t) - R_1 i_1(t) - u_A(t)] \\ \frac{di_2(t)}{dt} &= \frac{1}{L_2} [v_2(t) - R_2 i_2(t) - u_B(t)] \\ \frac{di_3(t)}{dt} &= \frac{1}{L_3} [v_3(t) - R_3 i_3(t) - u_C(t)] \end{aligned} \quad (2.3)$$

Escrevendo-se a (2.3) na forma matricial, pode-se chegar a seguinte expressão:

$$\begin{bmatrix} \frac{di_1(t)}{dt} \\ \frac{di_2(t)}{dt} \\ \frac{di_3(t)}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R_1}{L_1} & 0 & 0 \\ 0 & -\frac{R_2}{L_2} & 0 \\ 0 & 0 & -\frac{R_3}{L_3} \end{bmatrix} \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \end{bmatrix} + \begin{bmatrix} \frac{1}{L_1} \\ \frac{1}{L_2} \\ \frac{1}{L_3} \end{bmatrix} \begin{bmatrix} v_1(t) - u_A(t) \\ v_2(t) - u_B(t) \\ v_3(t) - u_C(t) \end{bmatrix} \quad (2.4)$$

De forma semelhante, realizando-se uma análise de corrente no capacitor de saída C_o , chega-se a seguinte expressão:

$$i_{Co}(t) = i_{CR}(t) - I_o(t) \quad (2.5)$$

Ou, de outra forma:

$$i_{CR}(t) - I_o(t) = C_o \cdot \frac{dV_o(t)}{dt} \quad (2.6)$$

Separando-se a derivada de tensão tem-se que:

$$\frac{dV_o(t)}{dt} = \frac{1}{C_o} \cdot [i_{CR}(t) - I_o(t)] \quad (2.7)$$

2.3 – Transformação de Coordenadas “abc” Para “dq0”

Convencionalmente, o controle de conversores trifásicos é realizado em coordenadas “dq0” [22]. A transformação de “abc” para “dq0” é realizada através das transformadas de *Clark* e *Park*. A primeira transforma o sistema de coordenadas “abc” para “αβ0”, estacionário. A segunda transforma o sistema de coordenadas “αβ0” para “dq0”, girante a uma velocidade arbitrária ω_s , que pode ser escolhida de forma propícia para se obter variáveis contínuas no tempo. A Figura 2-2 ilustra tais transformações.

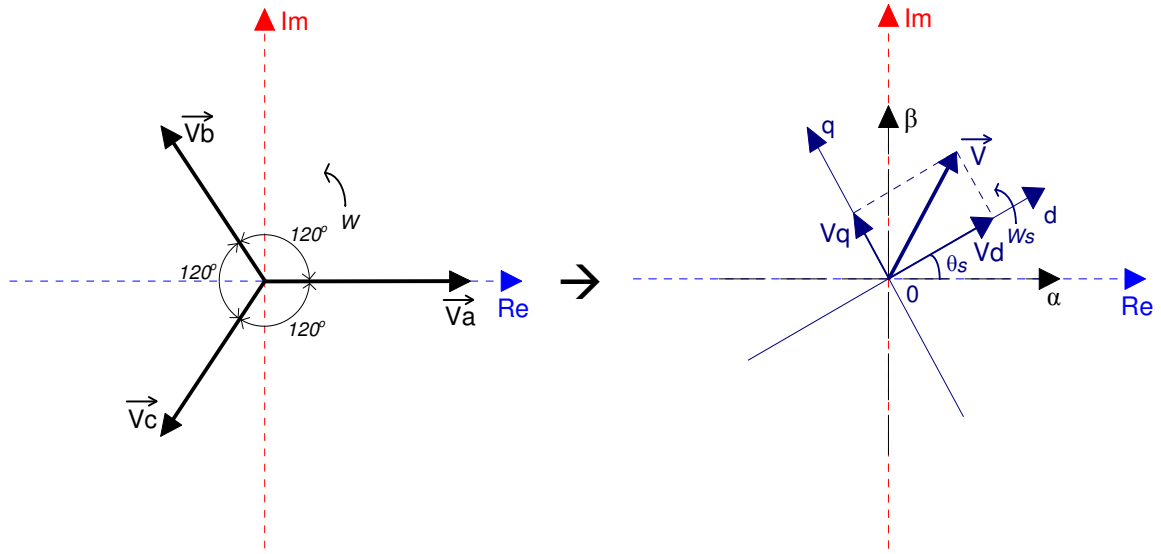


Figura 2-2 – Esboço da Transformação de Coordenadas de “abc” Para “dq0”

A matriz de transformação do sistema de coordenadas “abc” para “dq0”, em apenas uma operação, pode ser observada conforme segue:

$$MT_{abc \rightarrow dq0} = \frac{2}{3} \cdot \begin{bmatrix} \cos(w_s \cdot t) & \cos\left(w_s \cdot t + \frac{2\pi}{3}\right) & \cos\left(w_s \cdot t - \frac{2\pi}{3}\right) \\ \text{sen}(w_s \cdot t) & \text{sen}\left(w_s \cdot t + \frac{2\pi}{3}\right) & \text{sen}\left(w_s \cdot t - \frac{2\pi}{3}\right) \\ 1 & 1 & 1 \end{bmatrix} \quad (2.8)$$

Aplicando-se a equação (2.8) na equação (1.1) rearranjada na forma matricial, e fazendo-se w_s igual a w tem-se que:

$$\begin{bmatrix} v_d(t) \\ v_q(t) \\ v_0(t) \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} \cos(w \cdot t) & \cos\left(w \cdot t + \frac{2\pi}{3}\right) & \cos\left(w \cdot t - \frac{2\pi}{3}\right) \\ \text{sen}(w \cdot t) & \text{sen}\left(w \cdot t + \frac{2\pi}{3}\right) & \text{sen}\left(w \cdot t - \frac{2\pi}{3}\right) \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} v_1(t) \\ v_2(t) \\ v_3(t) \end{bmatrix} \quad (2.9)$$

Na equação (2.9), considerando-se um sistema equilibrado, tem-se que

$$v_0(t)=v_1(t)+v_2(t)+v_3(t)=0.$$

Semelhantemente ao realizado para as tensões, para as correntes do sistema tem-se que:

$$\begin{bmatrix} i_d(t) \\ i_q(t) \\ i_0(t) \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} \cos(w.t) & \cos\left(w.t + \frac{2.\pi}{3}\right) & \cos\left(w.t - \frac{2.\pi}{3}\right) \\ \text{sen}(w.t) & \text{sen}\left(w.t + \frac{2.\pi}{3}\right) & \text{sen}\left(w.t - \frac{2.\pi}{3}\right) \\ 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} i_1(t) \\ i_2(t) \\ i_3(t) \end{bmatrix} \quad (2.10)$$

Novamente, na equação (2.10), considerando-se um sistema equilibrado, tem-se que $i_0(t)=i_1(t)+i_2(t)+i_3(t)=0$.

2.4 – Equações Para o Controle de Corrente do Conversor

Considerando-se que as resistências e as indutâncias de entrada do conversor sejam iguais, $L_1=L_2=L_3=L$ e $R_1=R_2=R_3=R$, e aplicando-se a matriz de transformação (2.8) à equação (2.4), tem-se que:

$$\begin{bmatrix} \frac{di_d(t)}{dt} \\ \frac{di_q(t)}{dt} \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & -w \\ w & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} i_d(t) \\ i_q(t) \end{bmatrix} + \frac{1}{L} \cdot \begin{bmatrix} v_d(t) - u_d(t) \\ v_q(t) - u_q(t) \end{bmatrix} \quad (2.11)$$

Agora, aplicando-se a transformada de *Laplace* à equação (2.11), chega-se a seguinte expressão no domínio “S”:

$$S \cdot \begin{bmatrix} I_d(S) \\ I_q(S) \end{bmatrix} = \begin{bmatrix} -\frac{R}{L} & -w \\ w & -\frac{R}{L} \end{bmatrix} \begin{bmatrix} I_d(S) \\ I_q(S) \end{bmatrix} + \frac{1}{L} \cdot \begin{bmatrix} V_d(S) - U_d(S) \\ V_q(S) - U_q(S) \end{bmatrix} \quad (2.12)$$

Ou então, de outra forma:

$$\begin{cases} L.S.I_d(S) = -R.I_d(S) - L.w.I_q(S) + V_d(S) - U_d(S) \\ L.S.I_q(S) = L.w.I_d(S) - R.I_q(S) + V_q(S) - U_q(S) \end{cases} \quad (2.13)$$

Isolando-se $I_d(S)$ e $I_q(S)$, que são as variáveis que se objetivam controlar, tem-se:

$$\begin{cases} I_d(S) = \frac{-L.w.I_q(S) + V_d(S) - U_d(S)}{L.S + R} \\ I_q(S) = \frac{L.w.I_d(S) + V_q(S) - U_q(S)}{L.S + R} \end{cases} \quad (2.14)$$

Observando-se as equações (2.11) a (2.14) percebe-se um acoplamento entre os eixos direto e de quadratura através da variável w . Isto também pode ser observado através do diagrama de blocos seguinte:

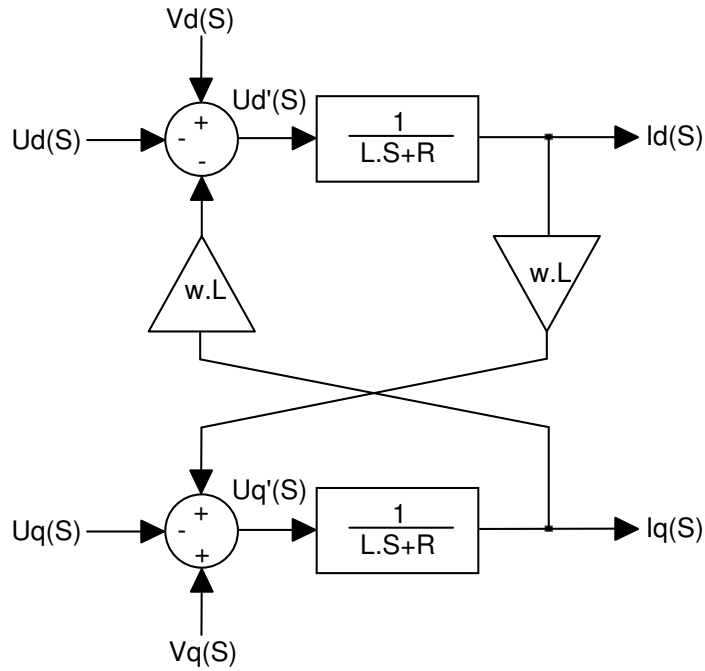


Figura 2-3 – Esboço do Acoplamento do Sistema

Para eliminar o acoplamento observado, pode-se fazer com que $U_d(S)$ e $U_q(S)$ assumam valores tais que compensem de forma inversa o inter cruzamento entre as variáveis de eixo direto e em quadratura. Assim, pode-se fazer:

$$\begin{cases} U_d(S) = V_d(S) - w.L.I_q(S) - U_d'(S) \\ U_q(S) = V_q(S) + w.L.I_d(S) - U_q'(S) \end{cases} \quad (2.15)$$

onde, $U_d'(S)$ e $U_q'(S)$ podem ser projetados por qualquer método conveniente, já considerando o sistema desacoplado.

A Figura 2-4 ilustra o acoplamento inerente ao conversor e o desacoplamento imposto pelo sistema de controle conforme segue:

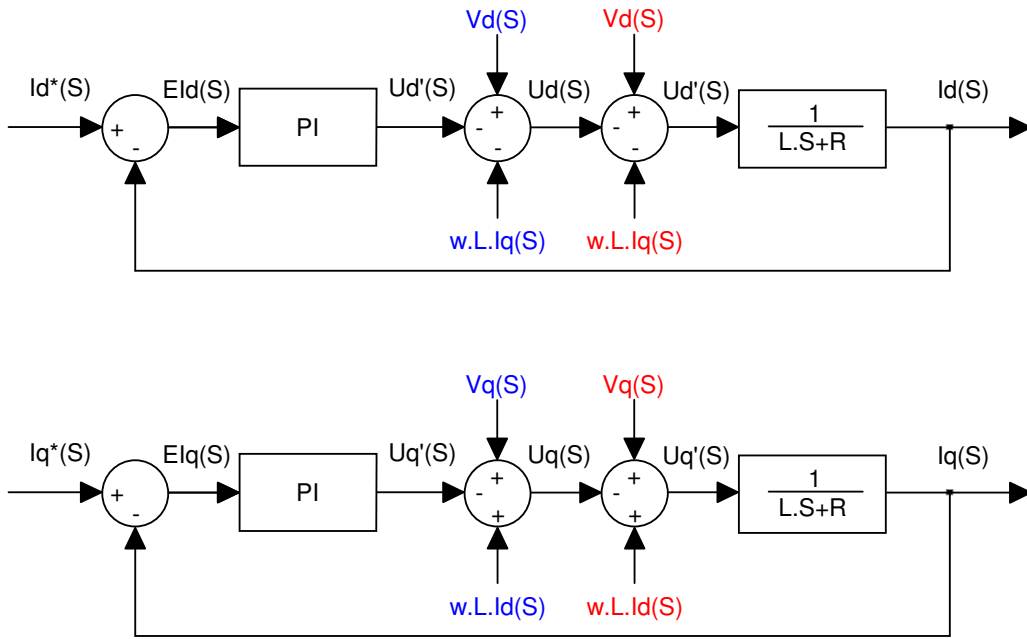


Figura 2-4 – Esboço do Desacoplamento Imposto Pelo Sistema de Controle

Em outras palavras, o sistema de controle deverá fazer com que as tensões intermediárias de cada braço, $u_A(t)$, $u_B(t)$ e $u_C(t)$, sejam tais que, quando transformadas em coordenadas “dq0”, as variáveis de interesse estejam desacopladas, e ainda fazendo com que as correntes de cada fase sigam as referências, através da aplicação dos valores $u_A'(t)$, $u_B'(t)$ e $u_C'(t)$.

Assim, considerando-se a equação (2.15), a equação (2.14) pode ser reescrita como segue:

$$\begin{cases} I_d(S) = \frac{U_d'(S)}{L.S + R} \\ I_q(S) = \frac{U_q'(S)}{L.S + R} \end{cases} \quad (2.16)$$

Desta forma, controlando-se as tensões $U_d'(S)$ e $U_q'(S)$ controlam-se as correntes $I_d(S)$ e $I_q(S)$.

2.5 – Esboço dos Controladores de Corrente

O controle de corrente é a parte essencial do controle do retificador chaveado, uma vez que ele determina o desempenho global do sistema [7]. Várias relações matemáticas são utilizadas para a obtenção da saída de controle, a partir do erro entre o valor desejado e o medido ou estimado. As leis de controle descrevem o relacionamento entre o ponto de referência, valor de realimentação, e saída do controlador.

As técnicas de controle de corrente utilizadas na maioria das vezes são essencialmente as mesmas aplicadas aos inversores de tensão [8]. Tendo sido observado em diversas publicações e dissertações de trabalhos relacionados, e não sendo o controlador propriamente dito o foco principal deste trabalho, serão utilizados também neste basicamente controladores *PI*. Nos controladores deste tipo sabe-se que a parte proporcional fornece uma rápida atuação de controle, enquanto a parte integrativa garante um erro de regime nulo.

Assim, a partir da equação (2.16), pode-se desenhar os seguintes diagrama de blocos para o controle das correntes:

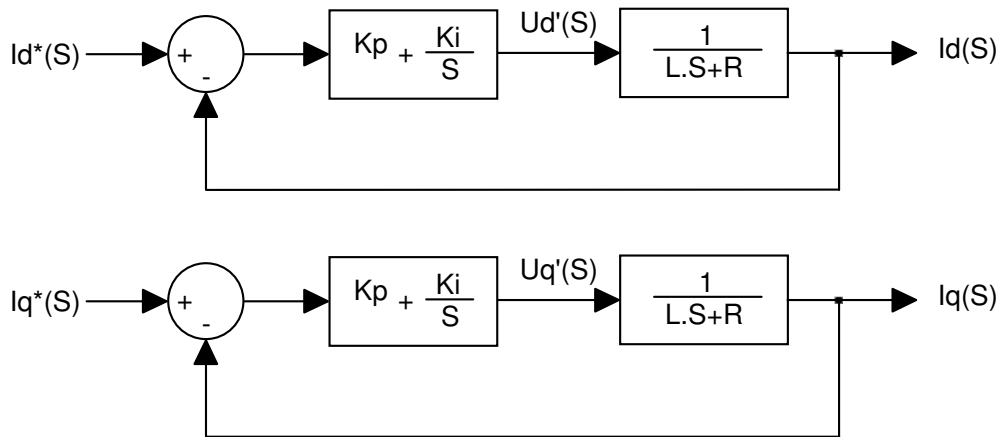


Figura 2-5 – Malhas de Corrente Simplificadas Utilizando Controladores *PI*

Percebe-se que os diagramas ilustrados na *Figura 2-5* estão bastante simplificados, não levando em conta outras variáveis e ganhos, como por exemplo efeitos da amostragem e retenção, ganhos dos sensores, filtros, etc., que serão considerados futuramente em

momento oportuno. Conforme será ilustrado, o conversor pode ser representado apenas por um ganho denominado K_{conv} , sem considerar seu atraso de resposta, que é função do período de chaveamento, pois este atraso é muito pequeno quando comparado com a constante de tempo da planta de corrente.

2.6 – Potências Ativa e Reativa, e Alinhamento do Vetor Tensão

2.6.1 – Equações das Potências Ativa e Reativa

As potências ativa e reativa absorvidas da rede pelo conversor retificador também podem ser representadas no sistema de coordenadas “dq0” [1] e [31]. Considerando-se nulas as tensões e correntes de seqüência zero, pode-se dizer que:

$$\begin{cases} P(S) = V_d(S).I_d(S) + V_q(S).I_q(S) \\ Q(S) = V_d(S).I_q(S) - V_q(S).I_d(S) \end{cases} \quad (2.17)$$

Onde $V_d(S)$ e $V_q(S)$ são as tensões, e $I_d(S)$ e $I_q(S)$ as correntes de eixos direto e em quadratura respectivamente.

Como pode ser observado através da equação (2.17), as potências ativa e reativa na entrada do conversor dependem tanto das componentes de eixo direto quanto das de eixo em quadratura. No entanto, nas tensões de entrada não se pode atuar, sendo seus valores fixos pela concessionária de distribuição de energia em baixa tensão, ou por uma subestação particular qualquer. Assim, somente pode-se atuar nas correntes de entrada do conversor, uma vez que estas respondem aos valores de $U_d'(S)$ e $U_q'(S)$, conforme já comentado.

Desta forma, controlando-se as correntes $I_d(S)$ e $I_q(S)$, controla-se as potências ativa e reativa drenadas da rede de alimentação pelo conversor retificador.

2.6.2 – Alinhamento do Vetor Tensão Nas Coordenadas “dq0”

Do ponto de vista de controle, é interessante o alinhamento do vetor tensão da rede de alimentação com o eixo direto “d”, no sistema de coordenadas “dq0”, estando este por sua vez girando no referencial síncrono, pois, desta forma, tem-se que a tensão de eixo “q” é nula, e as equações de potência ativa e reativa são simplificadas.

O esboço do vetor tensão resultante na entrada do conversor em coordenadas “dq0” pode ser observado na figura abaixo:

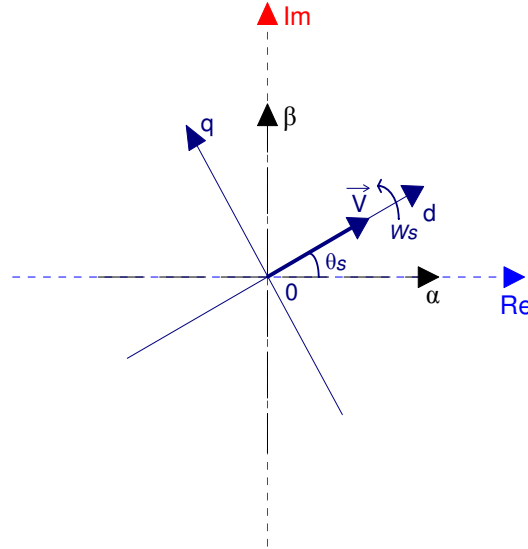


Figura 2-6 – Alinhamento do Vetor Tensão Com o Eixo “d”

Como pode ser observado através da *Figura 2-6*, com o alinhamento esboçado, tem-se que a componente de tensão de eixo “q” é nula. Desta forma, a equação (2.17) pode ser simplificada como segue:

$$\begin{cases} P(S) = V_d(S) \cdot I_d(S) \\ Q(S) = V_d(S) \cdot I_q(S) \end{cases} \quad (2.18)$$

Assim, controlando-se apenas a corrente $I_d(S)$, controla-se a potência ativa, e controlando-se apenas a corrente $I_q(S)$, controla-se a potência reativa, ambas absorvidas da rede de alimentação. Dessa forma, fazendo-se $I_q(S)$ igual a zero, obriga-se que a potência reativa seja nula, e por consequência, que o fator de potência seja unitário.

2.7 – Diagrama de Controle de Corrente

O diagrama de controle de corrente no domínio S pode ser observado na *Figura 2-7*. Nesta, considerou-se as equações de desacoplamento entre os eixos “dq0” de forma que uma mudança na corrente de eixo d , na regeneração de energia, por exemplo, não afete a corrente de eixo q , e vice versa. Desta forma os diagramas foram simplificados, conforme segue:

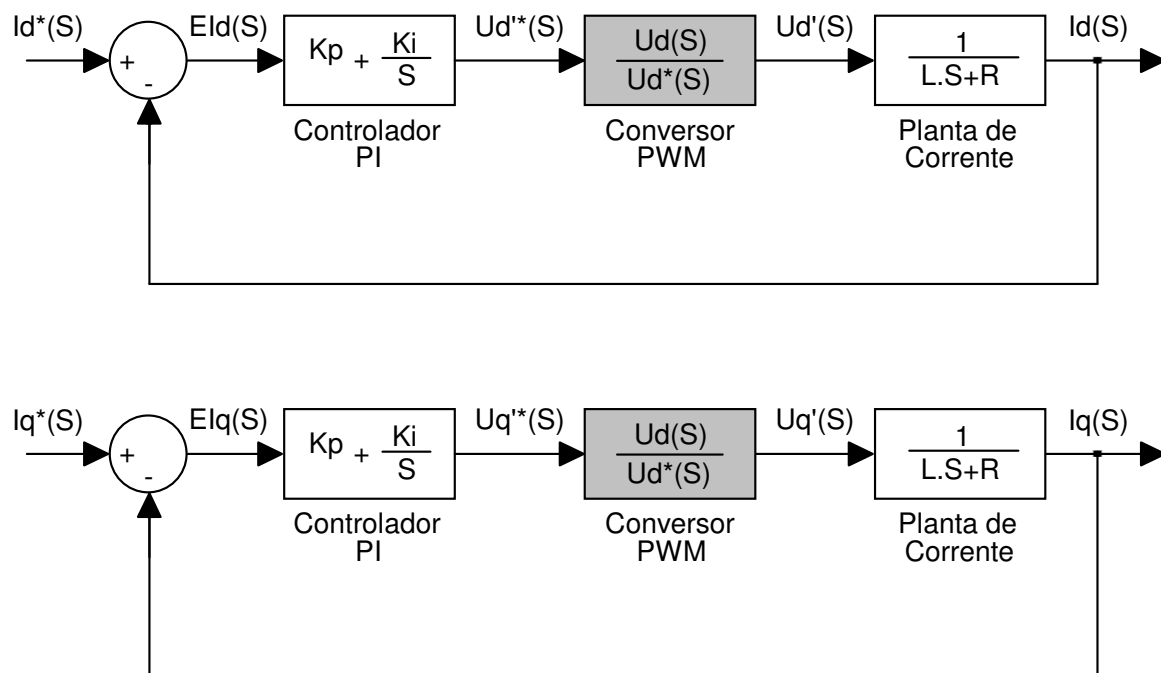


Figura 2-7 – Diagrama de Controle das Correntes no Domínio “S”

Quando o vetor tensão $\vec{V}$ está alinhado com o eixo d , a tensão $V_d(S)$ possui o valor de pico da senoide de entrada, de forma constante, enquanto a tensão $V_q(S)$ possui valor nulo.

Uma das grandes vantagens de se utilizar a transformação “dq0” é que o controle trabalha, desconsiderando-se as pequenas oscilações causadas pelos desalinhamentos transitórios, com variáveis contínuas. Dessa maneira, a utilização de um controlador PI , por exemplo, garante erro de regime nulo [26].

Conforme a Tabela 2.1, para um sistema “Tipo2” tem-se que o erro em regime à uma entrada em degrau é zero, enquanto que o erro em regime à uma entrada em aceleração é “1/K”.

Tabela 2.1 – Erro Estacionário em Sistemas de Controle Com Retroação Unitária

Sistema	Entrada em Degrau $r(t) = 1$	Entrada em Rampa $r(t) = t$	Entrada em Aceleração $r(t) = t^2/2$
Tipo 0	$1/(1+K)$	∞	∞
Tipo 1	0	$1/K$	∞
Tipo 2	0	0	$1/K$

2.8 – Equações Para o Controle da Tensão no Barramento CC

O controle da tensão no barramento CC também é muito importante para o correto funcionamento do conversor. Além disso, no caso deste tipo de conversor ser utilizado como pré-regulador de tensão para um inversor, por exemplo, sua regulação torna-se ainda mais crítica. A Figura 2-8 esboça as correntes e a tensão nesse barramento:

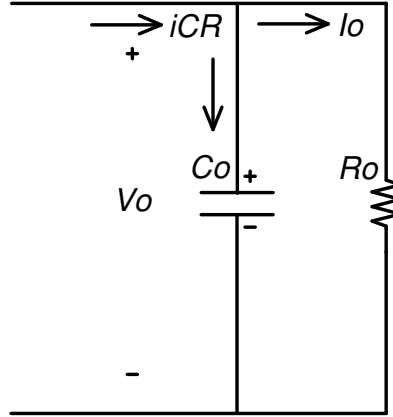


Figura 2-8 – Detalhe do Barramento CC do Conversor

A equação dinâmica que relaciona a tensão do capacitor C_O com a corrente de eixo direto i_d é obtida a partir da equação de balanço de potência [31]. Desta forma tem-se que:

$$V_o(t) \cdot C_o \cdot \frac{dV_o(t)}{dt} = v_d(t) \cdot i_d(t) \quad (2.19)$$

Da equação anterior, considerado-se também a potência drenada pela carga R_O tem-se que:

$$f(t) = V_o(t) \cdot \left(C_o \cdot \dot{V}_o(t) + \frac{V_o(t)}{R_o} \right) - v_d(t) \cdot i_d(t) = 0 \quad (2.20)$$

Linearizando-se a equação (2.20) em torno de um ponto de operação (PO) arbitrado chega-se na seguinte expressão:

$$\left. \frac{\partial f}{\partial V_o} \right|_{PO} \cdot \Delta V_o + \left. \frac{\partial f}{\partial \dot{V}_o} \right|_{PO} \cdot \Delta \dot{V}_o + \left. \frac{\partial f}{\partial I_d} \right|_{PO} \cdot \Delta I_d = 0 \quad (2.21)$$

E assim, resolvendo-se a equação anterior obtém-se:

$$2 \cdot \frac{V_o(t)}{R_o} \cdot \Delta V_o(t) + V_{OP} \cdot C_o \cdot \Delta \dot{V}_o(t) - V_{dP} \cdot \Delta I_d(t) = 0 \quad (2.22)$$

onde, V_{OP} e V_{dP} são os pontos de operação arbitrados, e representam a tensão de referência no capacitor C_o , e a tensão de entrada da rede de alimentação, respectivamente. E também, $\Delta V_o(t)$ e $\Delta I_d(t)$ representam as perturbações de tensão e de corrente respectivamente.

Reescrevendo-se a equação (2.22) no domínio “S”, e rearranjando-se na forma de função de transferência pode-se obter a seguinte expressão:

$$\frac{\Delta V_o(S)}{\Delta I_d(S)} = \frac{V_{dP}}{V_{OP} \cdot C_o \cdot S + 2 \cdot \frac{V_{OP}}{R_o}} \quad (2.23)$$

Do funcionamento prático de conversores similares ao deste trabalho [27], sabe-se que o ponto com maior esforço para o controlador de tensão acontece quando o conversor está trabalhando a vazio, isto é, com resistência de carga infinita. Considerando-se o comentado, é interessante que a equação (2.23) seja reescrita conforme segue:

$$\frac{\Delta V_o(S)}{\Delta I_d(S)} = \frac{V_{dP}}{C_o \cdot V_{OP}} \cdot \frac{1}{S} \quad (2.24)$$

onde, em potência nominal:

$$\begin{aligned} V_{dP} &= 179,61V \\ V_{OP} &= 400V \\ C_o &= 1500\mu F \\ R_o &= 64\Omega \end{aligned} \quad (2.25)$$

A equação (2.24), linearizada em torno do ponto de operação arbitrado (V_{dP} e V_{OP}), fornece, de forma particular, o comportamento ou relação entre a tensão de saída V_o (barramento CC) e a corrente de eixo direto I_d (entrada) do conversor proposto.

2.9 – Esboço do Controlador de Tensão

Novamente, tendo sido observado em diversas publicações e dissertações de trabalhos relacionados, e não sendo o controlador propriamente dito o foco principal deste trabalho, será utilizado no controle da tensão no barramento CC também um controlador *PI*.

A *Figura 2-9* ilustra o diagrama de blocos para o controle da tensão, considerando-se a equação (2.23), num modelo para pequenos sinais.

Como as malhas de corrente, já apresentadas, possuem dinâmicas muito mais rápidas do que a dinâmica da malha de tensão, para uma análise aproximada, estas podem ser desconsideradas.

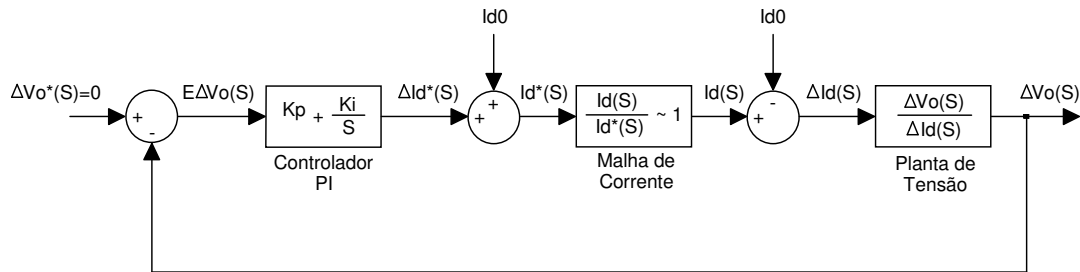


Figura 2-9 – Malhas de Controle da Tensão no Barramento CC

Obs.: $Id0$ representa o ponto de operação que deve ser arbitrado para a malha de corrente de eixo direto.

Para o diagrama ilustrado através da *Figura 2-9*, desejando-se que $\Delta V_o(S)$ seja nulo, ou seja, que a tensão medida na saída do conversor seja igual a tensão de referência, deve-se fazer $\Delta V_o^*(S) = 0$. Em outras palavras, se ocorrer uma variação na tensão $V_o(S)$ no barramento CC, deve ocorrer uma variação na corrente de eixo direto $Id(S)$ – a corrente de $Id(S)$ controla a tensão $V_o(S)$.

2.10 – Diagramas de Controle de Tensão e Corrente: Representação Global

Na configuração normal de operação, este tipo de conversor requer basicamente três tipos de sensores: sensores para as medições das tensões alternadas de fase, sensores para as medições das correntes alternadas de fase, e sensor para a medição da tensão no barramento CC.

As figuras *Figura 2-7* e *Figura 2-9* esboçam os diagramas de controle de corrente e de tensão, respectivamente, de forma simplificada, não considerando outros fatores

relevantes para uma análise mais abrangente. No entanto, para que estes estejam completos é necessário considerar também outros fatores significativos como, por exemplo, os efeitos ou ganhos dos sensores, dos filtros, das conversões, do processamento, etc.

A Figura 2-10 mostra o diagrama de controle das correntes de eixo “d” e “q”, de forma mais completa, cada malha já considerando os efeitos do sensor de corrente, do filtro *anti-aliasing*, do conversor analógico-digital (A/D) e da amostragem e retenção. Os blocos acrescentados são muito importantes para que o projeto dos controladores, que será realizado no capítulo seguinte, seja mais eficaz, evitando ou reduzindo possíveis ajustes de ganhos no momento da implementação prática.

Uma ferramenta matemática comumente utilizada na análise e síntese de sistemas de controle em tempo discreto é a transformada “Z”. O papel da transformada “Z” em sistemas de tempo discreto é similar à transformada “S” de *Laplace* em sistemas de tempo contínuo [25].

Observa-se, assim, que os diagramas de blocos que serão tratados digitalmente pelo *DSP* foram representados internamente em função do plano “Z”, e externamente em função do plano “S”.

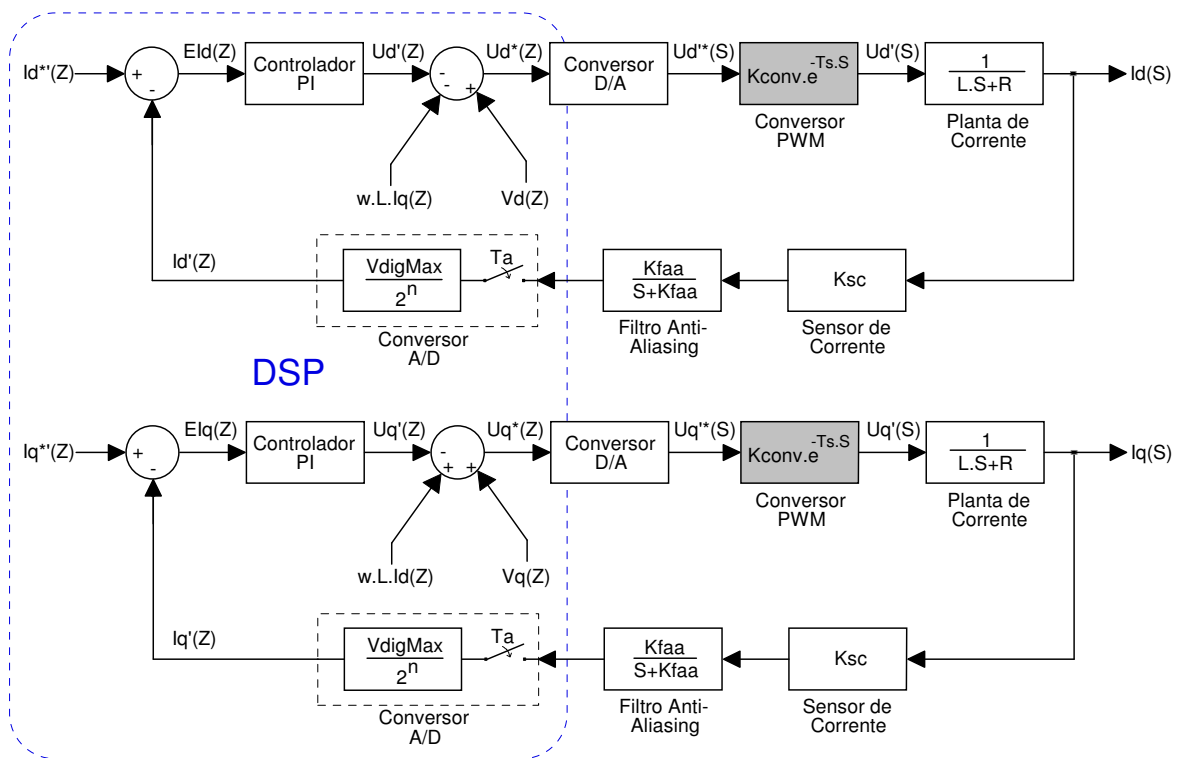


Figura 2-10 – Malhas de Controle de Corrente Em Coordenadas “dq0”: Representação Global

Nos diagramas ilustrados pela *Figura 2-10* não foram indicados os níveis *dc* que devem ser acrescentados para ajustar os sinais de acordo com as entradas dos conversores analógico-digitais (A/D) do *DSP* a ser utilizado (entradas em tensão de 0 a 3V). As somas desses níveis *dc* aos sinais a serem lidos foram ignoradas em tais diagramas devido ao fato de que eles serão compensados internamente ao *DSP*.

De forma similar às malhas de corrente, para a malha de tensão foram também acrescentados os blocos que consideram os efeitos do sensor de corrente, do filtro *anti-aliasing*, do conversor analógico-digital (A/D) e da amostragem e retenção, já mencionados. Assim, a *Figura 2-11* ilustra a malha de tensão, numa forma mais abrangente, como segue:

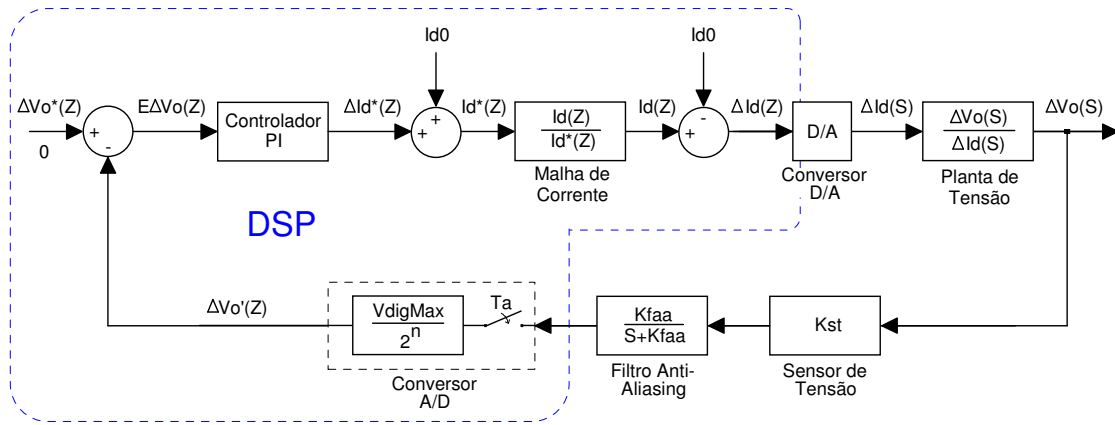


Figura 2-11 – Malha de Controle da Tensão no Barramento CC

Salienta-se que os blocos que poderiam ter sido acrescentados ao diagrama completo, como por exemplo, o bloco dos *drives* de potência, não o foram devido ao fato de possuírem ganhos praticamente unitários ou não relevantes do ponto de vista de controle. As descrições detalhadas de cada um dos blocos de interesse serão apresentadas em oportunidade futura.

Conforme pode ser observado, através das figuras *Figura 2-10* e *Figura 2-11*, para que ocorra uma variação da tensão no barramento *CC*, deve ocorrer uma variação da corrente de eixo direto I_d . Assim as malhas de tensão e corrente estão interligadas. A malha mais externa controla a tensão no barramento *CC*, enquanto as malhas mais internas controlam as correntes I_d e I_q , que por sua vez, quando transformadas em coordenadas “abc”, são as correntes na entrada do conversor retificador.

2.11 – Esboço do Diagrama de Controle no DSP

Para as medições de tensões e correntes alternadas, considerando-se que as fases estão equilibradas – ausência de sequência zero, ou seja, a partir de duas tem-se a terceira medição. No entanto, neste trabalho, por uma questão comparativa, serão realizadas três medições de corrente (i_1 , i_2 e i_3) e duas de medições de tensão (v_1 e v_2).

A Figura 2-12 ilustra o diagrama esquemático contemplando as medições, o acoplamento dos filtros *anti-aliasing*, a interligação com o DSP, e a utilização dos *drives* de potência. Percebe-se que são necessárias a utilização de seis entradas e seis saídas do DSP. As primeiras são basicamente conversores A/D com entradas em tensão, e as segundas saídas *pull-up*, que acionam os *drives* de potência.

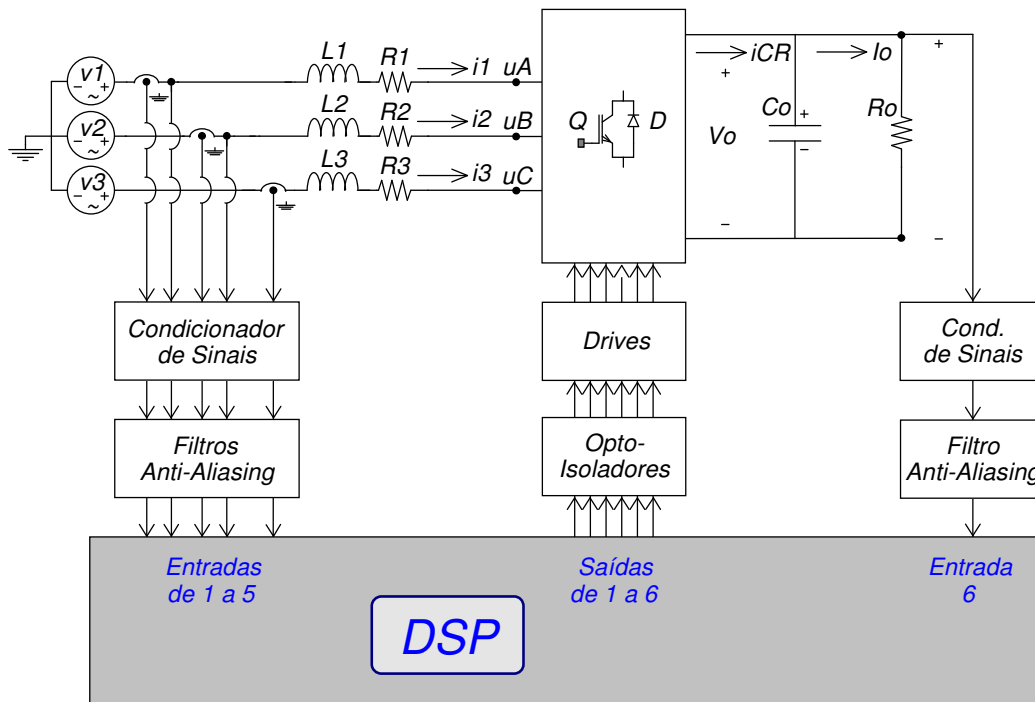


Figura 2-12 – Diagrama Esquemático

A Figura 2-13 mostra o diagrama de blocos interno ao DSP. Os sinais de tensão e corrente medidos são amostrados, retidos e convertidos em forma binária. Posteriormente são aplicados alguns algoritmos, para a determinação da terceira componente de tensão, e de transformação de coordenadas de “abc” para “dq0”, gerando as variáveis de tensão v_d , v_q , v_0 e V_O (tensão no barramento), e de corrente i_d , i_q e i_0 , que são utilizadas pelo algoritmo geral de controle, representado de forma conveniente por um diagrama de blocos virtual.

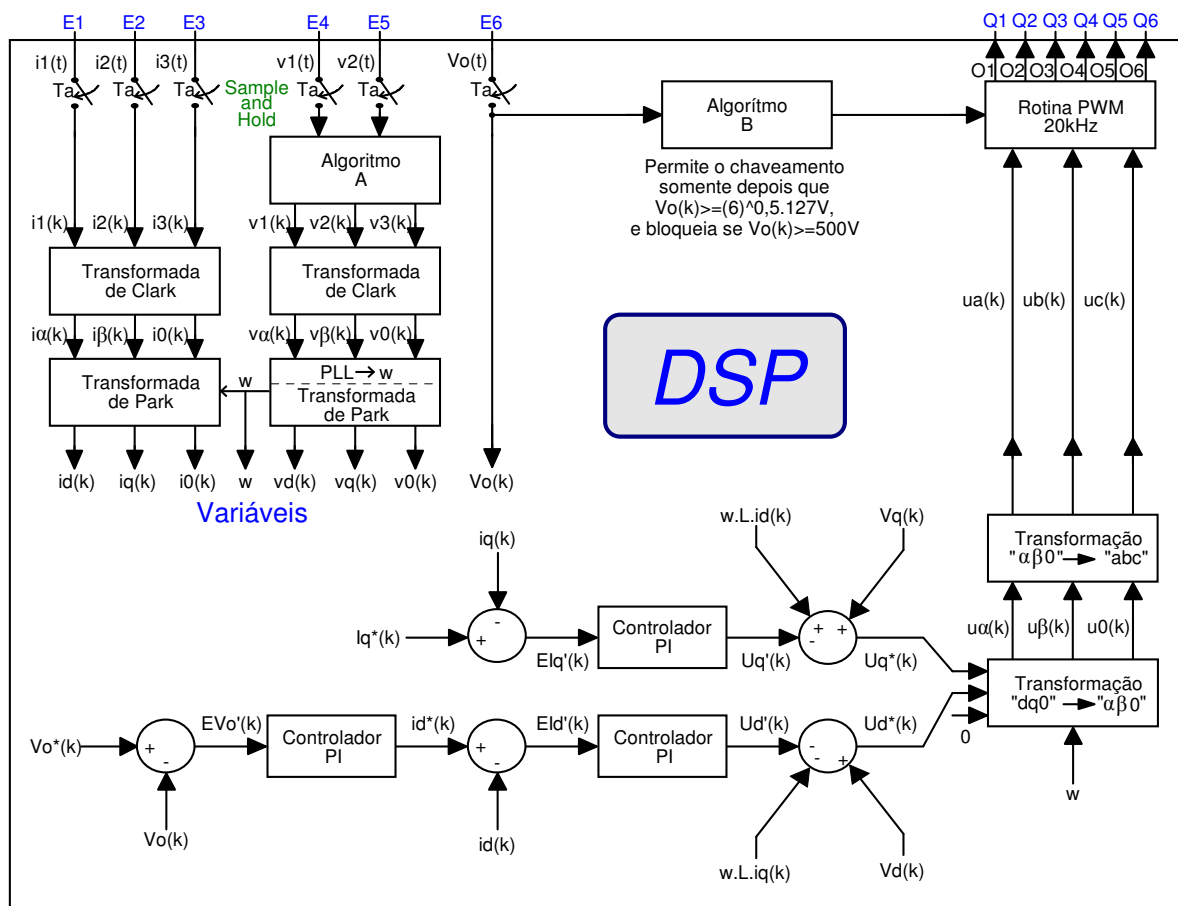


Figura 2-13 – Ilustração do Diagrama no DSP

Conforme pode ser observado, a planta de controle é composta basicamente por blocos de transformações de coordenadas de “abc” para “dq0” - referencial síncrono, controladores PI 's, somadores, diferenciadores, limitadores, amplificadores e de geração de sinais de PWM . O valor desejado para o barramento CC serve como referência inicial do controle. A diferença entre a tensão desejada e a medida é submetida a um controlador PI , resultando em sua saída a referência de corrente de eixo “d”. A diferença entre essa corrente de referência e a medida é aplicada em outro controlador PI , resultando em sua saída uma referência de tensão de eixo “d”. De forma semelhante, desejando-se que a corrente de eixo “q” seja igual a zero, aplica-se a diferença entre zero e a corrente de eixo “q” medida, à outro controlador PI , resultando em sua saída uma referência de tensão. As referências de tensões obtidas servem de parâmetros para a geração do comando PWM , o qual fornece os sinais de chaveamento para os IGBT's.

2.12 – PWM Vetorial

Na ultima década muitos trabalhos utilizando a modulação por espaço vetorial (*Space Vector Modulation - SVM*) tem sido publicados. A maioria deles tem utilizado a modulação *SVM* nos inversores fontes de tensão (*Voltage Source Inverters - VSI*), e nos retificadores fontes de tensão (*Voltage Source Rectifier - VSR*) [12].

Neste trabalho será utilizada uma modulação por largura de pulso vetorial. Assim, serão, a seguir, ilustrados os principais pontos para o entendimento de algumas das diversas formas e variações da modulação PWM vetorial, de forma a possibilitar uma implementação futura.

2.12.1 – Modulação Por Espaço Vetorial Para um VSR

Para este tipo de modulação é necessário representar o sistema trifásico em um vetor de espaços, que gira na mesma velocidade angular do referido sistema trifásico.

As tensões fundamentais nos pontos centrais de cada braço do conversor retificador, conforme ilustra a *Figura 2-1*, podem ser consideradas como sendo:

$$\begin{cases} u_A(t) = V_{m\acute{a}x} . \text{sen}(w.t) \\ u_B(t) = V_{m\acute{a}x} . \text{sen}(w.t - 120^\circ) \\ u_C(t) = V_{m\acute{a}x} . \text{sen}(w.t + 120^\circ) \end{cases} \quad (2.26)$$

onde, $V_{m\acute{a}x}$ esta relacionada com a tensão V_O do barramento CC .

Assim, para um sistema representado por (2.26), o vetor de espaços pode ser expresso como segue:

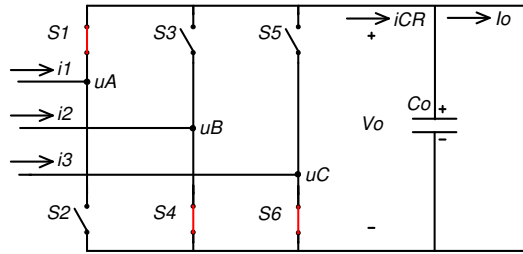
$$\vec{V} = \frac{2}{3} . (u_A + a.u_B + a^2.u_C) \quad (2.27)$$

onde,

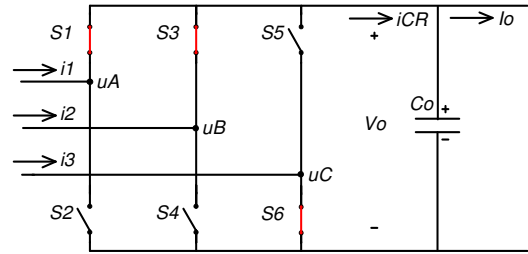
$$a = e^{j \cdot \frac{2}{3} \cdot \pi} \quad (2.28)$$

Desta forma, num retificador *VSR*, o sistema trifásico das tensões intermediárias de cada braço é controlado através de um sistema de referências também trifásico, que é

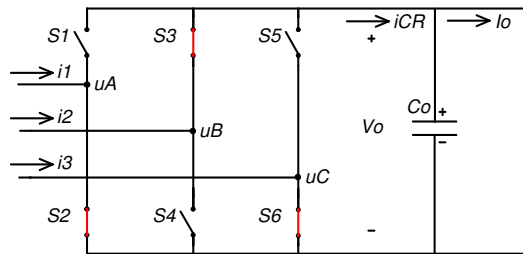
representado por um espaço vetorial correspondente. Assim, a *Figura 2-14* ilustra as configurações básicas de chaveamento, enquanto a *Figura 2-15* apresenta os vetores correspondentes às referidas configurações.



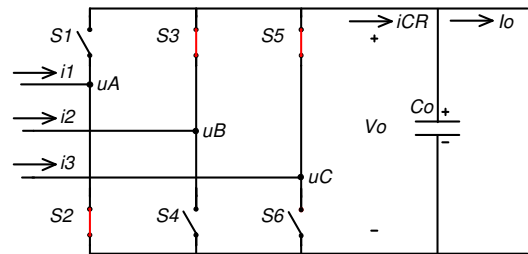
Configuração 1



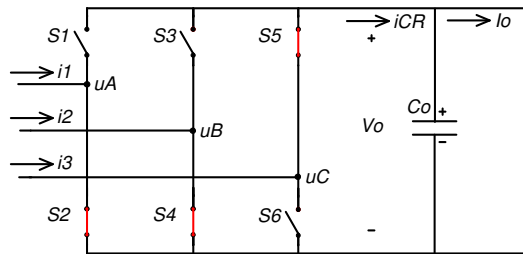
Configuração 2



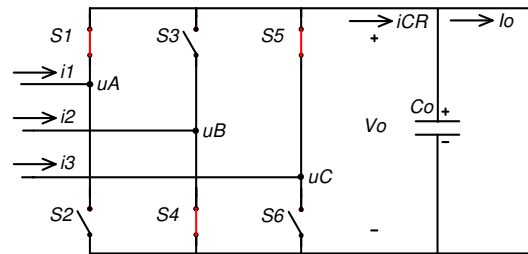
Configuração 3



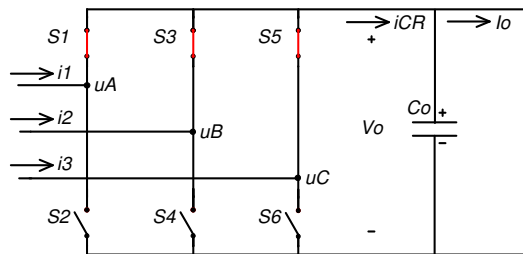
Configuração 4



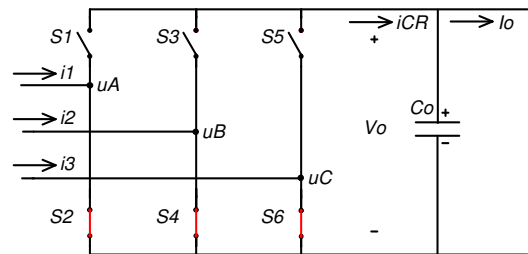
Configuração 5



Configuração 6



Configuração 7



Configuração 8

Figura 2-14 – Ilustração Das Possíveis Configurações de um VSR

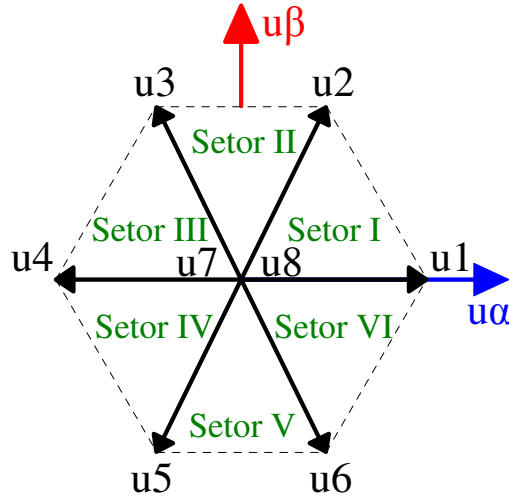


Figura 2-15 – Ilustração Dos Vetores Correspondentes às Configurações

Com base na *Figura 2-15*, pode-se representar os vetores $u_1 \dots u_8$ na forma de uma equação discreta, como segue:

$$\begin{cases} u_k = \sqrt{\frac{2}{3}} \cdot V_o \cdot e^{j \cdot \frac{k-1}{3} \cdot \pi} & , k = 1, 2, \dots, 6 \\ u_7 = u_8 = 0 \end{cases} \quad (2.29)$$

As tensões de fase de entrada podem ser representadas da seguinte maneira:

$$\begin{cases} v_1 = \left[S_A - \frac{1}{3} \cdot (S_A + S_B + S_C) \right] \cdot V_o \\ v_2 = \left[S_B - \frac{1}{3} \cdot (S_A + S_B + S_C) \right] \cdot V_o \\ v_3 = \left[S_C - \frac{1}{3} \cdot (S_A + S_B + S_C) \right] \cdot V_o \end{cases} \quad (2.30)$$

onde, S_A , S_B e S_C representam os estados das chaves superiores dos braços A , B e C respectivamente (1 = chave fechada e 0 = chave aberta).

A *Tabela 2.2* ilustra os estados das chaves para cada uma das oito possíveis configurações do vetor tensão $\vec{u}$, sendo que, no mesmo braço, quando uma chave esta fechada, a chave complementar esta aberta, e vice-versa.

Tabela 2.2 – Possíveis Estados do Conversor

Estado do conversor	$[S_A, S_B, S_C]$
1	$[S_A, S_B, S_C] = [1, 0, 0]$
2	$[S_A, S_B, S_C] = [1, 1, 0]$
3	$[S_A, S_B, S_C] = [0, 1, 0]$
4	$[S_A, S_B, S_C] = [0, 1, 1]$
5	$[S_A, S_B, S_C] = [0, 0, 1]$
6	$[S_A, S_B, S_C] = [1, 0, 1]$
7	$[S_A, S_B, S_C] = [1, 1, 1]$
8	$[S_A, S_B, S_C] = [0, 0, 0]$

Conforme pode ser observado, a modulação por espaço vetorial representa o vetor de espaços através da combinação de oito vetores básicos. Pode-se escolher a sequência desses vetores de forma conveniente, de sorte a obter-se a menor mudança possível dos estados das chaves. Por exemplo, para o *Setor I* pode-se fazer: $u_8, u_1, u_2, u_7, u_2, u_1, u_8$. Essa sequência é representada da figura, como segue:

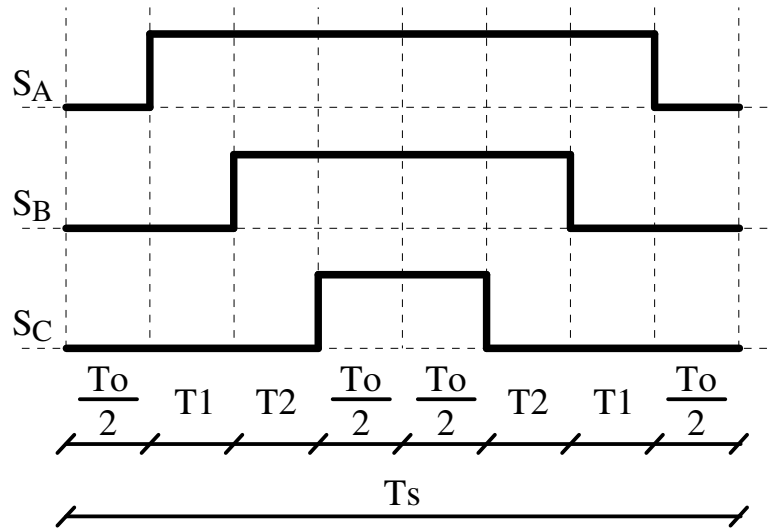


Figura 2-16 – Sequência Conveniente Para Redução de Número de Chaveamentos

O valor de referência desejado para o vetor tensão $\vec{u}$ pode ser obtido da seguinte equação:

$$u^* = \frac{1}{Ts/2} \cdot \left(u_8 \cdot \frac{T_0}{2} + u_1 \cdot T_1 + u_2 \cdot T_2 + u_7 \cdot \frac{T_0}{2} \right) \quad (2.31)$$

onde, Ts é o período de chaveamento.

Pode-se descrever o vetor de espaços em coordenadas retangulares, assim tem-se que:

$$\begin{aligned} \left[|u^*| \cdot \cos(\alpha) + j|u^*| \cdot \sin(\alpha) \right] \frac{Ts}{2} &= \sqrt{2/3} \cdot V_o \cdot T_1 + \\ &+ \left[\sqrt{2/3} \cdot V_o \cdot \cos(60^\circ) + j \cdot \sqrt{2/3} \cdot V_o \cdot \sin(60^\circ) \right] T_2 \end{aligned} \quad (2.32)$$

E finalmente, de (2.32) pode-se obter a seguinte equação:

$$\begin{cases} T_1 = \frac{|u^*|}{\sqrt{2/3} \cdot V_o} \cdot \frac{Ts}{2} \cdot \frac{\sin(60^\circ - \alpha)}{\sin(60^\circ)} \\ T_2 = \frac{|u^*|}{\sqrt{2/3} \cdot V_o} \cdot \frac{Ts}{2} \cdot \frac{\sin(\alpha)}{\sin(60^\circ)} \\ T_0 = \frac{Ts}{2} - T_1 - T_2 \end{cases} \quad (2.33)$$

Assim, conforme é alterada a posição do vetor tensão $\vec{u}^*$ em relação aos setores, altera-se também os tempos T_1 , T_2 e T_0 .

Além do que foi ilustrado, existem diversas possibilidades de chaveamento de forma a se obter uma menor amplitude da corrente de *ripple*, menor distorção harmônica, aquecimento das chaves e etc.

2.12.2 – PWM Regular Trifásico Simétrico

O princípio desta técnica baseia-se em calcular as larguras de pulso de maneira a impor, de forma fundamental, as tensões desejadas [29].

De modo similar à técnica anterior, cada chave de um braço conduz durante um certo tempo e deixa de conduzir por um outro tempo, dentro de um período de chaveamento. Assim assumindo que o sistema é equilibrado, quando todas as chaves superiores estiverem conduzindo, a tensão aplicada sobre o capacitor de saída C_o terá valor

nulo. Analogamente, quando as chaves estiverem abertas, a tensão aplicada também será nula.

O *PWM Regular Trifásico Simétrico* tem como objetivo fazer com que os tempos em condução sejam iguais aos em bloqueio, dentro de um mesmo período de chaveamento (T_s). Aplica-se o tempo em que todas as chaves estão abertas no início e no fim de T_s , e o tempo em que todas as chaves estão fechadas no meio.

Expressando-se as tensões nos pontos centrais de cada braço, em função da tensão de saída, tem-se que:

$$\begin{cases} u_1 = S_1 V_o \\ u_2 = S_2 V_o \\ u_3 = S_3 V_o \end{cases} \quad (2.34)$$

onde, S_1 , S_2 e S_3 são os estados das chaves superiores de cada braço (1=conduzindo e 0=bloqueada), sendo que, no mesmo braço, quando uma chave esta conduzindo a outra esta bloqueada e vice-versa.

Considerando o sistema equilibrado, pode-se chegar a seguinte expressão:

$$\begin{bmatrix} u_1 \\ u_2 \\ u_3 \end{bmatrix} = V_o \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ -1/3 & 2/3 & -1/3 \\ -1/3 & -1/3 & 2/3 \end{bmatrix} \begin{bmatrix} S_1 \\ S_2 \\ S_3 \end{bmatrix} \quad (2.35)$$

Assim dependendo-se dos estados das chaves, tem-se como tensão de braço central, em períodos de chaveamento distintos, frações da tensão do barramento contínuo.

Considerando-se a equação (2.35), e também os tempos em que as chaves irão conduzir ao invés dos estados das chaves, pode-se representar as tensões médias da seguinte forma:

$$\begin{bmatrix} \overline{U}_1 \\ \overline{U}_2 \\ \overline{U}_3 \end{bmatrix} = \frac{V_o}{T_s} \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ -1/3 & 2/3 & -1/3 \\ -1/3 & -1/3 & 2/3 \end{bmatrix} \begin{bmatrix} T_A \\ T_B \\ T_C \end{bmatrix} \quad (2.36)$$

Assim, conhecendo-se os valores médios das tensões centrais de cada braço, resolvendo-se o sistema da equação (2.36), chega-se aos períodos de tempo.

Porém, o sistema (2.36) possui infinitas soluções. Contudo, considerando-se uma solução para algum T , os outros terão apenas um único valor. Desta forma, conhecendo-se os valores das tensões em um dado instante pode-se ordenar estas tensões de acordo com os valores máximos, médios e mínimos. Ou seja, pode-se determinar $U_{\max} > U_{\text{med}} > U_{\min}$ e também seus respectivos tempos $T_{\max} > T_{\text{med}} > T_{\min}$.

A Figura 2-17 ilustra os pulsos de comando das chaves superiores para o *PWM Regular Trifásico Simétrico*.

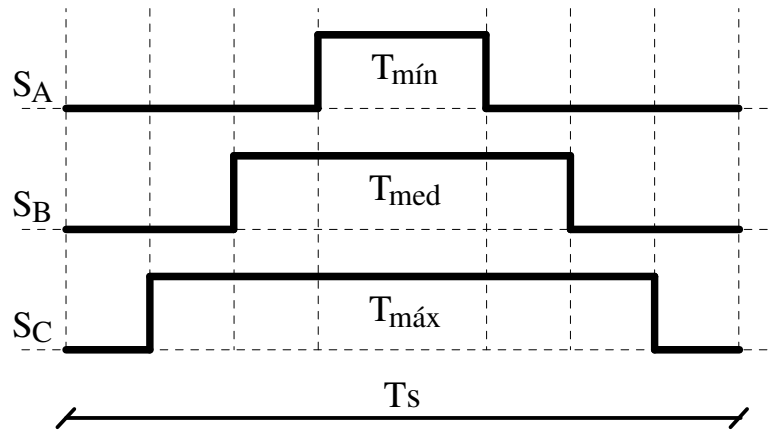


Figura 2-17 – Pulsos de Comando Para o PWM Regular Trifásico Simétrico (Setor I)

Conforme o ilustrado, percebe-se que o intervalo referente a $T_s - T_{\max}$ corresponde justamente ao tempo de aplicação em que todas as chaves estão abertas, enquanto que $T_{\min}$ corresponde ao tempo em que todas as chaves estão fechadas. Assim, se esses dois intervalos forem iguais, tem-se que:

$$T_{\min} + T_{\max} = T_s \quad (2.37)$$

Desta forma, a partir da determinação de V_{med} , pode-se utilizar as equações (2.36) e (2.37) para encontrar T_{med} , e posteriormente, com os valores de $V_{\max}$ e $V_{\min}$, calcular $T_{\max}$ e $T_{\min}$. Assim, tem-se que:

$$\begin{aligned}
T_{med} &= T_s \cdot \left(\frac{1}{2} + \frac{3}{2} \cdot \frac{V_{med}}{V_o} \right) \\
T_{min} &= T_{med} - T_s \left(\frac{V_{med}}{V_o} + \frac{V_{min}}{V_o} \right) \\
T_{max} &= T_{med} - T_s \left(\frac{V_{med}}{V_o} + \frac{V_{max}}{V_o} \right)
\end{aligned} \tag{2.38}$$

Para esta técnica, a faixa de variação linear entre a componente fundamental da tensão aplicada aos pontos centrais de cada braço e a tensão de referência é de $V_o / \sqrt{3}$, o que corresponde a um aumento de aproximadamente 15%, quando comparada a outras técnicas convencionais [31]. Nesta mesma comparação, a taxa de distorção harmônica ponderada também é menor [29].

2.13 – Conclusão

Neste capítulo foram apresentados o modelo matemático, as principais equações, a matriz de transformação de coordenadas, as malhas e os diagramas de controle de corrente e de tensão, as técnicas de alinhamento de vetores e desacoplamento, e a proposta dos controladores para o conversor retificador trifásico, objeto deste trabalho.

Também foram apresentadas duas técnicas de geração para o PWM vetorial, e ilustrou-se como deverá ser a interação entre o conversor e o mundo analógico com o DSP, o qual terá a função de processar e controlar todo o sistema de controle através da implementação digital das equações e leis de controle observadas.

Este capítulo deve servir de base para o projeto do sistema de comando e controle propriamente dito, no qual serão calculados numericamente todos os controladores do conversor.

3 – Projeto do Sistema de Comando e Controle

Este capítulo tem por objetivo sintetizar, analisar e projetar o sistema de comando e controle do conversor proposto, seguindo o raciocínio e a técnica apresentados no capítulo anterior. Primeiramente será explicado em detalhes cada bloco do diagrama de controle, e após será apresentado e justificado o método de transformação bi-linear que propicia o projeto dos controladores de forma similar às técnicas convencionais no domínio da frequência, comumente conhecidas no meio científico. Observa-se em [27], por exemplo, um estudo bem detalhado desse tipo de abordagem. Por fim os controladores serão projetados e calculados, e a partir destes serão obtidas as equações a diferenças que futuramente, durante a fase de implementação prática, serão utilizadas na programação do *DSP*.

3.1 – Função Transferência do Sensor de Corrente

Sabe-se que o *DSP* a ser utilizado para a implementação prática possui conversores *A/D* com entradas em tensão de 0 a 3V.

Para os sinais a serem medidos, sempre que possível, a fim de se obter a melhor resolução dos conversores *A/D* com relação à excursão, 0V deve equivaler ao pico negativo mínimo, e 3V ao pico positivo máximo.

Em função da obrigatoriedade de entrada em tensão, os sinais de corrente deverão ser primeiro convertidos em tensão e ajustados antes da submissão ao *DSP*.

Existem vários dispositivos que podem ser utilizados para a transformação de um sinal de corrente em tensão. Pode-se mencionar, por exemplo, os transdutores e os sensores de efeito *Hall*. Estes possuem, em sua forma padrão, um laço fechado de corrente que assegura precisão tanto para medições *DC* quanto para *AC*. Além disso, possuem isolamento elétrica entre o sinal de entrada e o de saída. Por questões práticas, será utilizado este tipo de sensor durante a fase de implementação.

Um sensor de efeito *Hall* que possui excelente precisão e muito boa linearidade é o sensor “LA 55-P/SP1” da empresa *LEM Components*. Neste o sinal de saída é proporcional ao sinal de entrada e sua saída é em corrente.

O diagrama esquemático desse sensor pode ser observado na *Figura 3-1*, e suas principais características podem ser observadas na *Tabela 3.1* conforme segue:

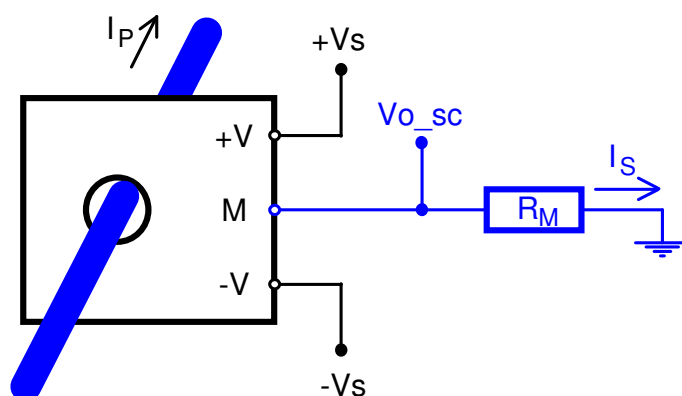


Figura 3-1 – Diagrama Esquemático do Sensor de Efeito Hall “LA 55-P/SP1”

Tabela 3.1 – Principais Características do Sensor LA 55-P/SP1

Relação Entre a Corrente do Primário (I_P) e do Secundário (I_S)			
Corrente nominal RMS do primário (I_{PN}):			$50A$
Corrente do secundário (I_S):			$I_S=(I_P/2000)A$
Faixa de valores permitidos para a resistência de medição (R_M):			
Alimentação do sensor	Faixa de medição (I_P)	Temperatura Ambiente (T_a)	
		$T_a=70^{\circ}C$	$T_a=85^{\circ}C$
$+12V$	$-50A \leq I_P \leq +50A$	$10\Omega \leq R_M \leq 100\Omega$	$60\Omega \leq R_M \leq 95\Omega$
$+15V$		$50\Omega \leq R_M \leq 160\Omega$	$135\Omega \leq R_M \leq 155\Omega$

Para o sensor representado pela Figura 3-1, a expressão que relaciona a tensão de saída com a corrente de entrada é mostrada a seguir:

$$V_{O_sc} = \frac{I_P \cdot n}{2000} \cdot R_M \quad (3.1)$$

onde, conforme já mencionado, I_P é a corrente no primário – corrente a ser medida, n é o número de voltas, e R_M é a resistência de medição de saída, calculada em função da tensão desejada e da faixa de valores admissíveis pelo fabricante. O valor 2000 representa o ganho interno do sensor – relação 1:2000.

Como a corrente nominal de cada fase a ser medida na entrada do conversor é de 7,54A (*RMS*), conforme equação (1.88), opta-se por utilizar o sensor “LA 55-P/SP1” com duas voltas, para melhorar a precisão. Assim, tem-se que a corrente máxima em módulo vista pelo primário do sensor corresponde ao seguinte valor:

$$|I_{max}| = 2 \cdot \sqrt{2} \cdot 7,54 \approx 21,33A \quad (3.2)$$

onde, o multiplicador 2 representa duas voltas no sensor.

O valor de R_M para uma temperatura ambiente de 70°C, conforme *Tabela 3.1*, está limitado entre 50Ω e 160Ω. Para a implementação prática será utilizado um potenciômetro de precisão de 10 voltas. Desta forma o valor de R_M poderá ser ajustado de forma propícia. Assim, utilizando-se um valor de 100Ω, tem-se que a tensão de saída, para uma variação do sinal de entrada de -21,33A a +21,33A, excursionará entre a seguinte faixa:

$$-1,07V \leq V_{o_c} \leq +1,07V \quad (3.3)$$

Desta forma, com base na equação (3.1), pode-se considerar a função de transferência do sensor de corrente como sendo um simples ganho conforme segue:

$$\frac{V_{o_sc}}{I_p} = n \cdot \frac{R_M}{2000} = K_{sc} \rightarrow K_{sc} = 2 \cdot \frac{100}{2000} = 0,1 \quad (3.4)$$

onde, n é o número de voltas, e R_M é a resistência de medição.

Além do que foi considerado, deve-se somar um nível *DC* pré-ajustado de forma conveniente ao sinal V_{o_sc} , de sorte que o ponto equivalente a 0A no sinal de entrada a ser lido corresponda ao ponto central da faixa de leitura do conversor *A/D* no *DSP*, ou seja, 1,5V.

3.2 – Filtros Anti-Aliasing e Passa-Baixas

Conforme pode ser observado através das figuras *Figura 2-10* e *Figura 2-11*, optou-se por utilizar filtros *anti-aliasing* para as malhas de corrente e para a malha de tensão no elo CC.

Ressalta-se, contudo, que para a leitura das tensões de linha faz-se necessário a utilização de filtros passa-baixas com frequência de corte menor (150Hz, por exemplo). Isto se deve ao fato de que as tensões de fase, ou de linha, são influenciadas pela frequência de chaveamento dos *IGBT's*, de forma que um filtro *anti-aliasing*, sintonizado para uma frequência de corte em torno da metade da frequência de amostragem, que é a frequência de projeto para esse tipo de filtro como será apresentado no próximo tópico, não atende corretamente ao propósito de sua utilização.

Para as leituras de corrente de linha e da tensão do elo *CC* a influência do chaveamento dos IGBTs não é relevante uma vez que as próprias indutâncias de linha e o capacitor do barramento *CC* funcionam como filtros naturais.

3.2.1 – Filtro Anti-Aliasing

Para que um sinal possa ser reproduzido integralmente, a frequência de amostragem deve ser maior ou igual ao dobro da maior frequência contida no sinal a ser amostrado - *Teorema de Nyquist*.

Nos sistemas amostrados pode ocorrer um fenômeno chamado *Aliasing*, ou frequências réplicas, que ocorre quando um sinal de alta frequência assume a identidade de um sinal de frequência inferior, conforme ilustra a *Figura 3-2* abaixo:

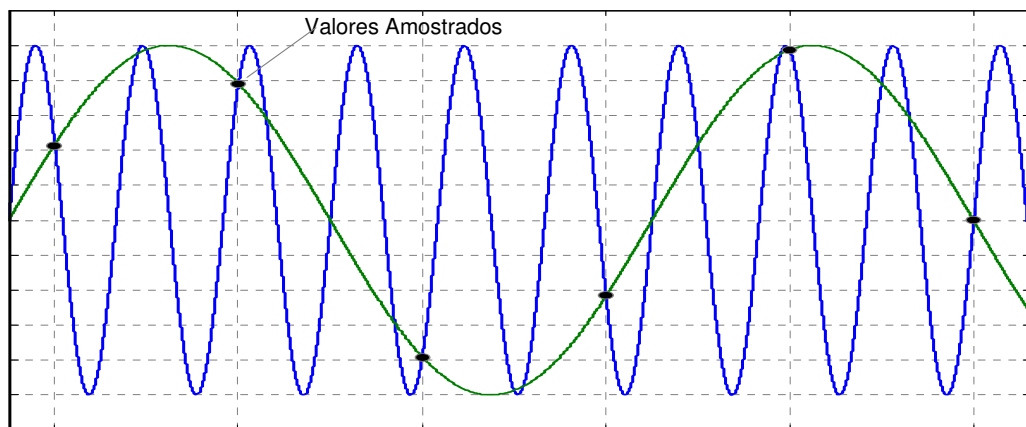


Figura 3-2 – Ilustração do Fenômeno Aliasing

Como não é possível garantir que um sinal a ser medido não esteja misturado com outros sinais, tais como distorções, interferências e ruídos, por exemplo, que podem possuir elevadas frequências, é necessário passar o sinal de interesse através de um filtro

passa-baixas com frequência de corte igual ou menor a metade da frequência de amostragem. Esse filtro é denominado de *anti-aliasing*.

Conforme comentado, o filtro *anti-aliasing* objetiva eliminar as componentes de frequência superior à metade da frequência de amostragem. Observa-se em [27] o projeto simplificado de um filtro com as características citadas.

A função de transferência do filtro pode ser representada da seguinte forma:

$$G_{FAA}(S) = \frac{kfaa}{S + kfaa} \quad (3.5)$$

onde, $kfaa = \pi \cdot fa$ (fa = frequência de amostragem).

A Figura 3-3 ilustra o diagrama esquemático de montagem. Deve-se aplicar o filtro anti-aliasing para todos os sinais a serem medidos e amostrados.

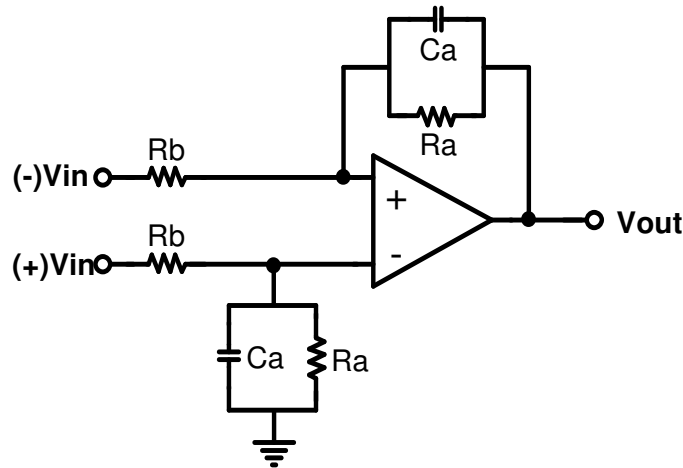


Figura 3-3 – Diagrama Elétrico do Filtro Anti-Aliasing

Para o circuito representado pela Figura 3-3, fazendo-se $(-)Vin$ igual a zero, a função de transferência pode ser considerada conforme segue:

$$\frac{V_{out}(S)}{V_{in}(S)} = \frac{R_a / R_b}{S \cdot C_a \cdot R_a + 1} \quad (3.6)$$

Da equação (3.6), fazendo-se $R_a = R_b$, tem-se que:

$$\frac{V_{out}(S)}{V_{in}(S)} = \frac{1}{S.C_a.R_a + 1} = \frac{1/(C_a.R_a)}{S + 1/(C_a.R_a)} \quad (3.7)$$

Por comparação entre as equações (3.5) e (3.7) tem-se que:

$$kfaa = \frac{1}{C_a.R_a} \quad (3.8)$$

onde, $C_a.R_a = 1/(\pi.f_a)$ (f_a = frequência de amostragem).

3.2.2 – Filtro Passa-Baixas

Conforme comentado, a operação chaveada do conversor provoca uma contaminação harmônica das tensões de fase a serem lidas: [31] e [21]. Como o controle proposto baseia-se na orientação do vetor tensão resultante das tensões lidas em coordenadas “dq0”, essa contaminação pode ser consideravelmente prejudicial para o correto funcionamento do conversor.

A Figura 3-4 ilustra um filtro ativo passa-baixas *Butterworth* de quarta ordem com frequência de corte de 150 Hz que pode ser utilizado para eliminar as componentes harmônicas indesejadas. A equação (3.9) representa a função de transferência genérica para esse filtro.

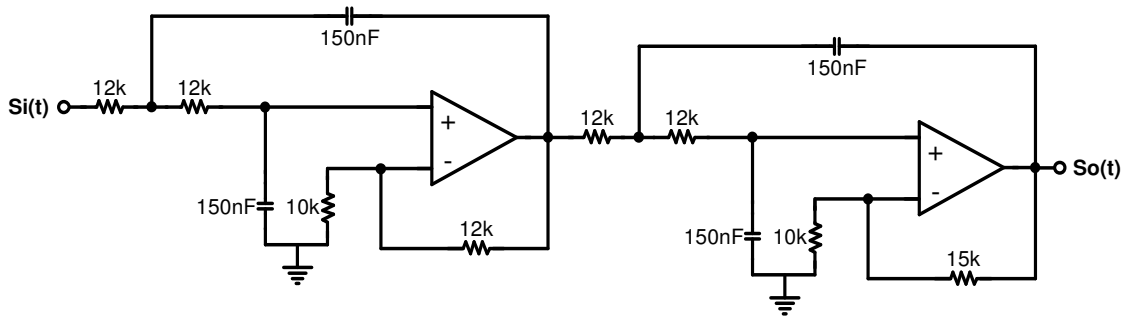


Figura 3-4 – Diagrama Elétrico do Filtro Butterworth de 4ª Ordem ($f_c=150\text{Hz}$)

$$T(S) = \frac{K.\omega_o^N}{(S - P_1)(S - P_2)...(S - P_N)} \quad (3.9)$$

onde, K representa o ganho, ω_o representa a frequência de projeto ou corte, e $P_1, P_2...P_N$ representam os pólos do filtro.

Contudo, o filtro mostrado na *Figura 3-4* introduz um defasamento no sinal lido, fato que precisa ser levado em conta pela rotina de leitura, tratamento e *PLL* no *DSP*. [21] apresenta um algoritmo de compensação de fase que se baseia na curva de resposta de fase do filtro. Em resumo, esse algoritmo decompõe o vetor tensão lido em coordenadas “dq0”, e na transformação inversa, “dq0” para “ABC”, ao invés de utilizar ângulo zero, típico dessa transformação, utiliza um ângulo θ obtido do cálculo de defasagem do filtro. O ponto chave do algoritmo está associado ao cálculo correto do ângulo θ , que pode ser determinado com o auxílio de um osciloscópio digital.

Obviamente, o sinal de tensão deve ser condicionado a valores compatíveis com a entrada do filtro. O filtro da *Figura 3-4* possui ganho de 1,5. Assim, pode-se utilizar um transformador de baixa potência (10VA, por exemplo) com relação de 1:100 aproximadamente. A *Figura 3-5* ilustra o esquema de medição para as tensões de fase, conforme segue:

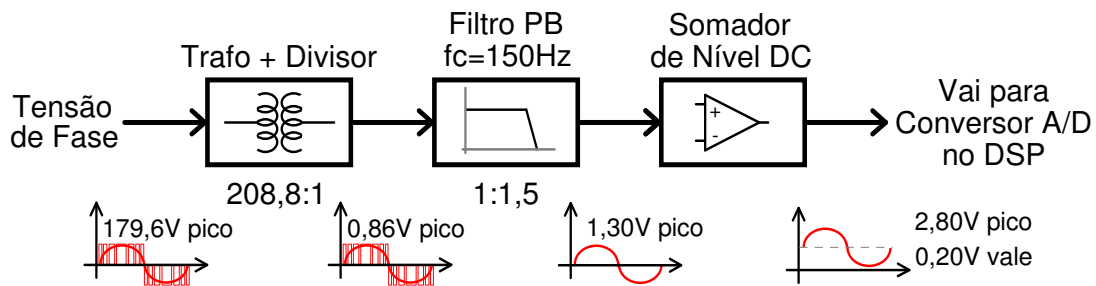


Figura 3-5 – Ilustração da Medição de Tensão de Uma Das Fases

Desta forma, pode-se chegar a seguinte função de transferência para o sensor de tensão de fase e filtro passa-baixas:

$$K_v = \frac{V_{f_{out}}}{V_{f_{in}}} \rightarrow K_v = \frac{1,30}{179,6} = 0,0072 \quad (3.10)$$

onde, $V_{f_{out}}$ representa a tensão de pico na saída do filtro passa-baixas e $V_{f_{in}}$ a tensão de pico de fase na entrada do conversor.

3.3 – Função Transferência do Conversor A/D

Os conversores analógicos digitais têm a função de traduzirem sinais analógicos em sinais digitais, ou numéricos na forma de bits. A *Figura 3-6* ilustra o diagrama de blocos da leitura de um sinal qualquer.

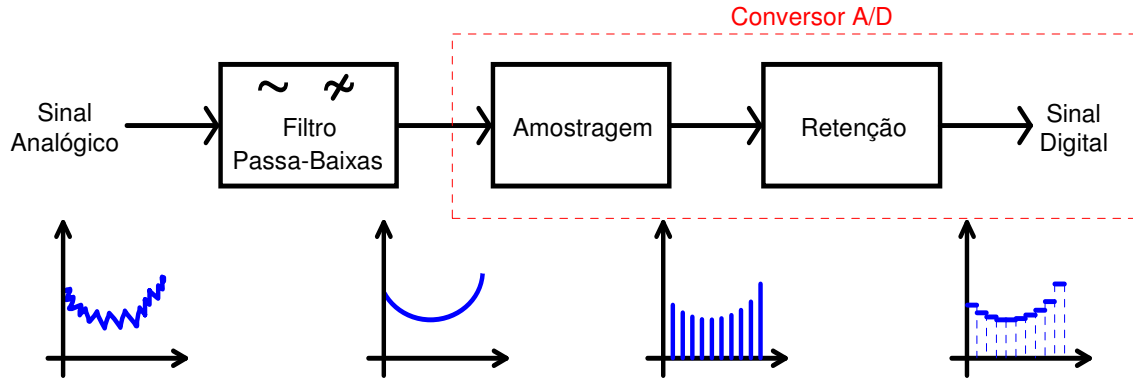


Figura 3-6 – Leitura de um Sinal Qualquer Por um Conversor A/D

A relação entre o valor analógico e o digitalizado pelo conversor A/D pode ser representada pela seguinte equação:

$$S_{DIG} = \frac{(S_{AN} - S_{LO})}{(S_{HI} - S_{LO})} \cdot 2^n \quad (3.11)$$

onde, S_{AN} é o sinal analógico, S_{LO} e S_{HI} são os sinais de nível baixo e alto, respectivamente, e n significa o número de bits do conversor A/D.

Os DSP's “2407” e “2812” da *Texas Instruments*TM possuem conversores A/D com entradas em tensão, sendo $S_{LO}=0V$ e $S_{HI}=3V$. O conversor do “2407” é de 10 bits (resolução de $2^{10} = 1024$ níveis), enquanto o conversor do “2812” é de 12 bits (resolução de $2^{12} = 4096$ níveis). Naturalmente, o sinal a ser medido deve estar condicionado dentro dos limites S_{LO} e S_{HI} do conversor A/D.

Desta forma, da equação (3.11), considerando-se $S_{LO}=0$, é possível calcular o ganho devido à amostragem de um sinal, o qual pode ser representado conforme segue:

$$K_{AD} = \frac{S_{DIG}}{S_{AN}} = \frac{2^n}{S_{HI}} \quad (3.12)$$

3.4 – Função de Transferência do Sensor de Tensão do Barramento

Para a medição da tensão no barramento CC será utilizado o sensor “LV 20-P” da empresa *LEM Components*, que possui excelente precisão, muito boa linearidade, baixo deslocamento térmico, resposta rápida, boa largura de banda e alta imunidade a interferências externas.

A *Figura 3-7* ilustra o diagrama esquemático do sensor “LV 20-P”, onde R_I representa a resistência primária, que deve ser calculada em função da corrente nominal admissível e da precisão desejada, $+HT$ e $-HT$ representam as entradas diferenciais de tensão, ou seja, sinal a ser medido, $V+$ e $V-$ representam as entradas de alimentação, I_S a corrente do sinal de saída, proporcional ao sinal de entrada, e R_M representa a resistência de medição, calculada em função do ganho desejado e dos valores admissíveis – desta resistência obtém-se o sinal de saída de tensão V_{O_ST} . A *Tabela 3.2* mostra as principais características desse sensor.

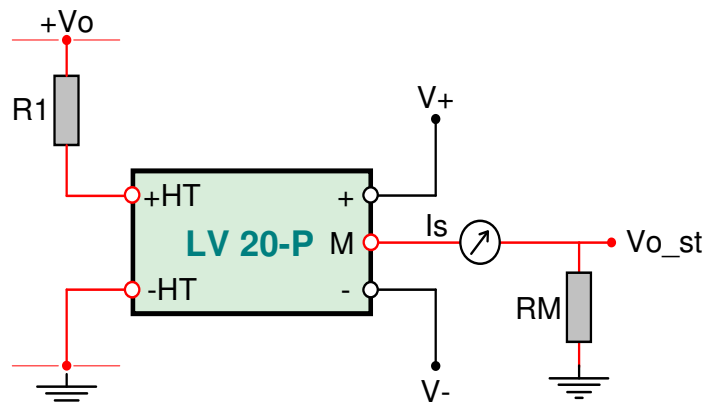


Figura 3-7 – Diagrama Esquemático do Sensor Transdutor de Tensão “LV 20-P”

Tabela 3.2 – Principais Características do Sensor LV 20-P

Faixa de Medição de Tensão (V_{PN}):	<i>10V a 500V</i>
Relação Entre a Corrente do Primário (I_{PN}) e do Secundário (I_{SN})	
Corrente nominal <i>RMS</i> do primário (I_{PN}):	<i>10mA</i>
Corrente nominal do secundário (I_{SN}):	<i>25mA</i>
Relação I_{SN}/I_{PN}	<i>2,5</i>
Faixa de Valores Permitidos Para a Resistência de Medição (R_M):	

Alimentação do sensor	Faixa de Corrente (I_P)	Valores Permitidos de R_M
$+12V$	$-10mA \leq I_P \leq +10mA$	$30\Omega \leq R_M \leq 190\Omega$
$+15V$		$100\Omega \leq R_M \leq 350\Omega$
Valor da resistência R_I (Calculada em Função de I_{PN}):		$R_I = V_{PN}/10m$

Conforme as informações relatadas, a função transferência para o sensor de tensão no barramento CC pode ser considerada como um simples ganho conforme segue:

$$\frac{V_{out}}{V_{in}} = \frac{V_{o-st}}{V_o} = \frac{1}{R_1} \cdot 2,5 \cdot R_M = K_{st} \quad (3.13)$$

O valor de R_I pode ser obtido da relação entre a magnitude da tensão a ser medida e a corrente nominal do primário do sensor. Considerando-se que a tensão poderá variar em torno de 15% durante transitórios, tem-se que:

$$R_1 = \frac{400V \pm 15\%}{10mA} = 40k\Omega \pm 6.0k\Omega \quad (3.14)$$

Respeitando-se o pior caso e observando-se um valor comercial optou-se por utilizar o seguinte resistor:

$$R_1 = 47k\Omega \quad (3.15)$$

Considerando-se que o sensor em questão será alimentado com uma fonte simétrica de 15V, conforme dados do catálogo, optou-se por utilizar o valor de $R_M = 122,2\Omega$ através de um potenciômetro ajustado.

Desta forma, substituindo-se os valores de R_I e R_M na equação (3.13) chega-se ao seguinte ganho:

$$\frac{V_{out}}{V_{in}} = K_{st} = \frac{1}{47k} \cdot 2,5 \cdot 122,2 = 6,5m \frac{V}{V} \quad (3.16)$$

Assim, para uma tensão no barramento de 400V, a tensão sobre o resistor de medição apresentará o seguinte valor:

$$V_{o_sc} = 400.6,5m = 2,6V \quad (3.17)$$

3.5 – Metodologia de Projeto Para os Controladores Digitais

O projeto dos controladores digitais pode ser dividido em duas fases: *modelamento matemático* e *projeto*. Na primeira fase busca-se o equacionamento que descreve o processo, e que deve ser utilizado para análise e estudo do sistema de controle. Na segunda fase realiza-se o projeto propriamente dito.

A fim de utilizarem-se as técnicas de projeto convencionais de resposta em frequência no domínio “S”, amplamente conhecidas no meio científico, será neste trabalho realizada a transformação bi-linear do plano “Z” para o plano “W” [15], [25]. Conforme será apresentado, este ultimo plano possui comportamento equivalente ao plano “S”, quando certos critérios são respeitados.

O método de resposta em frequência tem sido freqüentemente utilizado no projeto de controladores, principalmente devido à sua simplicidade. Observa-se em [27], por exemplo, o projeto dos controladores digitais utilizando os critérios de estabilidade de “Routh e de Hurwitz”, onde um “roteiro” de projeto pode ser observado. Segue abaixo um resumo dos passos que podem ser seguidos:

1. A partir da função de transferência da planta no plano “Z”, aplicando-se a transformação “Z→W” referida, obtém-se a função de transferência no plano “W”. O período de amostragem deve ser apropriadamente escolhido para evitar desvios e distorções.
2. Substituindo-se “jω” por “jυ” em “G(jω)”, traçam-se os diagramas de Bode para “G(jυ)”.
3. Observam-se o erro estático, a margem de fase e a margem de ganho do diagrama “G(jυ)” traçado.
4. Assumindo-se que o ganho em baixas frequências da função de transferência do controlador “H(W)” é unitária, determina-se o ganho do sistema que satisfaz a constante de erro estática.
5. Através das técnicas de projeto convencionais para sistemas de controle contínuos no tempo, determinam-se os pólos e os zeros da função de transferência do controlador digital.

6. Utilizando-se a transformação bi-linear inversa, reescreve-se “H(Z)” a partir de “H(W)”, obtendo-se, assim, a função de transferência amostrada do controlador digital.
7. Por fim, implementa-se a função amostrada “H(Z)” utilizando-se as equações a diferenças, através de um algoritmo computacional.

A Figura 3-8 ilustra uma planta no *domínio discreto* sendo “observada” no *domínio contínuo*, através da aplicação do bloco $Zoh(S)$ denominado *segurador de ordem zero*.

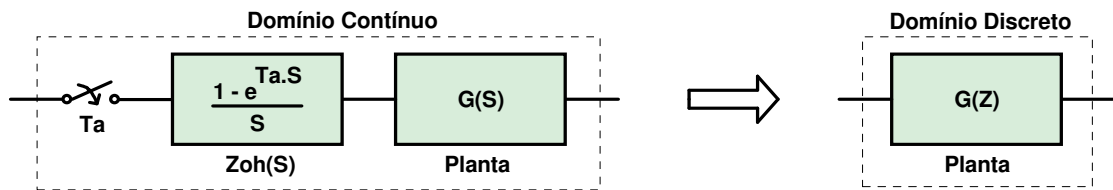


Figura 3-8 – Diagrama de Blocos Representativo: Plantas no Domínio “S” e “Z”

3.5.1 – Mapeamento dos Planos “S”, “Z” e “W”

Conforme já comentado, pode-se projetar os controladores no domínio “W” utilizando-se as técnicas convencionais de resposta em frequência.

Assim, pode-se utilizar o diagrama de Bode para verificar a necessidade de modificação da resposta em frequência do sistema pela inserção de um compensador ou controlador.

Para realizar o mapeamento do plano “S” para o plano “Z” pode-se utilizar a seguinte equação:

$$Z = e^{Ta \cdot S} \quad (3.18)$$

onde, T_a representa o tempo de amostragem.

De forma semelhante, para realizar o mapeamento do plano “Z” para o plano “W” pode-se utilizar a seguinte equação:

$$W = \frac{2}{Ta} \cdot \frac{Z - 1}{Z + 1} \quad (3.19)$$

A equação (3.19) é conhecida como *transformação bi-linear*.

A Figura 3-9 esboça graficamente o mapeamento do plano “S” para o plano “W”, passando pelo plano “Z”.

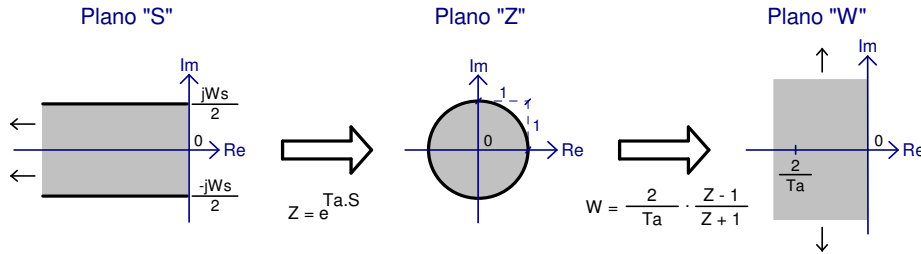


Figura 3-9 – Diagrama de Blocos Representativo: Plantas no Domínio “S”, “Z” e “W”

Conforme pode ser observado através Figura 3-9, as equações (3.18) e (3.19) realizam uma transformação dos valores contidos no plano “S” para o plano “W”. O semi-plano esquerdo do plano “S” é primeiro mapeado dentro do círculo unitário no plano “Z”, e este por sua vez é mapeado no semi-plano esquerdo do plano “W”.

3.5.2 – Distorções Oriundas do Mapeamento Entre os Planos “S” e “W”

Tende-se a utilizar as técnicas convencionais de resposta em frequência para o projeto dos controladores devido principalmente ao domínio e a facilidade deste tipo de abordagem.

Ressalta-se, contudo, que o mapeamento do plano “S” para o plano “W” introduz uma distorção em módulo, conforme ilustra a seguinte equação:

$$v = \frac{2}{Ta} \cdot \tan\left(\frac{\omega Ta}{2}\right) \quad (3.20)$$

onde, v representa uma frequência fictícia relacionada a frequência real ω , e Ta representa o tempo de amostragem.

De acordo com [25], variando-se a frequência v de zero a infinito, a transformação bi-linear comprime a variação da frequência ω de zero a $\frac{\pi}{Ta}$ (Frequência de Nyquist).

Quanto menor o tempo de amostragem maior a faixa de frequência em que “ v ” e “ ω ” podem ser consideradas correlatas linearmente. Isto justifica a altas frequências de amostragem observadas em trabalhos que utilizam este tipo de abordagem.

O gráfico da *Figura 3-10* mostra a relação entre as frequências ν e ω , de acordo com a equação (3.20), para uma frequência de amostragem de 20kHz ou 62.8krad/s.

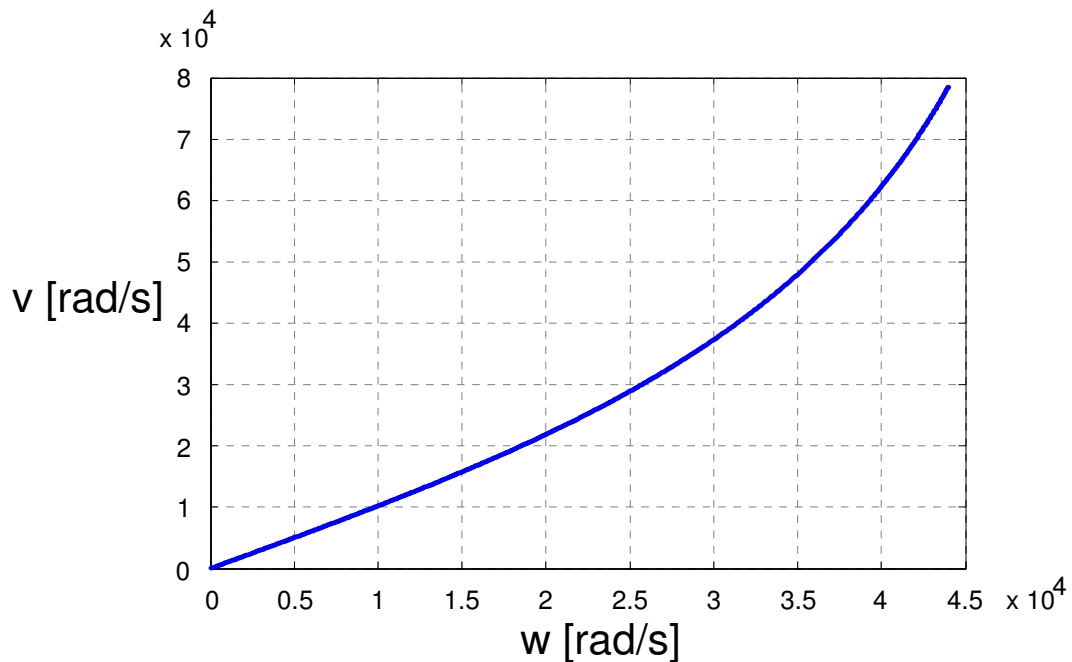


Figura 3-10 – Relação Entre as Frequências “ ν ” e “ ω ” Para $T_a=1/20\text{kHz}$

Conforme pode ser observado, com uma frequência de amostragem de 20kHz (frequência a ser utilizada na fase de implementação), para até 15krad/s praticamente não existe distorção entre as frequências “ ν ” e “ ω ”.

Os sinais a serem amostrados possuem frequência fundamental de 60Hz. Para os projetos dos controladores, conforme procedimentos que serão ilustrados no capítulo seguinte, a frequência de corte das malhas de corrente, que são as mais rápidas do sistema, estarão abaixo de 15krad/s. Desta forma, espera-se não haver distorções significativas entre as funções representadas no plano “W” e suas correlatas no plano “S”.

3.6 – Procedimento de Projeto Dos Controladores Digitais

Conforme já comentado, uma vez obtida as funções de transferências dos blocos de controle e medição que descrevem o comportamento do conversor, através das transformações dos planos “S $\rightarrow$ Z” e “Z $\rightarrow$ W” pode-se projetar os controladores digitais de forma análoga ao procedimento ou método de análise de resposta em frequência. Considerando-se o conversor proposto, segue abaixo um resumo dos critérios ou procedimentos deste método:

- 1) Margem de fase deve estar entre 45° e 90°;
- 2) A inclinação da curva de ganho para o sistema em laço aberto deve ser de - 20dB/década na frequência de cruzamento;
- 3) O erro estático deve ser nulo;
- 4) Para as malhas de corrente a frequência de cruzamento da curva de ganho com o eixo de 0dB, para o sistema em laço aberto, deve ser no mínimo quatro vezes menor do que a frequência de chaveamento:

$$f_c < \frac{f_s}{4} \quad \text{ou} \quad \omega_c < \frac{\omega_s}{4} \quad (3.21)$$

Onde, f_c e ω_c representam a frequência de corte, e f_s e ω_s representam a frequência de chaveamento do conversor, em *Hertz* e *rad/s* respectivamente.

- 5) Para a malha de tensão a frequência de cruzamento deve ser da ordem de dezenas de Hertz.

É recomendado ainda por [3] que a frequência de amostragem seja da ordem de 10 vezes maior que a frequência de chaveamento. Porém como será utilizado um *DSP* de alto desempenho, o qual garantirá que os cálculos do controle serão realizados em tempo hábil para amostrar, processar e atuar nas chaves de potência dentro de um período de chaveamento, será considerado uma frequência de amostragem igual à frequência de chaveamento. De certa forma tal consideração elimina processamentos que seriam realizados sem a devida atuação direta, pois mesmo que o resultado do cálculo de controle estivesse pronto à uma frequência elevada, este somente refletiria atuação nas chaves de acordo com a frequência de chaveamento.

3.7 – Projeto dos Controladores de Corrente

Como o projeto dos controladores será realizado utilizando-se as técnicas convencionais de resposta em frequência, os atrasos do conversor *PWM* serão desconsiderados, pois estes são desprezíveis quando comparados ao tempo de atuação dos controladores. Isto é aceitável uma vez que a análise é feita em malha aberta, sendo que os atrasos são realmente significativos em malha fechada.

Sabendo-se que as malhas de controle realizarão a compensação de forma inversa ao acoplamento entre as componentes de eixos direto e em quadratura, para a análise e o projeto dos controladores, tal acoplamento poderá ser desprezado. Tal consideração já foi ilustrada através das figuras *Figura 2-5 e Figura 2-7*. Desta forma, a *Figura 2-10* pode ser simplificada, conforme ilustra a *Figura 3-11* a seguir:

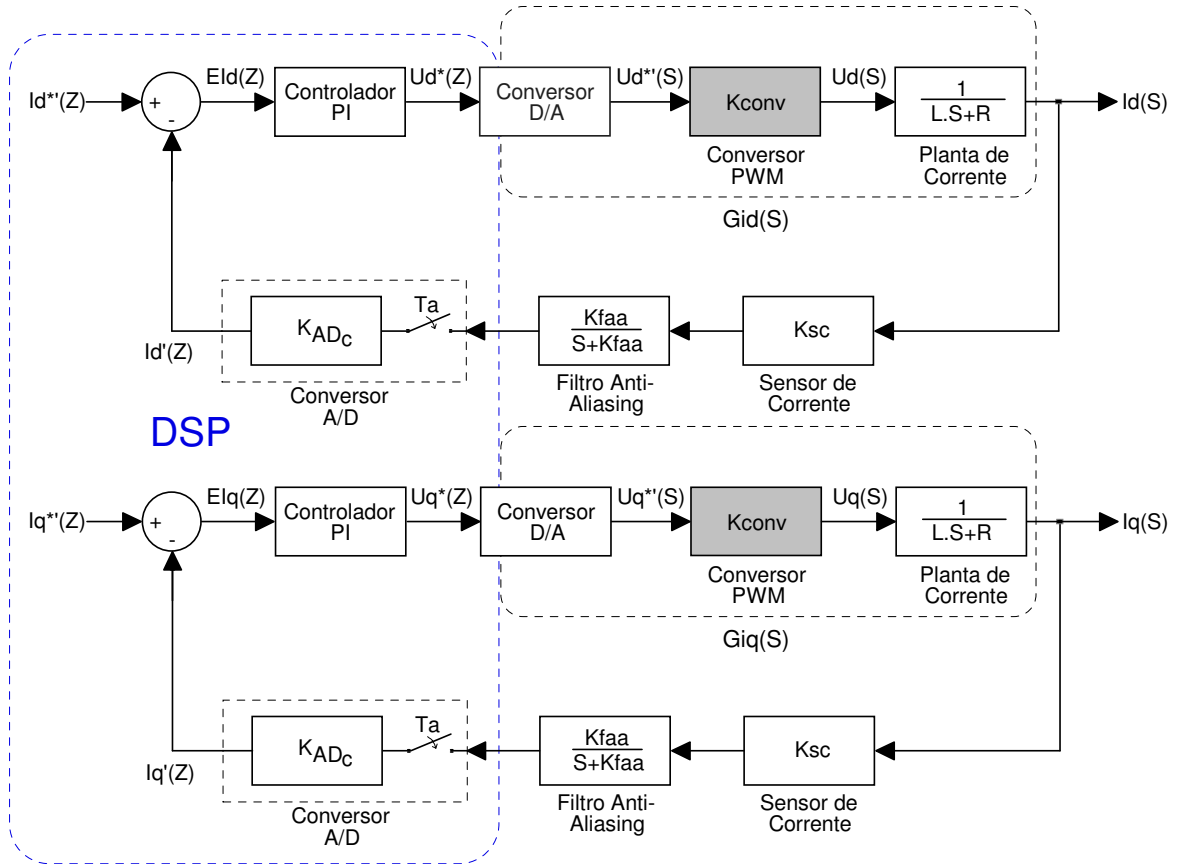


Figura 3-11 – Malhas de Controle de Corrente em Coordenadas “dq0”

Para o conversor *D/A* pode-se utilizar a função de transferência observada em [25], que é determinada através de respostas à impulsos. A equação (3.22) ilustra a referida função de transferência:

$$FT_DA(S) = \frac{1 - e^{-S.Ta}}{S} \quad (3.22)$$

Através dos diagramas de blocos ilustrados na *Figura 3-11* pode-se obter a seguinte função de transferência em malha aberta no domínio “S” conforme segue:

$$FTMA_Gi_dq(S) = (K_{conv}) \left(\frac{1}{L.S + R} \right) (K_{SC}) \left(\frac{K_{faa}}{S + K_{faa}} \right) (K_{AD}) \quad (3.23)$$

Na equação ilustrada por (3.23), para fins de projeto dos controladores, a parcela que representa o ganho do *filtro anti-aliasing* será desprezada, pois seu pólo está localizado numa frequência consideravelmente afastada da banda de interesse. Assim, sabendo-se que $Z = e^{T_a.S}$, equação (3.18), e considerando-se o conversor *D/A*, equação (3.22), chega-se a seguinte expressão no domínio “Z”:

$$FTMA_Gi_dq(Z) = (1 - Z^{-1}) Z \left\{ K_{conv} \cdot K_{SC} \cdot K_{AD} \cdot \frac{1}{S.(L.S + R)} \right\} \quad (3.24)$$

Considerando-se $K_{conv} \cdot K_{SC} \cdot K_{AD} = K$, e utilizando-se da propriedade de *multiplicação por uma constante* das transformadas “Z” [25], tem-se que:

$$FTMA_Gi_dq(Z) = (1 - Z^{-1}) K \cdot Z \left\{ \frac{1}{S.(L.S + R)} \right\} \quad (3.25)$$

Expandindo-se em frações parciais chega-se a seguinte expressão:

$$FTMA_Gi_dq(Z) = (1 - Z^{-1}) K \cdot Z \left\{ \frac{1/R}{S} - \frac{L/R}{L.S + R} \right\} \quad (3.26)$$

Realizando-se a transformação do plano “S” para o plano “Z”, dos termos faltantes, tem-se que:

$$FTMA_Gi_dq(Z) = (1 - Z^{-1}) \cdot \frac{K}{R} \cdot \left(\frac{Z}{Z - 1} - \frac{Z}{Z - e^{-R/L.T_a}} \right) \quad (3.27)$$

Reescrevendo-se a equação (3.27) chega-se a seguinte expressão:

$$FTMA_Gi_dq(Z) = \frac{K}{R} \cdot \left(1 - \frac{Z-1}{Z - e^{-R/L \cdot Ta}} \right) \quad (3.28)$$

Da equação (3.28), para se obter a função de transferência no plano “W”, pode-se substituir a variável “Z” com o uso da transformação bi-linear de *Tustin* conforme segue:

$$Z = \frac{1 + Ta/2 \cdot W}{1 - Ta/2 \cdot W} \quad (3.29)$$

Assim, obtém-se:

$$FTMA_Gi_dq(W) = \frac{K}{R} \cdot \left(1 - \frac{\frac{1 + Ta/2 \cdot W}{1 - Ta/2 \cdot W} - 1}{\frac{1 + Ta/2 \cdot W}{1 - Ta/2 \cdot W} - e^{-R/L \cdot Ta}} \right) \quad (3.30)$$

A equação (3.30) pode ser resumida conforme segue:

$$FTMA_Gi_dq(W) = \frac{K}{R} \cdot \left(1 - \frac{W}{\left(\frac{1 - e^{-R/L \cdot Ta}}{Ta} \right) + \left(\frac{1 + e^{-R/L \cdot Ta}}{2} \right) \cdot W} \right) \quad (3.31)$$

onde, para a aplicação em questão, as constantes possuem os seguintes valores:

$$\left\{ \begin{array}{l} K = K_{CONV} \cdot K_{SC} \cdot K_{ADc} = 8,37 \\ R = 0,1 \cdot \Omega \\ L = 2,74 \cdot mH \\ Ta = 50 \mu s \\ K_{CONV} \approx \frac{V_o}{V_{TH}} \cdot 1,15 = \frac{400}{3750} \cdot 1,15 = 122,67 \cdot 10^{-3} \\ K_{SC} = 0,1 \\ K_{ADc} = 2^{11} / 3 = 682,67 \end{array} \right. \quad (3.32)$$

Agora, pode-se realizar a análise de resposta em frequência do sistema em questão. Assim, a *Figura 3-12* ilustra o diagrama de Bode da função de transferência de malha aberta (FTMA) de corrente no plano “W”, equação (3.31), conforme segue:

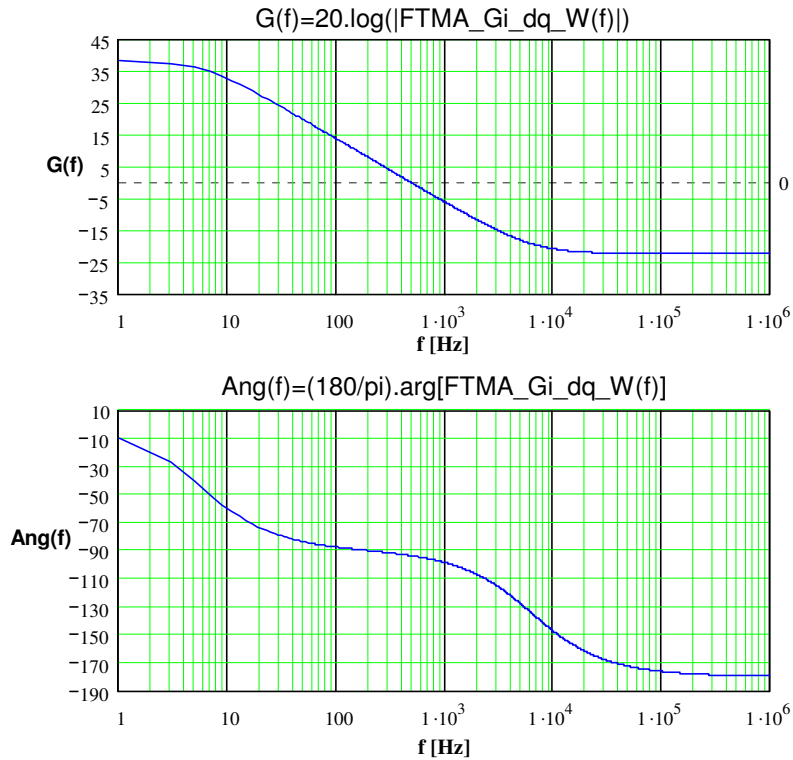


Figura 3-12 – Diagrama de Bode da FTMA de Corrente em Coordenadas “dq0”

Em função das características da aplicação, deseja-se que o conversor possua frequência de corte de 2,5kHz, ou seja, $f_s/8$.

A *Figura 3-13* ilustra a FTMA de corrente, em coordenadas “dq0”, nos planos “S” e “W” respectivamente. Conforme pode ser observado, até a frequência de 4kHz para o ganho e 300Hz para a fase praticamente não existem diferenças entre ambos os planos. Como a frequência de corte desejada é de 2,5kHz, as análises no plano “W” podem ser realizadas de forma similar às análises no plano “S” sem erros significativos.

Conforme pode ser observado, existe uma diferença de aproximadamente 20° entre as fases dos planos “S” e “W” na frequência de corte. Acredita-se que esta diferença não cause desvios significativos na abordagem de controle por coordenadas “dq0”.

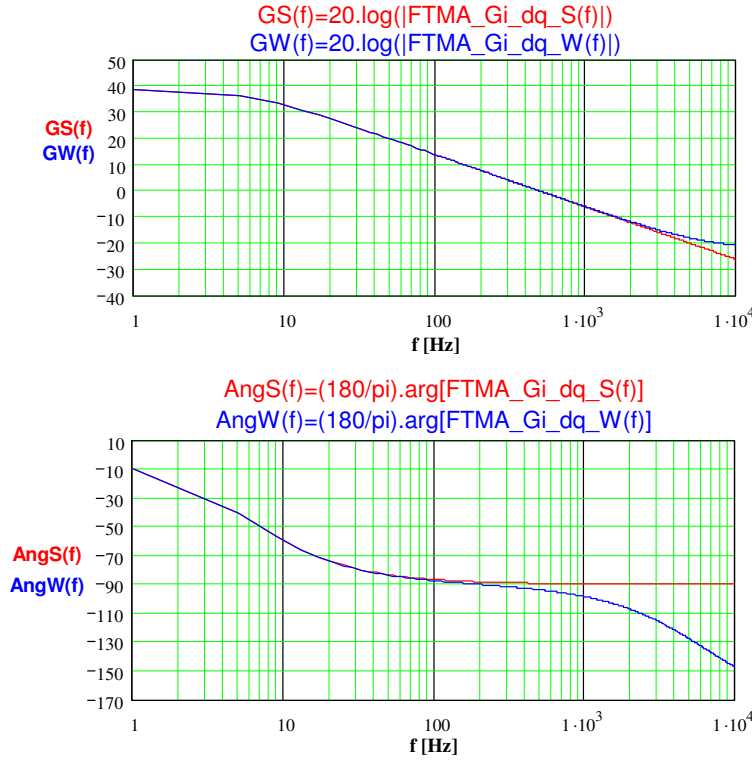


Figura 3-13 – Diagrama de Bode da FTMA de Corrente: Comparação Entre os Planos “S” e “W”

Observa-se através da Figura 3-12 que na passagem por um oitavo da frequência de chaveamento, $f_s/8 = 2,5\text{kHz}$, o ganho é de aproximadamente -13,60db e a fase de -111,31°.

Em função do comportamento do sistema, e também conforme já justificado anteriormente, para o controle das malhas de corrente serão utilizados controladores *PI*. A equação (3.33) ilustra a função de transferência desse tipo de controlador no plano “W” conforme segue:

$$G_{PI}(W) = K_{PI} \cdot \frac{(W + Z_W)}{W} \quad (3.33)$$

onde, Z_W representa o zero do controlador, $K_p = K_{PI}$ e $K_I = K_{PI} \cdot Z_W$.

O zero da equação (3.33) deve ser alocado de forma conveniente para se obter margem de fase entre 45° e 90°, e inclinação de 20dB na frequência de cruzamento. O valor de K_{PI} pode ser obtido da seguinte equação:

$$K_{PI} = 10^{\frac{-[\text{ganho}_{FTMA}(f_c)]db}{20}} \quad (3.34)$$

Como o ganho na frequência de corte é de -13,6dB, através da equação (3.34) tem-se que $K_{PI} = 4,78$. Assim, chega-se aos seguintes valores para os controladores de corrente *PI*:

$$\begin{cases} K_P = K_{PI} = 4,78 \\ K_I = K_{PI} \cdot Z_W = 4,78 \cdot 100 = 478 \end{cases} \quad (3.35)$$

onde, do ponto de vista de controle, as malhas de corrente são simétricas, e ambos os dois controladores, tanto o de eixo direto quanto o de eixo em quadratura, possuem os mesmos valores.

A *Figura 3-14* mostra o diagrama de Bode do controlador *PI*, equação (3.33), com os valores de K_P e K_I encontrados, equação (3.35). De forma semelhante a *Figura 3-15* ilustra o comportamento global do sistema: *controlador PI + FTMA de corrente*, conforme segue:

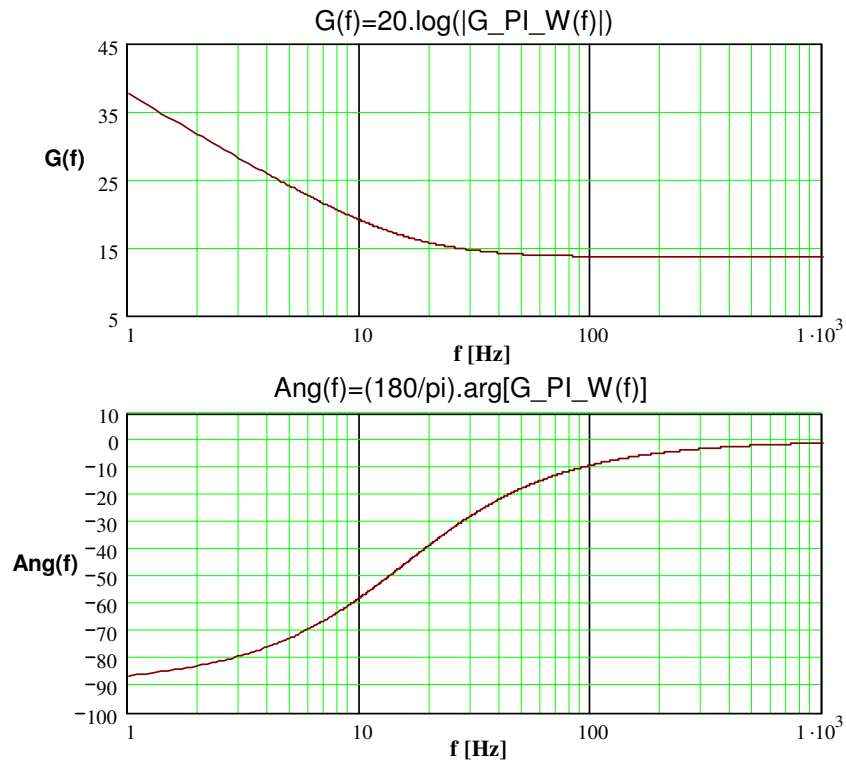


Figura 3-14 – Diagrama de bode do Controlador PI: K_P e K_I Pré-Ajustados

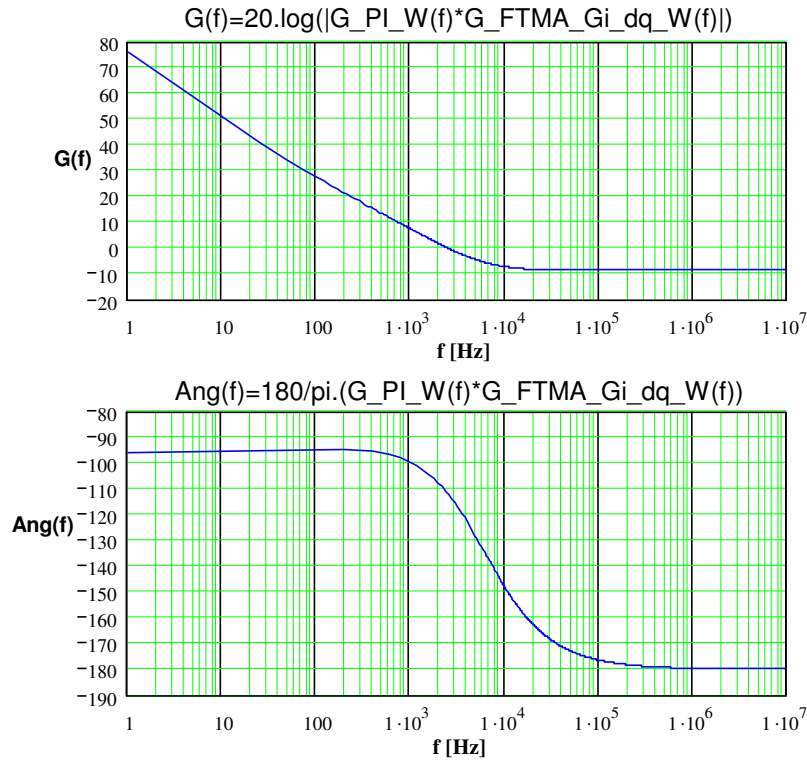


Figura 3-15 – Diagrama de bode do “Controlador + FTMA de Corrente”

Conforme pode ser observado através da *Figura 3-15*, o controlador *PI* faz com que o sistema possua margem de fase em torno de 68° , margem de ganho de $-8,74dB$, inclinação de $20db/década$ e cruzamento por $0db$ em $f_s/8 = 2500Hz$, de acordo, portanto, com as especificações de projeto desejadas.

3.8 – Projeto do Controlador de Tensão no Barramento CC

A malha de tensão é a malha mais externa do sistema de controle. A faixa de frequência desta malha é bem menor do que a da malha de corrente.

Os conversores retificadores pontes a diodo trifásicos comuns possuem uma ondulação de 360Hz no barramento CC, que é intrínseca à sua arquitetura de funcionamento.

Nos conversores retificadores chaveados, conforme objetivo deste trabalho, o sistema de controle deve comandar as chaves de potência de forma propícia a fim de se obter uma ondulação de tensão no barramento mínima, e também manter as correntes de entrada senoidais e em fase com as respectivas tensões de entrada.

Caso seja utilizado uma frequência muito elevada para esta malha o controle de tensão torna-se bastante robusto deixando a tensão no barramento praticamente constante e

com uma atuação rápida durante os transitórios. Porém, em contrapartida à esta robustez, as ondulações intrínsecas ao sistema acabam modulando as correntes de entrada do conversor, fazendo com que o fator de potência deixe de ser unitário – em suma, ou a ondulação aparece no barramento ou nas correntes. Isto deve ser levado em conta na determinação dos critérios de projeto.

A Figura 3-16 mostra novamente o diagrama de blocos para a malha de tensão:

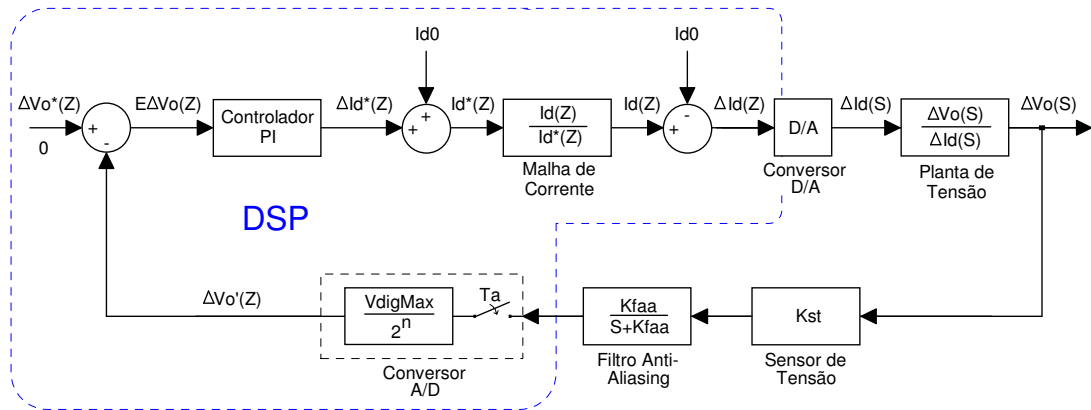


Figura 3-16 – Malha de Controle da Tensão no Barramento CC

As malhas de corrente, já apresentadas, são muito mais rápidas do que a malha de tensão. Desta forma, pode-se considerar que para uma determinada referência de tensão, a resposta em corrente é praticamente instantânea.

Observando-se os diagramas ilustrados na Figura 3-11, em regime permanente as funções de transferência das malhas de corrente de eixo direto em quadratura podem ser representadas pelo inverso dos ganhos da malha de realimentação conforme segue:

$$\frac{Idq}{Idq^{*'}} = \frac{1}{K_{SC} \cdot K_{ADc}} \cdot \frac{S + K_{faa}}{K_{faa}} \quad (3.36)$$

Assim, através da malha de tensão ilustrada pela Figura 3-16 e das equações (2.23) e (3.36), pode-se chegar a seguinte função de transferência em malha aberta:

$$FTMA_Gv(S) = \left(\frac{1}{K_{SC} \cdot K_{ADc}} \cdot \frac{S + K_{faa}}{K_{faa}} \right) \cdot \left(\frac{V_{dP}}{C_O \cdot V_{OP}} \cdot \frac{1}{S} \right) \cdot (K_{ST}) \cdot \left(\frac{K_{faa}}{S + K_{faa}} \right) \cdot (K_{ADt}) \quad (3.37)$$

Simplificando-se a equação (3.37) chega-se facilmente a seguinte expressão:

$$FTMA_Gv(S) = \left(\frac{K_{ST}}{K_{SC}} \right) \cdot \left(\frac{K_{ADt}}{K_{ADc}} \right) \cdot \left(\frac{V_{dP}}{C_O \cdot V_{OP}} \cdot \frac{1}{S} \right) \quad (3.38)$$

Da equação (3.38), sabendo-se que $Z = e^{Ta \cdot S}$, equação (3.18), e considerando-se a representação do conversor D/A , equação (3.22), chega-se a seguinte expressão:

$$FTMA_Gv(Z) = (1 - Z^{-1}) \cdot \left(\frac{K_{ST}}{K_{SC}} \right) \cdot \left(\frac{K_{ADt}}{K_{ADc}} \right) \cdot \left(\frac{V_{dP}}{C_O \cdot V_{OP}} \right) \cdot Z \cdot \left\{ \frac{1}{S^2} \right\} \quad (3.39)$$

As constantes da equação (3.39) podem ser agrupadas conforme segue:

$$\frac{K_{ST}}{K_{SC}} \cdot \frac{K_{ADt}}{K_{ADc}} \cdot \frac{V_{dP}}{C_O \cdot V_{OP}} = C \quad (3.40)$$

Desta forma, da equação (3.39), considerando-se a equação (3.40), utilizando-se de uma tabela observada em [25], que relaciona funções e transformadas entre os planos “S” e “Z”, e desconsiderando-se os atrasos, chega-se a seguinte equação:

$$FTMA_Gv(Z) = (1 - Z^{-1}) \cdot C \cdot \frac{Ta \cdot Z^{-1}}{(1 - Z^{-1})^2} \quad (3.41)$$

A equação (3.41) pode ser resumida conforme segue:

$$FTMA_Gv(Z) = C \cdot \frac{Ta}{Z - 1} \quad (3.42)$$

Também, da equação (3.42), para se obter a função de transferência no plano “W”, pode-se substituir a variável “Z” com o uso da transformação bi-linear conforme segue:

$$Z = \frac{1 + T/2 \cdot W}{1 - T/2 \cdot W} \quad (3.43)$$

Assim, obtém-se:

$$FTMA_Gv(W) = C \cdot \frac{Ta}{\left(\frac{2 + Ta \cdot W}{2 - Ta \cdot W} \right) - 1} \quad (3.44)$$

A equação (3.44) pode ser resumida conforme segue:

$$FTMA_Gv(W) = C \cdot \left(\frac{1 - Ta/2 \cdot W}{W} \right) \quad (3.45)$$

onde, para a aplicação em questão, as constantes possuem os seguintes valores:

$$\begin{cases} K_{SC} = 0,1 \\ K_{ST} = 0,0065 \\ K_{ADt} = 2^{12}/3 = 1365,34 \\ K_{ADc} = 2^{11}/3 = 682,67 \\ V_{dP} = 127 \cdot \sqrt{2} = 179,61 \\ V_{OP} = 400 \\ C_O = 1500 \cdot 10^{-6} \end{cases} \quad (3.46)$$

∴

$$C = \frac{V_{dP}}{C_O \cdot V_{OP}} \cdot \frac{K_{ST}}{K_{SC}} \cdot \frac{K_{ADt}}{K_{ADc}} \approx 38,91$$

De forma semelhante à metodologia empregada para as malhas de corrente, pode-se realizar uma análise de resposta em frequência do sistema em questão. Assim, a *Figura 3-17* ilustra o diagrama de bode da equação (3.45).

A *Figura 3-18* ilustra a *função de transferência de malha aberta* (FTMA) de tensão, nos planos “S” e “W” respectivamente. Conforme pode ser observado, até a frequência de 5kHz para o módulo e 200Hz para a fase, praticamente não existem diferenças entre ambos os planos, de sorte que as análises no plano “W” podem ser realizadas de forma similar às análises no plano “S” sem erros significativos, pois,

conforme será determinado logo a seguir, a frequência de corte para esta malha deverá ficar em torno de 36Hz.

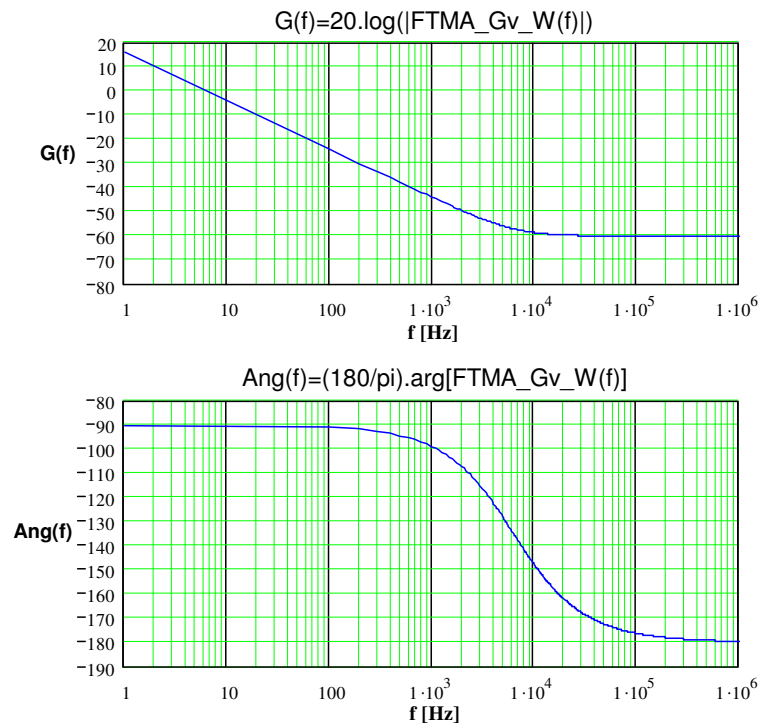


Figura 3-17 – Diagrama de Bode da FTMA de Tensão no Barramento CC

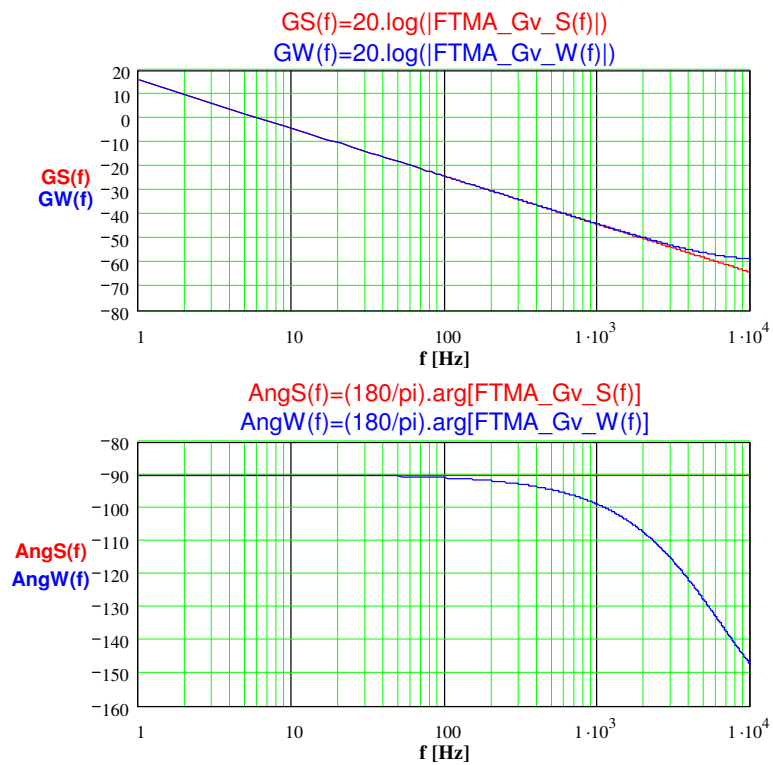


Figura 3-18 – Diagrama de Bode da FTMA de Tensão: Comparação Entre os Planos “S” e “W”

Conforme já mencionado, caso seja utilizado uma frequência de corte muito elevada para a malha de tensão, o *ripple* de tensão no barramento *CC* é reduzido, e o sistema de controle apresenta atuação rápida durante os transitórios. Contudo, em contrapartida à essa robustez, as ondulações intrínsecas ao sistema acabam modulando as correntes de entrada do conversor, fazendo com que o fator de potência deixe de ser unitário.

Assim, como um dos principais objetivos desse trabalho é manter o fator de potência praticamente unitário, para o projeto do controlador de tensão opta-se por utilizar uma frequência de corte baixa de aproximadamente 36Hz, que deve atender aos requisitos funcionais, uma vez que as reversões de energia não são abruptas, mas possuem um intervalo de tempo da ordem de milissegundos.

Observa-se através da *Figura 3-17* que na passagem pela frequência de corte de 36Hz, desejada, o *ganho* é de aproximadamente -15,29db e a *fase* de -90,32°. Também neste caso, em função do comportamento do sistema, e também conforme já justificado anteriormente, para o controle da malha de tensão será utilizado um controlador *PI*. A equação (3.47) ilustra mais uma vez a função de transferência deste controlador no plano “W” conforme segue:

$$G_{PI}(W) = K_{PI} \cdot \frac{(W + Z_W)}{W} \quad (3.47)$$

onde, Z_W representa o zero do controlador, $K_P = K_{PI}$ e $K_I = K_{PI} \cdot Z_W$.

Novamente, o *zero* da equação (3.46) deve ser alocado de forma conveniente para se obter margem de fase entre 45° e 90°, e inclinação de 20dB na frequência de cruzamento. E também, o valor de K_{PI} pode ser obtido da seguinte equação:

$$K_{PI} = 10^{\frac{-[\text{ganho}_{FTMA}(fc)]db}{20}} \quad (3.48)$$

onde, fc representa a frequência de corte, que para a aplicação em questão é de 36Hz.

Assim, chega-se ao seguinte valor:

$$K_{PI} = 10^{\frac{15,29db}{20}} = 5,81 \quad (3.49)$$

Desta forma, calculando-se as constantes, chega-se aos seguintes valores para o controlador de tensão *PI*:

$$\begin{cases} K_P = K_{PI} = 5,81 \\ K_I = K_{PI} \cdot Z_W = 5,81 \cdot 50 = 290,63 \end{cases} \quad (3.50)$$

A *Figura 3-19* mostra o diagrama de Bode do controlador *PI*, equação (3.47), com os valores de K_P e K_I encontrados, equação (3.50), conforme segue:

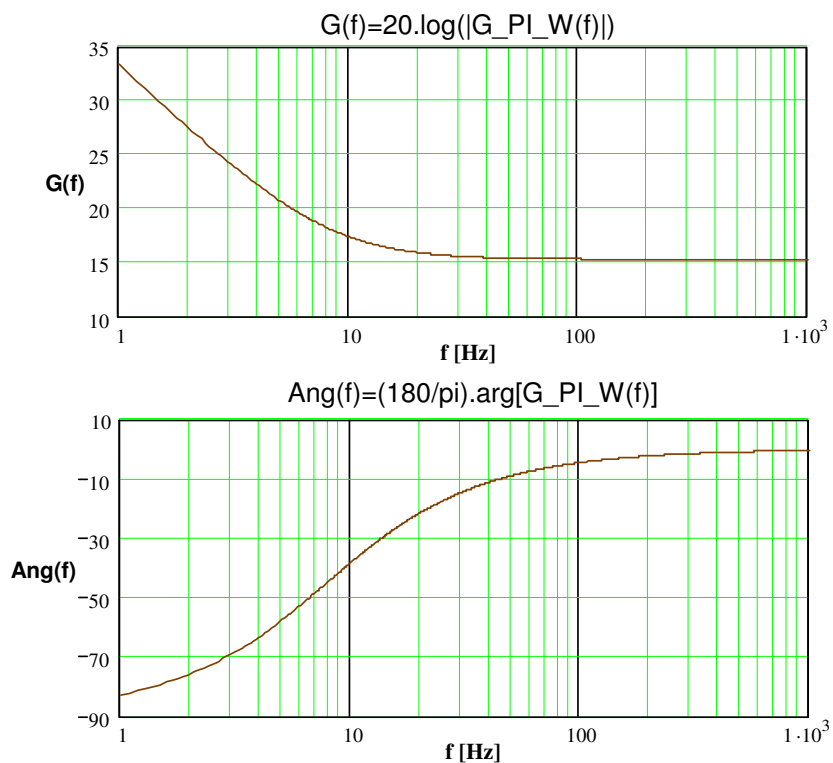


Figura 3-19 – Diagrama de bode do Controlador PI: K_P e K_I Pré-Ajustados

A *Figura 3-20* ilustra o comportamento global do sistema: *controlador PI + FTMA de tensão*.

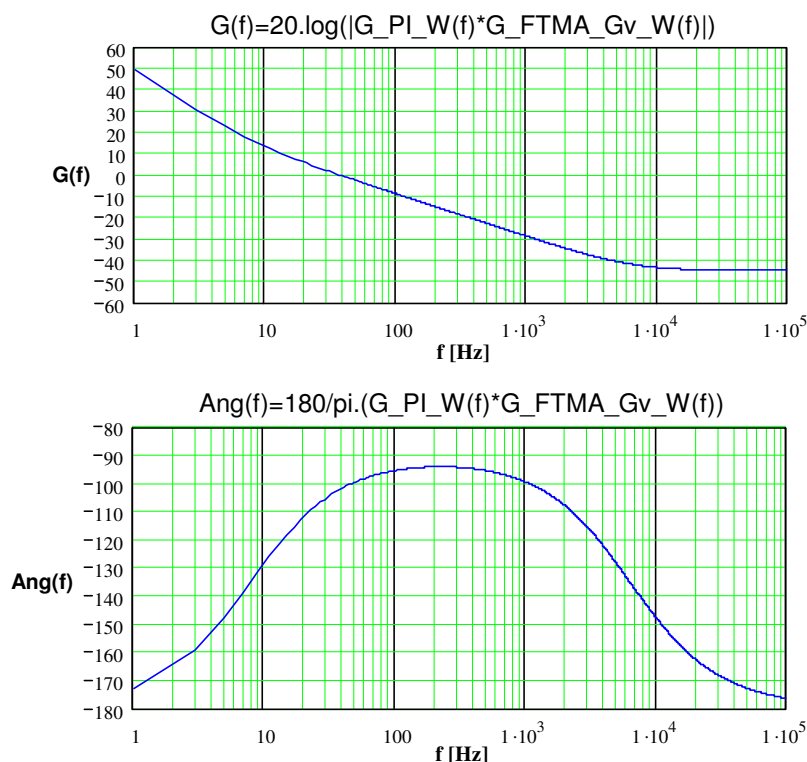


Figura 3-20 – Diagrama de bode do “Controlador + FTMA de Tensão”

Conforme pode ser observado através da *Figura 3-20*, o controlador *PI* faz com que o sistema possua margem de fase em torno de 77° , margem de ganho em torno de -45db , inclinação de $20\text{db}/\text{década}$ e cruzamento por 0db em 36Hz , de acordo, portanto, com as especificações de projeto desejadas.

3.9 – Equações a Diferenças Dos Controladores de Corrente e de Tensão

Conforme observado, serão utilizados controladores *PI* para a compensação das malhas de corrente e de tensão. A *Figura 3-21* indica, de forma simplificada, a atuação desse tipo de controlador sobre o erro entre os sinais de referência e medido.

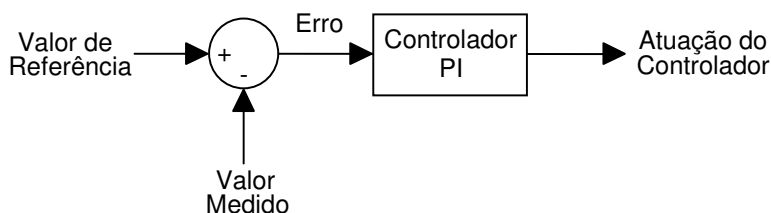


Figura 3-21 – Esboço da Atuação do Controlador *PI*

Na equação (3.33) ou (3.47) ilustrou-se a função de transferência desse tipo de controlador no domínio “W”. Contudo, a implementação do algoritmo de controle no *DSP* requer que as equações sejam escritas no tempo discreto, ou na forma de equações a diferenças. Existem vários métodos que podem ser utilizados para realizar essa tarefa. Um dos métodos mais simples utiliza a aproximação por soma trapezoidal conforme segue:

$$\begin{aligned} K_p \cdot e(t) &= K_p \cdot e(k) \\ K_I \cdot \int_{\tau=0}^t e(\tau) \cdot d\tau &\cong K_I \cdot \sum_{i=0}^k \frac{Ta}{2} [e(i) + e(i-1)] \end{aligned} \quad (3.51)$$

onde, K_p representa o coeficiente proporcional, K_I representa o coeficiente integral, $e(t)$ representa o erro no tempo contínuo, $e(k)$ representa o erro no tempo discreto, Ta representa o tempo de amostragem e k o tempo discreto indexado: 0,1,2,..., sendo $t=k \cdot Ta$.

Pode-se simplificar o coeficiente integrativo de forma conveniente conforme segue:

$$K_I' = K_I \cdot \frac{Ta}{2} \quad (3.52)$$

Desta forma, o controlador *PI* no tempo discreto apresenta a seguinte lei de controle:

$$u(k) = K_p \cdot e(k) + K_I' \cdot \sum_{i=0}^k [e(i) + e(i-1)] \quad (3.53)$$

Assim, para a implementação no *DSP*, deve-se utilizar os coeficientes projetados, conforme os valores das equações (3.35) e (3.50).

Desta maneira, os controladores de corrente apresentam a seguinte equação a diferenças:

$$u_{-i_{dq}}(k) = 4,78 \cdot e(k) + 478,40 \cdot \frac{Ta}{2} \cdot \sum_{i=0}^k [e(i) + e(i-1)] \quad (3.54)$$

E também, o controlador de tensão no barramento CC apresenta a seguinte equação a diferenças:

$$u_v(k) = 5.81.e(k) + 290.63.\frac{Ta}{2}.\sum_{i=0}^k [e(i) + e(i-1)] \quad (3.55)$$

Outra maneira de se obter as equações a diferenças é a partir da função de transferência do controlador *PI* no plano “Z” conforme segue:

$$G_{PI}(Z) = \frac{(K_p + K_I.\frac{Ta}{2}).Z + \left(K_I.\frac{Ta}{2} - K_p\right)}{Z - 1} \quad (3.56)$$

Assim, para os controladores de corrente, substituindo-se os valores de K_p e K_I encontrados e descritos pela equação (3.35) na equação (3.56), chega-se a seguinte expressão:

$$G_{PI-i_{dq}}(Z) = \frac{U(Z)}{E(Z)} = \frac{4,795986509.Z - 4,772066376}{Z - 1} \quad (3.57)$$

E desta forma,

$$U(Z).(Z - 1) = E(Z).(4,795986509.Z - 4,772066376) \quad (3.58)$$

Da equação (3.58), considerando-se o teorema do deslocamento, chega-se a seguinte equação a diferenças para os controladores de corrente:

$$u_{-i_{dq}}(k) = 4,795986509.e(k) - 4,772066376.e(k-1) + u_{-i_{dq}}(k-1) \quad (3.59)$$

De forma semelhante, para o controlador de tensão no barramento CC, substituindo-se os valores de K_p e K_I encontrados e descritos pela equação (3.50) na equação (3.56), chega-se a seguinte expressão:

$$G_{PI-v}(Z) = \frac{U(Z)}{E(Z)} = \frac{5,819787586.Z - 5.805256281}{Z - 1} \quad (3.60)$$

E assim,

$$U(Z).(Z - 1) = E(Z).(5.819787586.Z - 5.805256281) \quad (3.61)$$

E também, da equação (3.61) , considerando-se o teorema do deslocamento, chega-se a seguinte equação a diferenças para o controlador de tensão no barramento CC:

$$u_v(k) = 5,819787586.e(k) - 5,805256281.e(k - 1) + u_v(k - 1) \quad (3.62)$$

3.10 – Conclusão

No presente capítulo foram sintetizados, analisados e projetados o sistema de comando e controle para o conversor proposto objeto desta dissertação.

Todos os elementos tais como sensores, filtros e conversores foram considerados para a obtenção das malhas de controle de corrente e de tensão globais.

Apresentou-se a técnica de projeto de controladores discretos no domínio “W”, que é similar à técnica convencional no domínio da frequência, e também foram analisados os efeitos das distorções provenientes das aproximações do método utilizado.

Por fim, foram projetados numericamente todos os controladores de corrente e de tensão que serão utilizados na etapa de implementação prática.

A análise do sistema em malha aberta não considerou os atrasos de amostragem e de atuação do conversor retificador, que muda seu estado nas chaves de potência à taxa da frequência de chaveamento, uma vez que estes atrasos são desprezíveis quando comparados ao tempo de atuação dos controladores, em especial o controlador de tensão que possui frequência de corte da ordem de dezenas de Hertz.

Salienta-se que, conforme já mencionado, os atrasos do sistema são relevantes quando a análise é realizada em malha fechada, e desta forma, estes serão considerados durante as simulações numéricas que serão realizadas no próximo capítulo.

4 – Simulação do Conversor Proposto

4.1 – Introdução

Uma vez definidas e determinadas as leis de controle do conversor, faz-se interessante realizar uma simulação de operação deste, a fim de se observar o funcionamento dinâmico e averiguar possíveis erros e ou elementos desconsiderados durante as etapas anteriores, e homologar os controladores projetados.

Desta forma, serão apresentados os resultados sob condições de operação nominais incluindo o comportamento do sistema durante os transitórios decorrentes do início e do término da regeneração de energia.

A simulação será realizada no software *Simulink*TM que é parte integrante do pacote *Matlab*TM, o qual foi escolhido em função das ferramentas observadas que podem ser utilizadas para a *eletrônica de potência* - em especial, o conjunto de blocos contido na guia “SimPowerBlock”, pela facilidade de trabalho, e também por ser bastante conhecido no meio científico.

4.2 – Diagramas de Blocos Para as Simulações

A partir dos diagramas ilustrados nas figuras *Figura 2-13*, *Figura 3-11* e *Figura 3-16* montaram-se os diagramas de blocos dos sistemas de potência e de controle que representam o conversor proposto.

Conforme pode ser observado na *Figura 4-1*, o sistema para a simulação de operação do conversor foi dividido em três partes distintas: *Planta de Potência*, *Planta de Controle* e *Gráficos*.

Desta forma, na *Planta de Potência* buscou-se destacar os elementos ou componentes de potência, na *Planta de Comando* buscou-se destacar os elementos ou leis de controle, e nos *Gráficos* buscou-se destacar as variáveis a serem medidas ou observadas durante a simulação.

que representam as indutâncias dos indutores de entrada e suas resistências, uma ponte universal de dois níveis à *IGBT*'s e diodos de roda-livre, que representam as chaves de potência, o capacitor de saída, e a carga a ser alimentada, representada por uma resistência que drene a potência nominal do conversor.

Além do mencionado, o diagrama de potência apresenta as conexões das medições a serem realizadas, tensões e correntes de entrada e tensão no barramento *CC*, e também um bloco denominado “regd” que tem a função de emular uma regeneração de energia durante um período pré-determinado.

4.2.2 – Sensores e Medições

A *Figura 4-3* ilustra a representação dos sensores de tensão e corrente, além dos ganhos, ajustes, conversões, eliminação de níveis *DC*, e transformações de coordenadas de “abc” para “dq0”. Teve-se como objetivo aproximar a simulação do real funcionamento do *DSP* a ser utilizado durante a implementação prática. Desta forma, utilizaram-se blocos de saturação que limitam os sinais de entrada de 0 a 3V, e também conversores com a escala de bits apropriada, além da utilização do bloco *ZOH* que representa o *amostrador de ordem zero*.

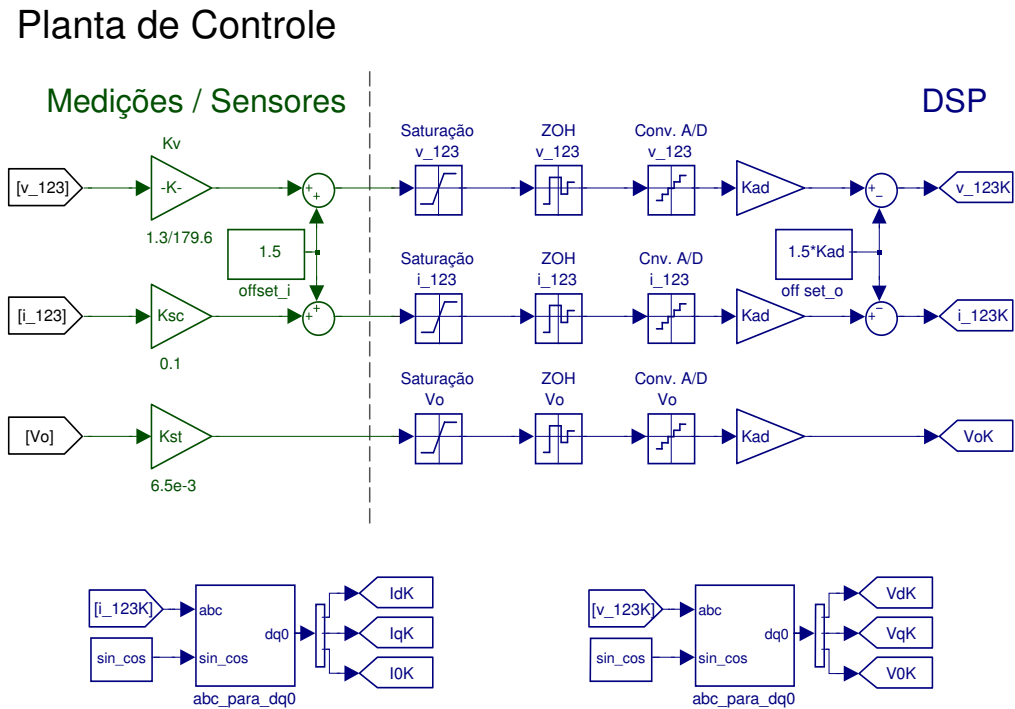


Figura 4-3 – Planta de Controle – Medições / Sensores

4.2.3 – Planta de Controle

A *Figura 4-4* ilustra o diagrama de controle propriamente dito, onde as leis e equações que determinam o funcionamento do conversor foram implementadas.

Planta de Controle

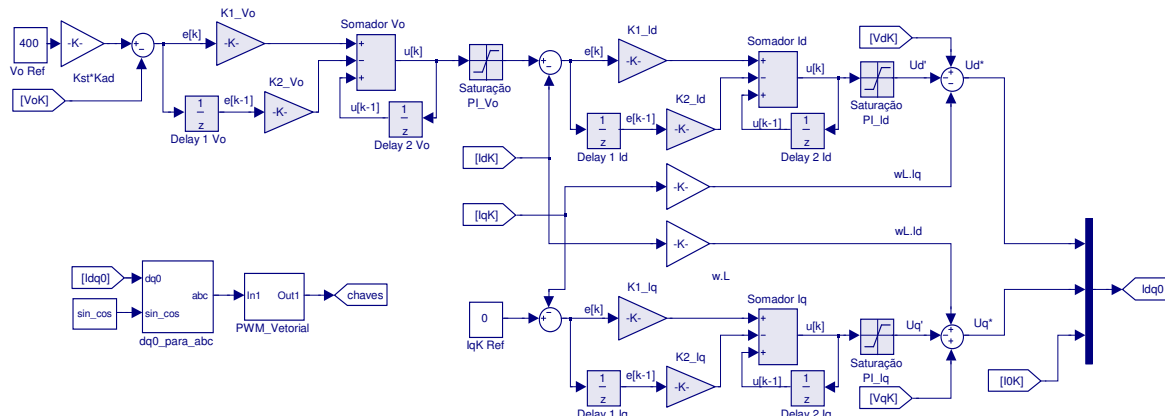


Figura 4-4 – Planta de Controle – Malhas de Controle de Tensão e Corrente, e Sinais de Comando

Para os IGBTs

A planta de controle é composta basicamente por controladores PI 's (implementados no formato de equações a diferenças), somadores, diferenciadores, limitadores, amplificadores, bloco de transformação e coordenadas de “dq0” para “abc” (num referencial síncrono), gerador de referências pseudo-vetorial, e um bloco de geração de sinais PWM .

O valor desejado para o barramento CC serve como referência inicial do controle. A diferença entre a tensão desejada e a medida é submetida a um controlador PI , que resulta em sua saída a referência de corrente de eixo “d”. A diferença entre essa corrente de referência e a medida é aplicada então a outro controlador PI , que fornece como resultado a referência de tensão de eixo “d” (U_d').

De forma semelhante, desejando-se que a corrente de eixo “q” seja igual a zero, aplica-se a diferença entre zero e a corrente de eixo “q” medida, à outro controlador *PI*, que resulta em sua saída uma referencia de tensão de eixo “q” (U_q).

A partir das referências de tensões de eixos “d” e “q” obtidas, e também com base nas correntes I_d e I_q medidas, realiza-se o artifício do desacoplamento das equações ou malhas de controle de eixo “d” e “q”. Por fim, chegam-se aos parâmetros U_d^* e U_q^* que

servem de subsídio para o bloco de geração de *PWM*, o qual fornecerá, em sua saída, os sinais de chaveamento para os *IGBT's*.

As *Figura 4-5* e *Figura 4-6* ilustram a geração de referências pseudo-vetorial e a geração dos sinais *PWM*, respectivamente. A fim de simplificar a simulação, aproximou-se a técnica de *PWM* vetorial a um comparador triangular com injeção de seqüência zero. Mesmo existindo diferenças óbvias entre ambos os métodos, para fins de análise da simulação tal aproximação mostrou-se aceitável.

Planta de Controle

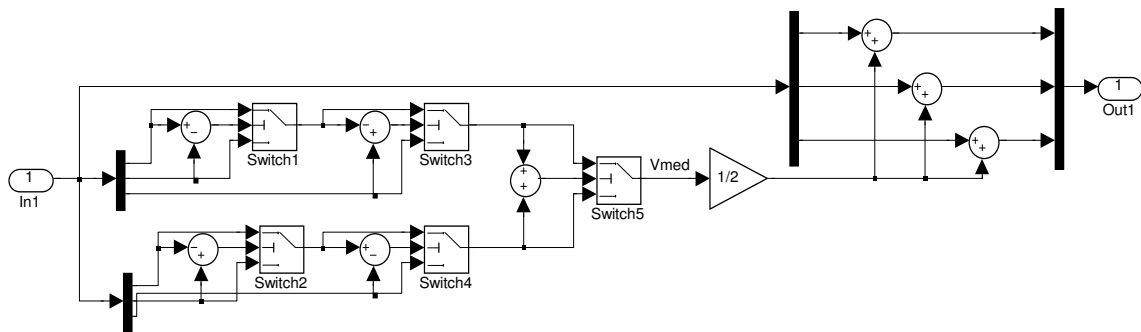


Figura 4-5 – Planta de Controle – Emulação de Referências Vetoriais (Injeção de Seqüência Zero)

Planta de Controle

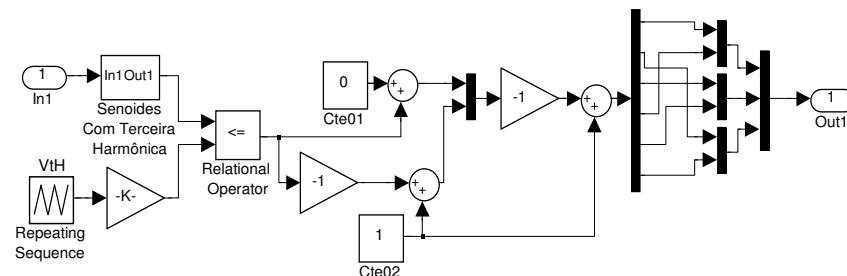


Figura 4-6 – Planta de Controle – Comparador Triangular

4.2.4 – Resultados da Simulação

Os resultados da simulação do conversor foram agrupados na forma de figuras para facilitar a observação dos resultados.

Assim, a *Figura 4-7* ilustra o comportamento da tensão no barramento *CC*. Conforme pode ser observado, a tensão atinge rapidamente a referência de tensão (400V). Em $t=0,15s$ é emulada uma regeneração abrupta de energia, de forma que a corrente nominal do conversor seja invertida. Isto faz com que a tensão sofra uma pequena elevação. Contudo, o controlador de tensão percebe o erro entre o sinal medido e o de

referência e atua rapidamente, o que faz com que a tensão no barramento torne ao valor de referência. De mesma forma, em $t=0,40s$ emulou-se um retorno abrupto de carga onde novamente o controle atuou rapidamente.

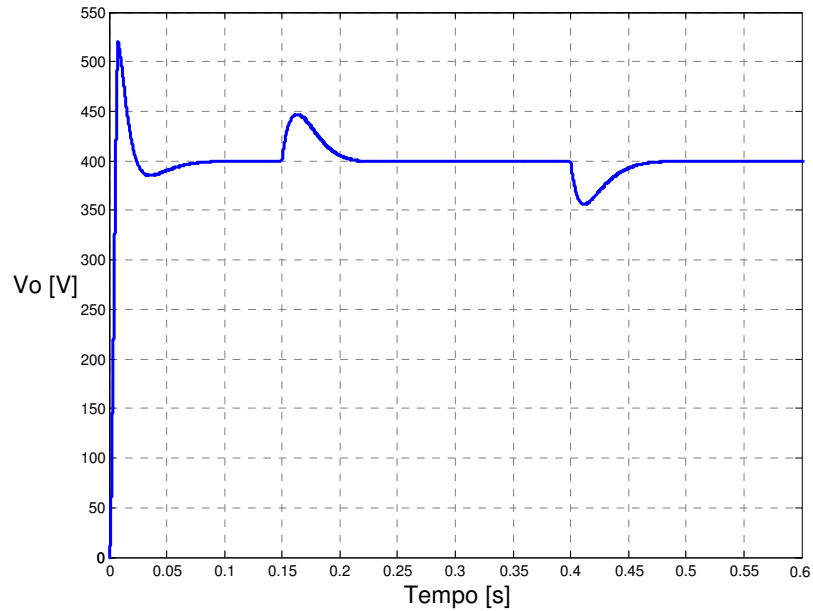


Figura 4-7 – Tensão no Barramento CC

A *Figura 4-8* mostra a tensão do barramento CC em maior perspectiva. Nota-se que, mesmo numa regeneração abrupta de 100% de energia, a sobre-elevação de tensão não ultrapassa os 450V. Isto equivale a um erro máximo de 12,5%.

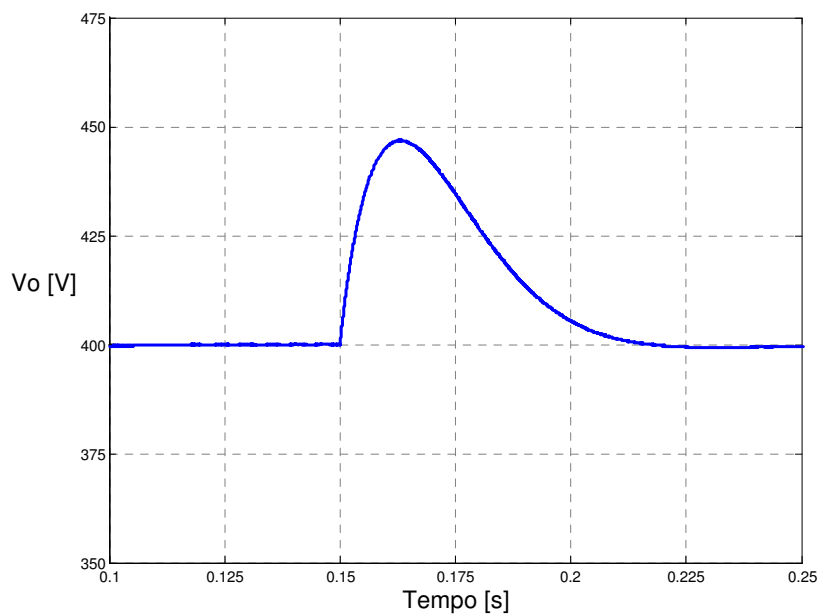


Figura 4-8 – Tensão no Barramento CC – Maior Perspectiva

A *Figura 4-9* ilustra uma pequena ondulação verificada na tensão do barramento CC. Isto se deve ao fato de que a energia não é entregue de forma contínua. Para a topologia em questão pode-se considerar que ela é entregue na forma de pacotes numa frequência de 120Hz, pois a corrente está em fase com a respectiva tensão. No caso de retificadores trifásicos a diodos comuns, onde acontecem dois pulsos de corrente a cada semi-ciclo da rede, os pacotes de energia ocorrem numa frequência de 360Hz. O valor da ondulação também é reduzido porque o capacitor de saída C_o possui um valor consideravelmente elevado (1500uF).

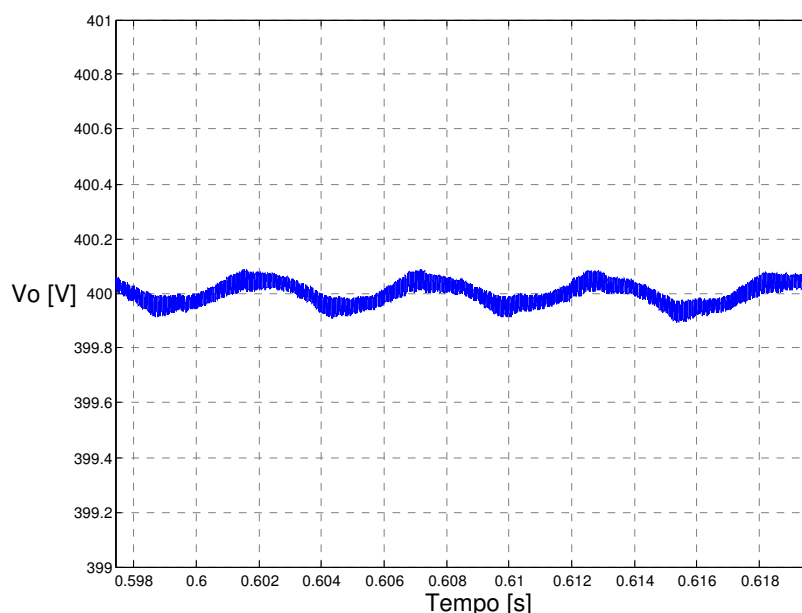


Figura 4-9 – Tensão no Barramento CC – Ilustração da Ondulação de 120Hz

A *Figura 4-10* mostra a tensão e a corrente em uma das três linhas de entrada do conversor. Percebe-se que a corrente está em fase com a tensão numa ondulação senoidal. Isto significa que, desconsiderando a *taxa de distorção harmônica (THD)* do sinal de corrente, o fator de potência é unitário.

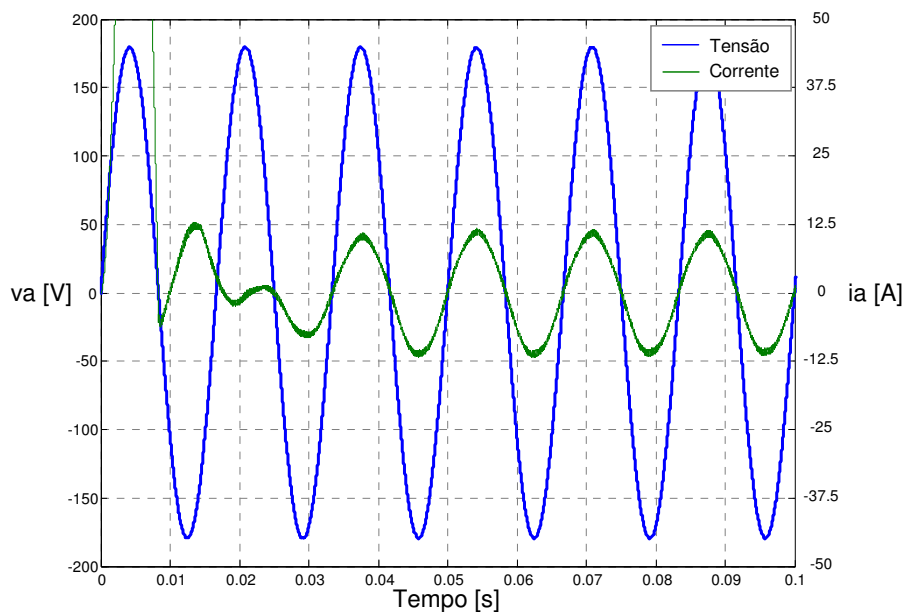


Figura 4-10 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor

As figuras *Figura 4-11* e *Figura 4-12* ilustram a tensão e a corrente em uma das linhas de entrada do conversor, detalhando a reversão de corrente e energia.

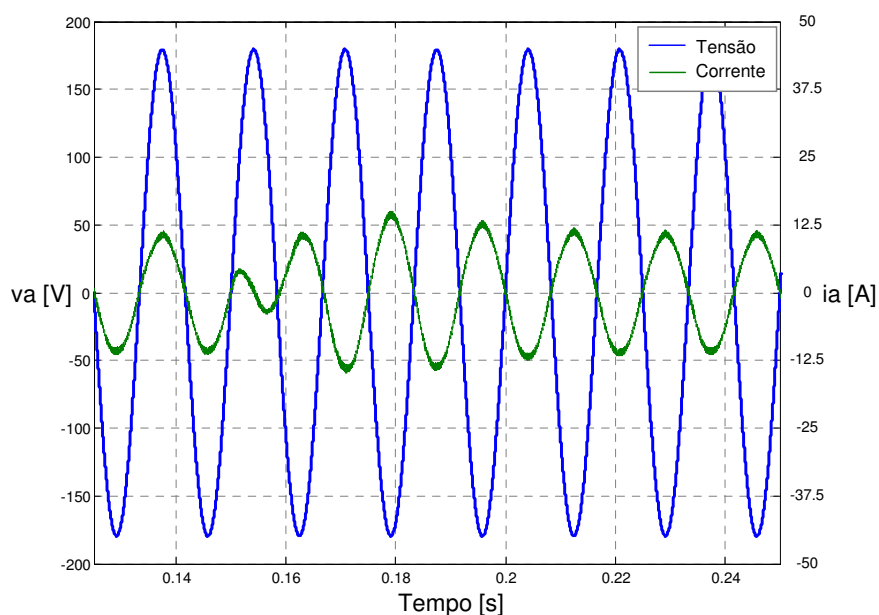


Figura 4-11 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe da Reversão de Corrente

Conforme pode ser observado, percebe-se que em $T=0,15s$ inicia-se a regeneração de energia. A partir deste instante o controlador de tensão fornece para o controlador de corrente de eixo “d” uma referência de corrente defasada de 180° . Como a referência do

controlador de corrente de eixo “q” é nula, tem-se que as correntes na entrada do conversor também apresentam a defasagem de 180° com relação as tensões de fase relacionadas.

De forma semelhante, em $t=0,40s$ emulou-se um retorno abrupto de carga onde novamente o controle atuou rapidamente e a corrente voltou a ficar em fase com a respectiva tensão.

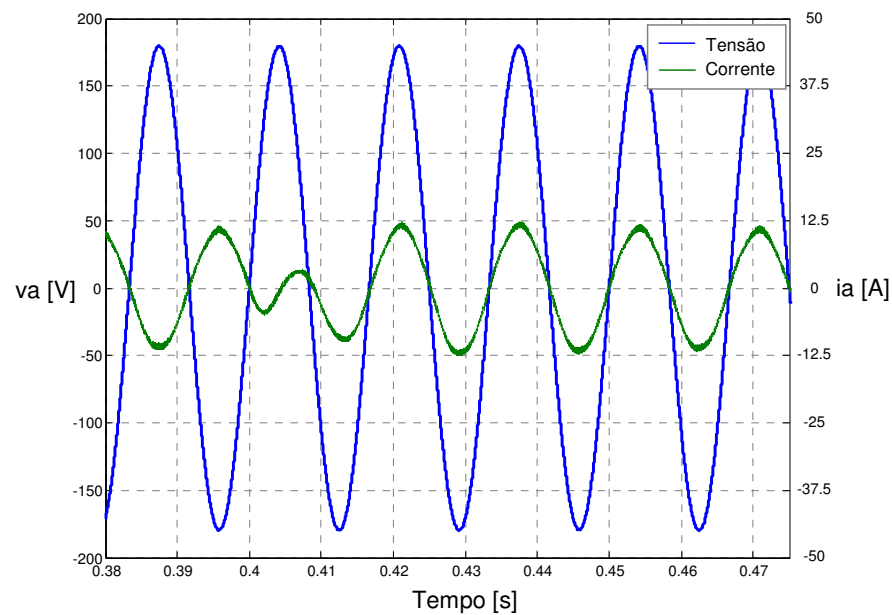


Figura 4-12 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe do Retorno Em Carga

A *Figura 4-13* ilustra um ciclo da corrente de entrada e a *Figura 4-14* mostra seu ripple de chaveamento o qual apresentou valor em torno de $\pm 10\%$ conforme segue:

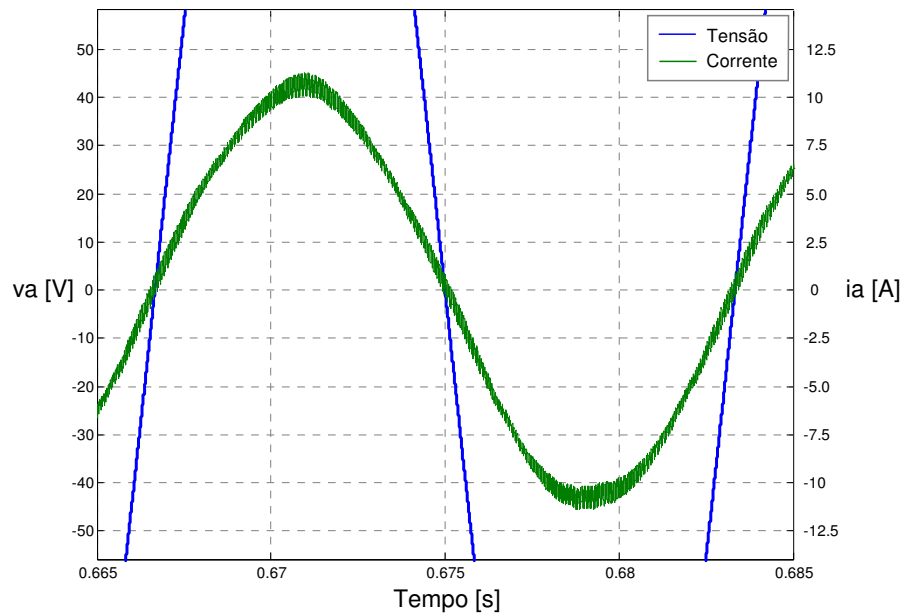


Figura 4-13 – Tensão e Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe em Maior Perspectiva

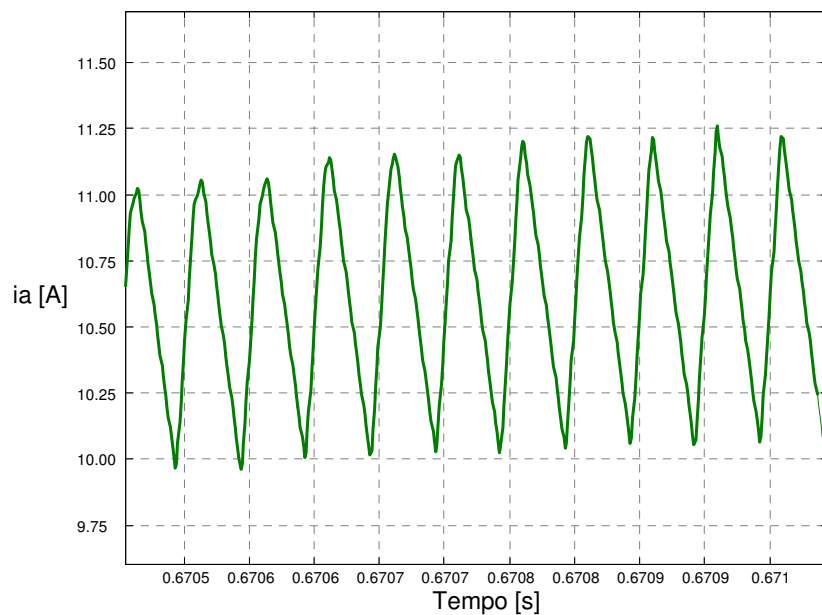


Figura 4-14 – Corrente em Uma Das Linhas de Entrada do Conversor – Detalhe do Ripple de Chaveamento: +-10%

A Figura 4-15 mostra o comportamento das correntes de eixo “d”, “q” e “0” durante o intervalo de simulação de $T=0$ a $T=0,55s$. Conforme o esperado, percebe-se que em $T=15s$ inicia-se a regeneração de energia e a corrente de eixo “d” inverte seu valor, fazendo com que as correntes na entrada do conversor apresentem defasagem de 180° em relação as suas respectivas tensões de fase.

Observou-se que durante o transitório da reversão a corrente de eixo “q” apresentou um pequeno desvio da referência zero, porém logo recuperou seu valor não afetando nas defasagens das correntes de entrada, uma vez que a recuperação ocorreu em menos de meio ciclo das senoides da rede. Percebe-se que as malhas de desacoplamento atuaram de forma correta, pois a variação na corrente de eixo direto alterou muito pouco a corrente de eixo em quadratura.

De forma semelhante, em $T=40s$ simulou-se o retorno em carga e novamente o controle atuou de forma eficiente.

A corrente de eixo “0” permaneceu constantemente nula, indicando que não houveram componentes de sequência zero no sistema.

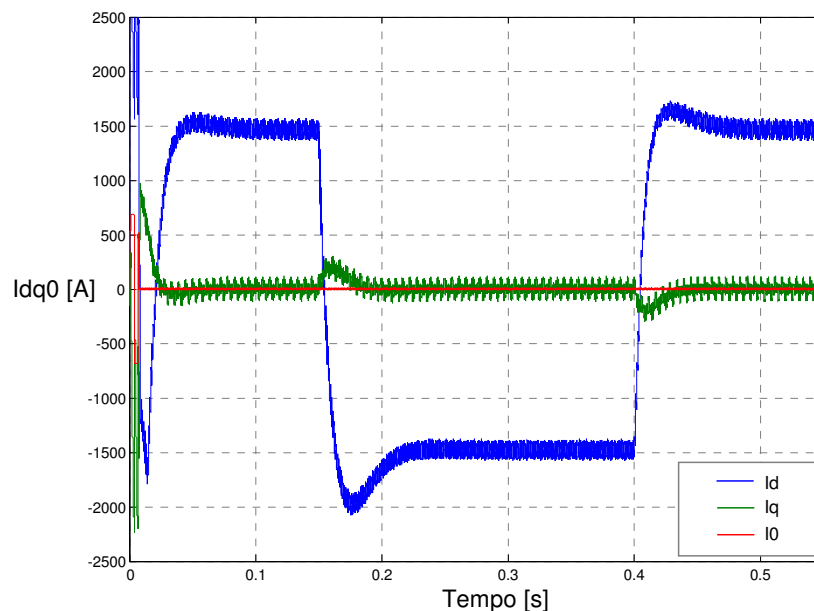


Figura 4-15 – Correntes I_d , I_q e I_0 Medidas

De forma semelhante, a *Figura 4-16* ilustra o comportamento das tensões de eixos “d”, “q” e “0”. O fato da tensão “ V_d ” apresentar valor constante diferente de zero, e as demais tensões “ V_q ” e “ V_0 ” apresentarem valores nulos, indica que o alinhamento do vetor tensão de eixo direto ocorreu de forma correta, conforme o esperado.

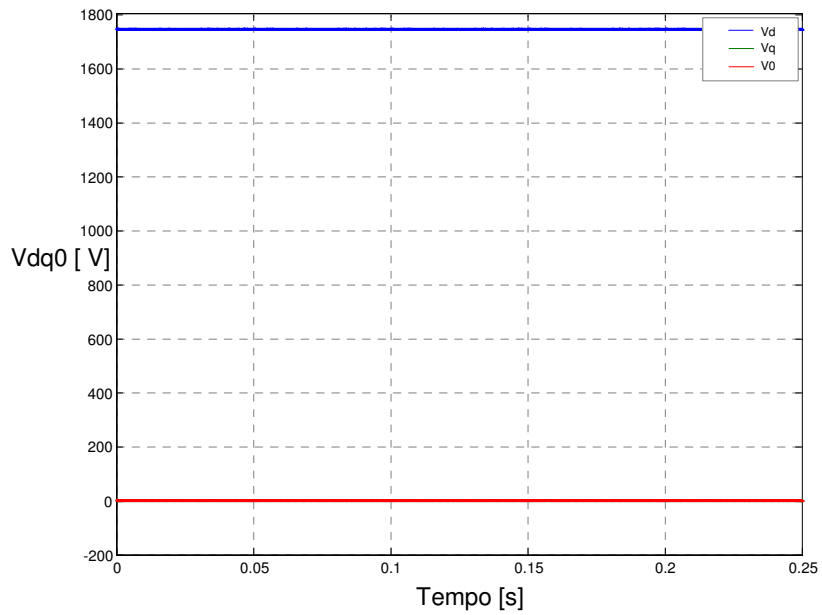


Figura 4-16 – Tensões V_d , V_q e V_0 Medidas

As Figura 4-17 e Figura 4-18 mostram o comportamento da corrente na entrada do barramento CC, conforme segue:

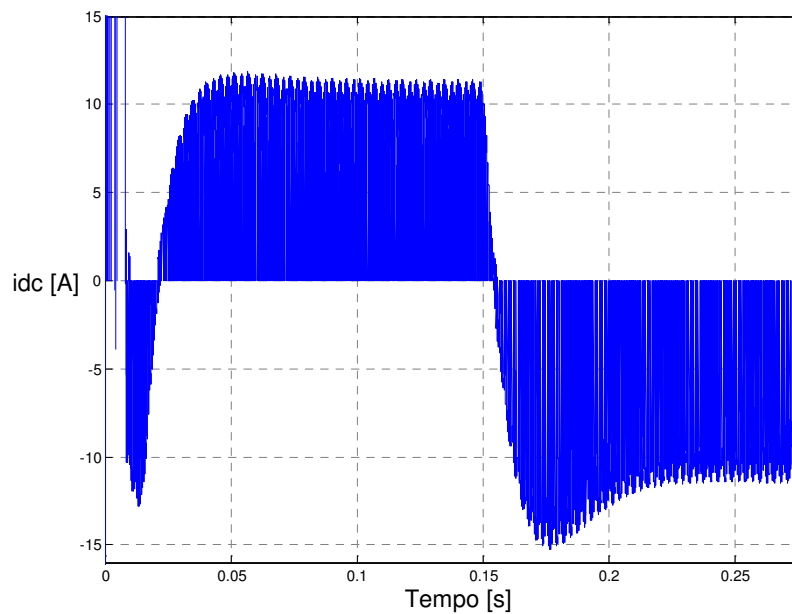


Figura 4-17 – Corrente na Entrada do Barramento CC

Conforme já comentado, a energia que sai da rede de alimentação de energia e vai para a carga do conversor é entregue em pacotes discretos. Tal fato fica evidenciado na Figura 4-18, onde percebe-se a ondulação da corrente na entrada do barramento CC com uma envoltória de frequência de 120Hz.

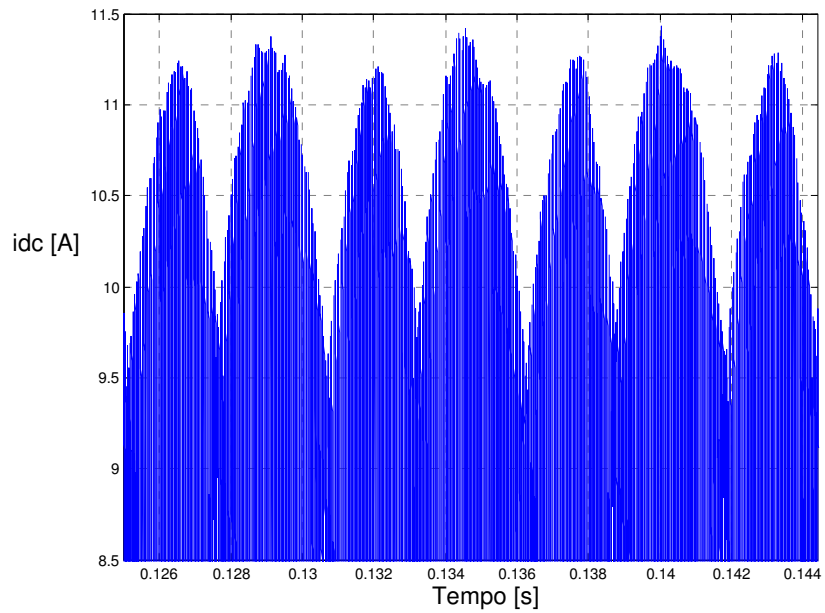


Figura 4-18 – Corrente na Entrada do Barramento CC – Maior Perspectiva

De forma semelhante, as figuras *Figura 4-19* e *Figura 4-20* apresentam o comportamento da corrente no capacitor de saída C_o .

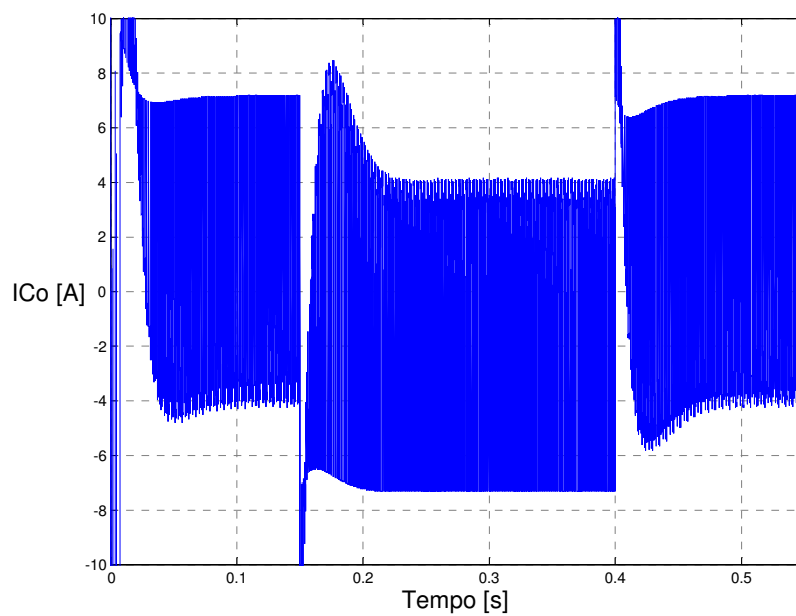


Figura 4-19 – Corrente no Capacitor de Saída C_o

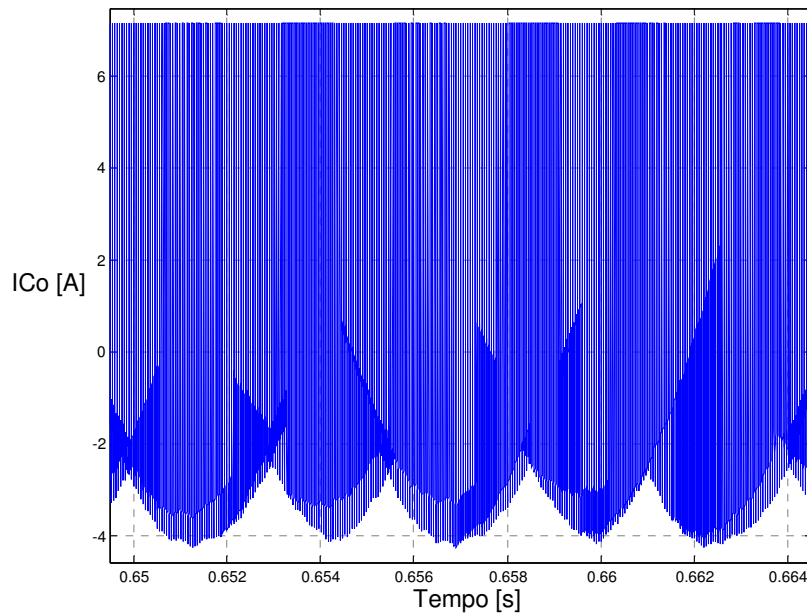


Figura 4-20 – Corrente no Capacitor de Saída C_o – Maior Perspectiva

A *Figura 4-21* ilustra a corrente na carga R_o . Sendo a carga puramente resistiva, a corrente que circula por R_o é um espelho da tensão no barramento CC , porém em menor proporção. Percebe-se que se utilizou uma carga que exigiu uma potência um pouco acima da nominal do conversor (2857W). Isto se deve ao fato de que será utilizado um banco de $56\Omega/4kW$ durante a fase de implementação prática, de maneira que tal simulação tornou-se interessante.

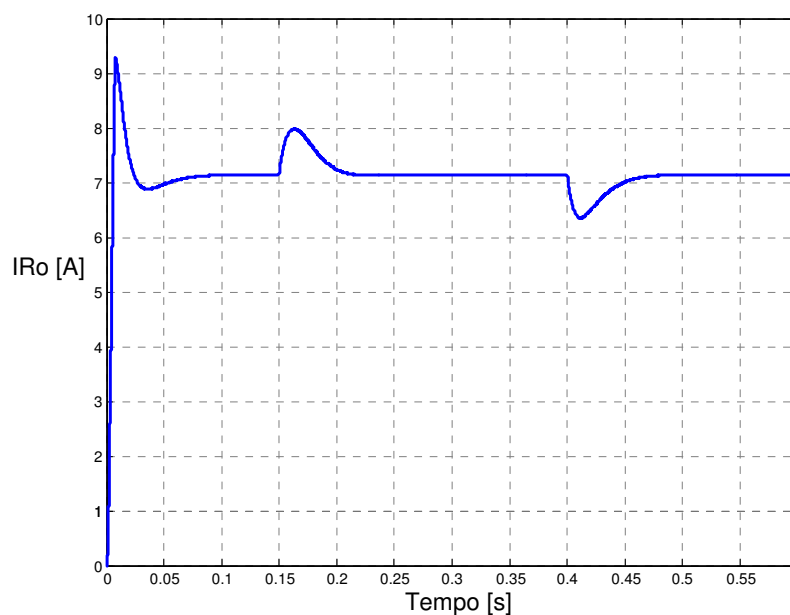


Figura 4-21 – Corrente na Carga R_o

Na *Figura 4-22* são apresentados os sinais de tensão e de corrente em um dos *IGBTs* do conjunto de chaves dos braços do conversor, no qual, conforme já mencionado, foi utilizado uma topologia a dois níveis. Conforme pode ser observado, a tensão varia de 0V a 400V, e a envoltória da corrente apresenta comportamento senoidal.

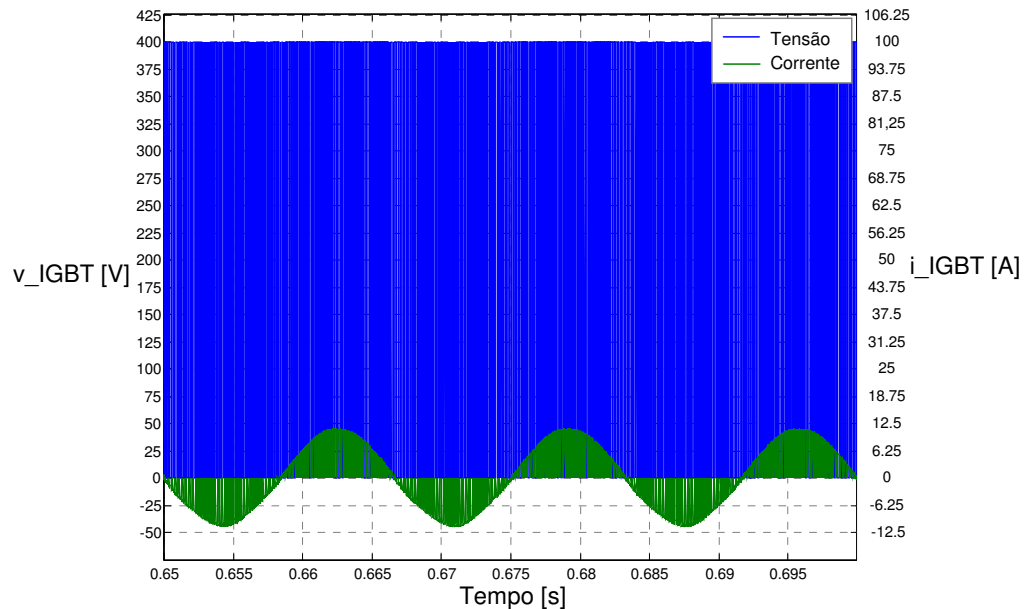


Figura 4-22 – Tensão e Corrente em Um dos IGBTs

A *Figura 4-23* apresenta o comportamento da tensão e da corrente em um dos indutores de entrada do conversor.

As tensões aplicadas aos indutores de entrada do conversor são resultados dos chaveamento dos *IGBTs*, da tensão no barramento *CC*, e dos valores instantâneos das senoides da rede de alimentação. O chaveamento dos *IGBTs* é realizado de forma a se obter correntes senoidais e fator de potência unitário.

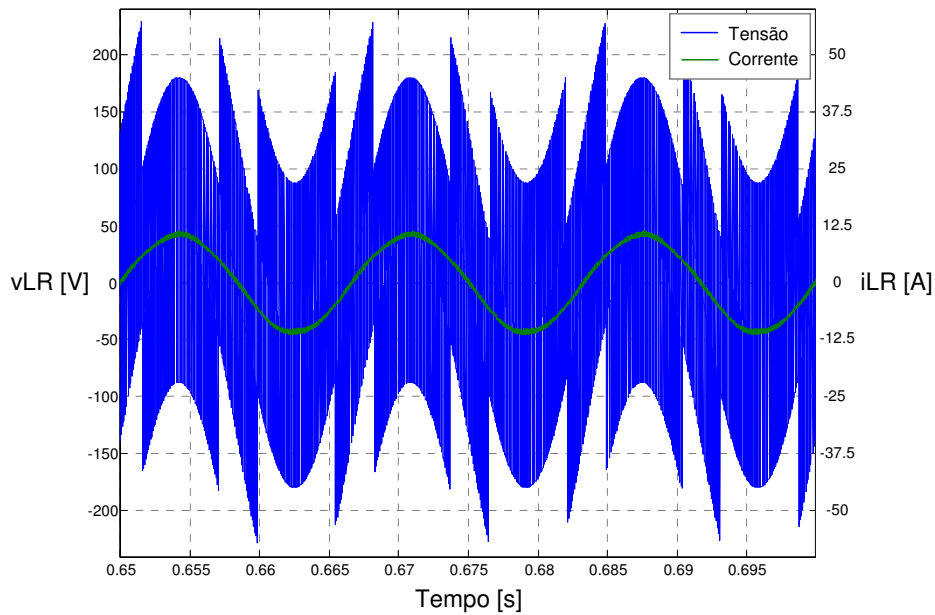


Figura 4-23 – Tensão e Corrente no Conjunto “R+L” de Uma Das Fases

Nas Figura 4-24, Figura 4-25 e Figura 4-26 são apresentados os erros entre os sinais de referência e os medidos, e os sinais de saída dos controladores de tensão e de corrente do conversor, respectivamente.

Na Figura 4-24, “ V_{o_ref} ” representa a tensão de referência (tensão desejada), “ V_o ” representa a tensão medida, “ $Erro$ ” representa o sinal de erro entre o valor medido “ V_o ” e o valor de referência “ V_{o_ref} ”, e “ $Atuação$ ” representa o sinal de saída do controlador de tensão para o barramento CC.

Na Figura 4-25, “ I_{d_ref} ” representa a corrente de eixo direto de referência (corrente desejada), “ I_d ” representa a corrente medida (após transformação), “ $Erro$ ” representa o sinal de erro entre o valor medido “ I_d ” e o valor de referência “ I_{d_ref} ”, e “ $Atuação$ ” representa o sinal de saída do controlador de corrente de eixo direto.

Na Figura 4-26, “ I_{q_ref} ” representa a corrente de eixo em quadratura de referência (corrente desejada), “ I_q ” representa a corrente medida (após transformação), “ $Erro$ ” representa o sinal de erro entre o valor medido “ I_q ” e o valor de referência “ I_{q_ref} ”, e “ $Atuação$ ” representa o sinal de saída do controlador de corrente de eixo em quadratura.

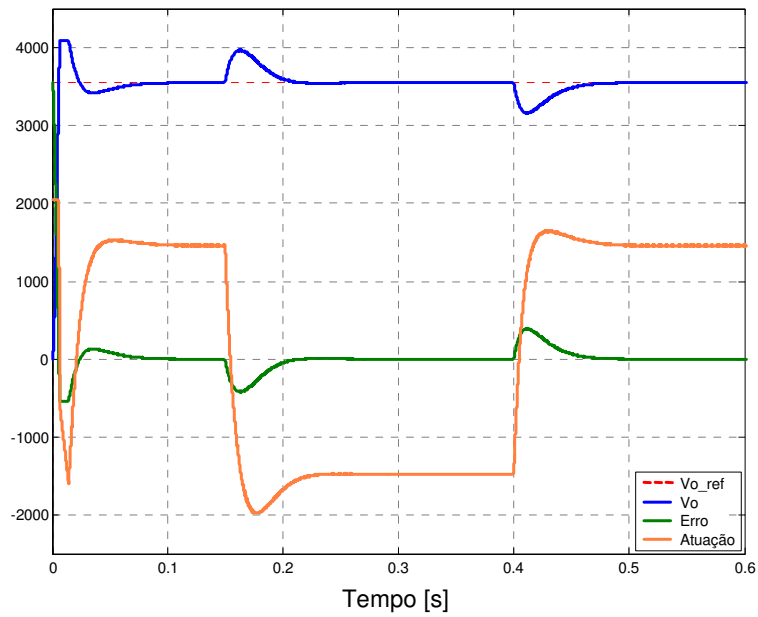


Figura 4-24 – Referência, Sinal Medido, Erro e Atuação do Controle de Tensão no Barramento
CC

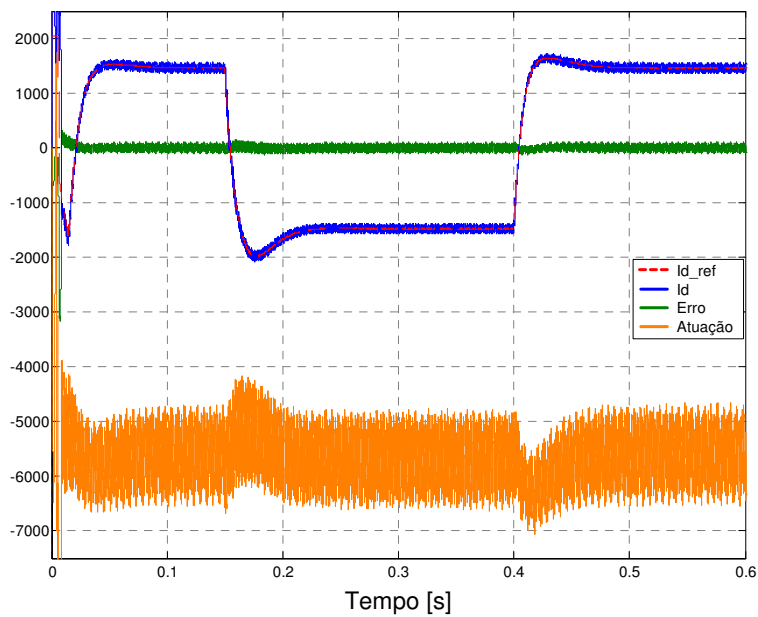


Figura 4-25 – Referência, Sinal Medido, Erro e Atuação do Controle de Corrente de Eixo Direto
“d”

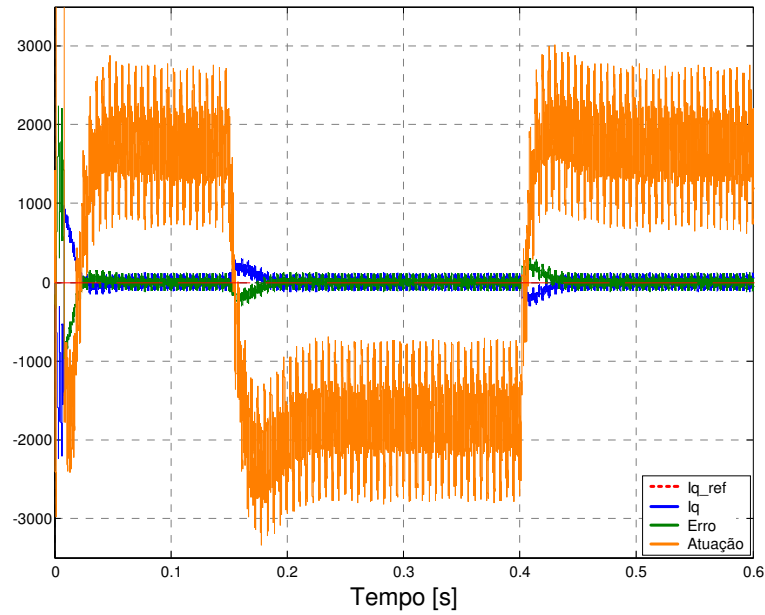


Figura 4-26 – Referência, Sinal Medido, Erro e Atuação do Controle de Corrente de Eixo em Quadratura “q”

A *Figura 4-27* esboça os sinais pseudo-vetoriais a serem aplicados ao comparador triangular, ilustrado na *Figura 4-6*. Esses sinais foram obtidos através da injeção de seqüência zero às referências senoidais do sistema de controle.

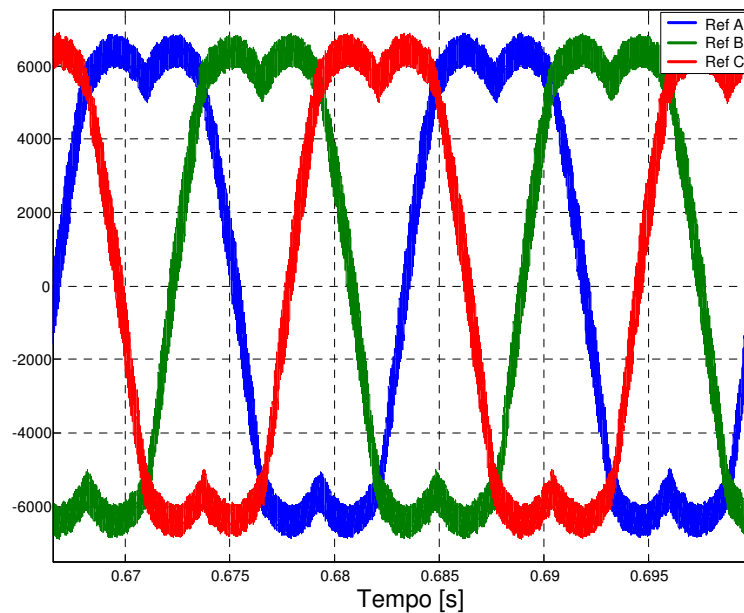


Figura 4-27 – Referências Pseudo-Vetoriais (Senoides Com Injeção de Seqüência Zero)

A título de comparação, a tabela abaixo ilustra os valores calculados e medidos via simulação para as correntes eficazes e médias nos principais componentes conforme segue:

Tabela 4.1 – Comparação Entre os Valores Calculados e Medidos Via Simulação

Componente	Grandeza	Valor Calculado	Resultado da Simulação
Capacitor	Corrente Eficaz	5,54A	5,15A
Diodo	Corrente Eficaz	2,95A	1,67A
	Corrente Média	1,09A	0,40A
IGBT	Corrente Eficaz	4,44A	4,96A
	Corrente Média	2,30A	2,70A

Como os valores encontrados durante a fase de especificação dos componentes foram calculados utilizando-se de ábacos, ocorreram pequenas diferenças entre os valores calculados e os verificados durante as simulações. Contudo, de uma forma geral, os valores encontrados validam a metodologia utilizada.

4.3 – Conclusão

Neste capítulo apresentou-se os procedimentos, os diagramas de blocos, as ferramentas, as considerações e os resultados obtidos das simulações do conversor proposto, objeto desta dissertação, realizadas no aplicativo *SimulinkTM*, que é parte integrante do pacote *MatlabTM*.

As principais informações de interesse verificadas foram resumidas na forma de gráficos.

Conforme pode ser observado, os resultados encontrados aferem as equações, resultados e conclusões apresentadas nos capítulos anteriores – em especial a determinação das malhas de tensão e de correntes, e os projetos dos controladores.

Na montagem dos diagramas para as simulações procurou-se abstrair o funcionamento do *DSP*, de sorte a antecipar e evidenciar possíveis problemas a serem observados durante a fase de implementação prática, que será realizada nas etapas futuras.

Por fim, salienta-se que os resultados obtidos através das simulações aprovam e

justificam os métodos e artifícios utilizados de forma a viabilizar a implementação do conversor.

5 – Estudo do DSP

5.1 – Introdução

Neste capítulo será apresentado, de forma sucinta, um resumo do processador digital de sinais (*DSP*) a ser utilizado durante a fase de implementação prática. Conforme já mencionado, pretende-se utilizar o *DSP TMS320F2812* e, desta forma, será realizada uma breve descrição desse componente.

5.1.1 – Processamento Digital Versus Processamento Analógico

O processamento digital de sinais possui um série de vantagens sobre o processamento analógico de sinais [18].

O *DSP* está apto a realizar tarefas ou aplicações que seriam muito difíceis ou impossíveis utilizando a eletrônica analógica. Exemplos dessas aplicações incluem síntese e reconhecimento de voz e *modem* de alta velocidade que utilizam codificação com correção de erros.

Como o processamento analógico de sinais utiliza componentes analógicos tais como resistores, capacitores e indutores, a inerente tolerância associada a esses componentes, mudanças de temperatura e de tensão, e vibrações mecânicas podem afetar drasticamente o funcionamento de circuitos analógicos.

Por outro lado, o processamento digital de sinais é inerentemente estável, confiável, flexível e repetível [10], e nas últimas décadas este campo cresceu tanto em teoria quanto em tecnologia [16].

5.2 – Descrição

Os *DSPs* da geração TMS320C28x, integrantes da plataforma TMS320C2000, são altamente integrados e de alta performance.

O C28x pode processar de forma muito eficiente códigos C/C++. Pode-se realizar operações matemáticas, que tipicamente são manipuladas por microcontroladores.

Sua eficiência dispensa a necessidade de um segundo processador em muitas aplicações.

A capacidade MaC 32 x 32bits e seus 64bits de processamento habilitam o o C28x a manipular, de forma eficiente, problemas de alta resolução numérica, que necessitariam, de

outra forma, de um processador de ponto flutuante mais expansivo. Somado a isso, a resposta rápida às interrupções, com salvamento automático de contexto dos registradores críticos, resultam em um dispositivo que é capaz de atender muitas chamadas assíncronas com mínima latência.

5.3 – TMS320F2812

5.3.1 – Resumo

Segue abaixo tabela que traz as principais informações do *TMS320F2812* de forma resumida:

Tabela 5.1 – Resumo TMS320F2812

<i>Ciclo de Instrução</i>	A duração de cada ciclo de instrução do TMS320F2812, em 150MHz, é de 6,67ns.
<i>Memória</i>	O tamanho da memória RAM de acesso único (SARAM), com 16 bits de <i>word</i> , interna ao chip, é de 18k.
	O tamanho da memória FLASH, com 16 bits de <i>word</i> , interna ao chip e que é gravada ou apagada com 3,3V, é de 128k.
	Não possui memória ROM interna ao chip.
	Possui código de segurança de 128 bits para as memórias SARAM, FLASH e OTP internas ao chip.
	Permite realizar boot com memória ROM.
	O tamanho da memória ROM OTP, com 16 bits de <i>word</i> , interna ao chip, de 1k.
<i>Gerenciadores de Eventos</i>	Permite interfaceamento com memórias externas.
	Possui 2 gerenciadores de eventos, EVA e EVB, compostos por: → 4 temporizadores de características gerais (GP); → 16 comparadores (CMP) ou PWMs → 6 / 2 canais para captura (CAP) ou para pulsos de encoder em quadratura (QEP).
<i>Conversores A/D</i>	Possui 16 canais de conversores A/D de 12 bits.
<i>Comunicação Serial</i>	Possui módulo de comunicação serial de 4 pinos para dispositivos periféricos (SPI).
	Possui 2 interfaces de comunicação serial (SCI), que utilizam os registradores SCI-A e SCI-B.
	Possui módulo com porta serial multicanal <i>bufferizada</i> (McBSP).
<i>Controlador de Rede</i>	Possui módulo controlador de área de rede (CAN), com taxa de dados de até 1Mbps.
<i>I/O Digitais</i>	Possui 56 pinos de I/O digitais compartilhadas.
<i>Interrupções externas</i>	Permite ativar interrupções externas através de 3 pinos distintos.
<i>Alimentação</i>	1,9V para o processador (em 150MHz), e 3,3V para as I/O.
<i>Temperatura de</i>	Pode trabalhar nas temperaturas de -40°C a 85°C, ou de -40°C a

trabalho	125°C, dependendo da especificação.
CPU de 32Bits	Possui CPU de alta performance de 32 bits, sendo as operações em 16x16 e 32x32 MAC, numa arquitetura de barramento HARWARD.
Controle de Clock e Sistema	Possui controle de CLOCK e SISTEMA, contemplando: → PLL dinâmico; → oscilador interno ao chip; → módulo de temporizador WATCHDOG.

5.3.2 – Diagrama de Blocos Esquemático do TMS320F2812

A Figura 5-1 ilustra, de forma simplificada, o diagrama de blocos esquemático do processador digital de sinais TMS320F2812, conforme segue:

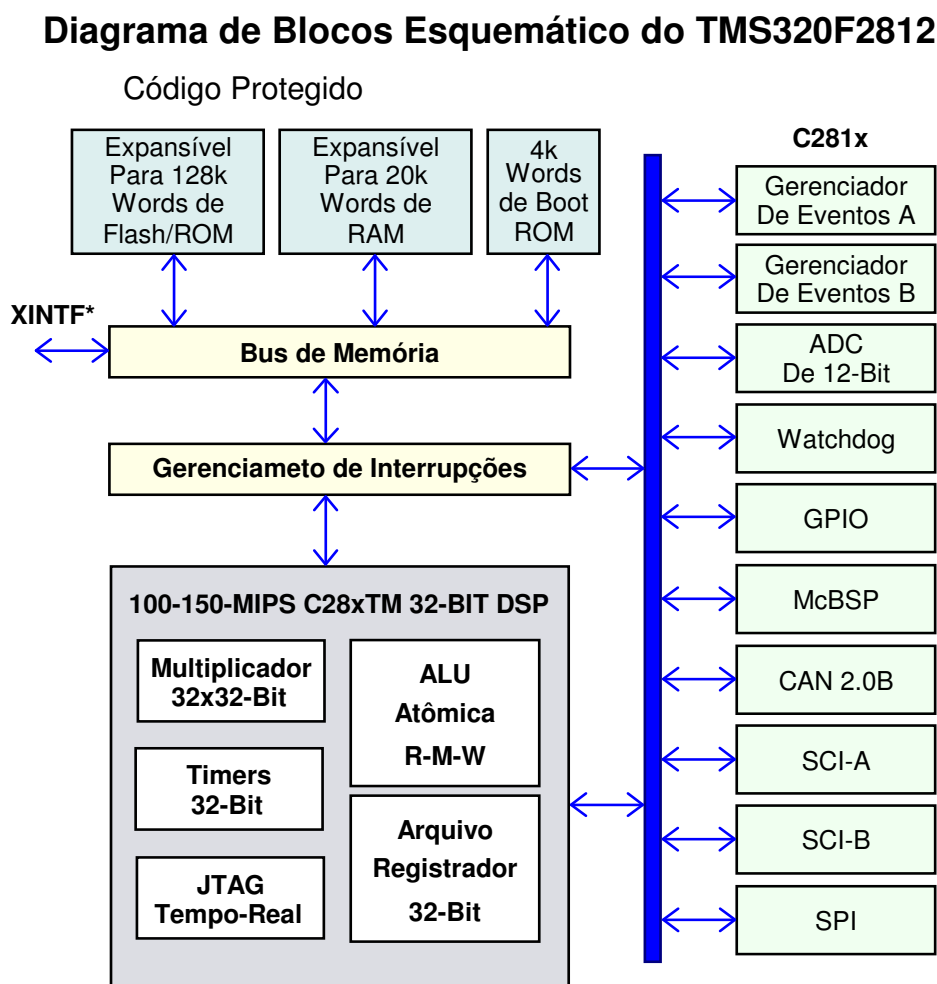


Figura 5-1 – Diagrama de Blocos Esquemático do TMS320F2812

5.3.3 – Informações Sobre os Sinais

Todas as entradas digitais são compatíveis com circuitos integrados (CI) *TTL*, mas não suportam níveis de sinais de 5V. Todas as saídas digitais são de 3,3V com níveis *CMOS*. Os pinos de I/O utilizam pull-up / pull-down de 100μA ou 20μA.

5.3.4 – CPU C28x

Os *DSP's* C28xTM fazem parte da plataforma TMS320C2000TM. O código fonte da geração C28x é compatível com o da geração C24x, ou seja, é possível realizar a migração desta última para a primeira.

Possui compilador C/C⁺⁺ muito eficiente, que possibilita o desenvolvimento de softwares em linguagem de alto nível. Pode realizar, de forma eficiente, tarefas matemáticas para a implementação de sistemas de controle, e devido a sua eficiência, em muitos desses sistemas elimina a necessidade de se utilizar um segundo processador, que de outra forma seria necessário.

Sua capacidade MAC32x32bits e seus 64bits de processamento habilitam o DSP a realizar tarefas de alta resolução numérica, que de outra forma demandariam um processador de ponto flutuante significativamente mais caro.

Também possui resposta rápida à interrupções, que salvam automaticamente os dados de registradores críticos, resultando em um dispositivo que é capaz de atender, com latência mínima, muitos eventos discretos assíncronos.

Possui *pipeline* de 8 níveis de profundidade protegido com acesso de memória *pipelined* que habilita o *DSP* a trabalhar em alta velocidade sem a necessidade de se utilizar memórias de alta performance, que são mais caras.

O hardware especial *branch-look-ahead* minimiza a latência para descontinuidades condicionais – operações de armazenamento condicional aumentam a performance do dispositivo.

5.3.5 – Barramento de Memória (Arquitetura Harvard)

Como em muitos outros *DSPs*, múltiplos barramentos são utilizados para mover dados entre memórias, dispositivos periféricos e a CPU. A família C28x utiliza uma arquitetura que contempla barramento de leitura de programa, de leitura de dados, e de escrita de dados. O barramento de leitura de programa é composto por 22 linhas de

endereços e 32 linhas de dados. Os barramentos de leitura e escrita de dados consistem de 32 linhas de endereços e 32 linhas de dados cada.

A arquitetura de barramento múltiplo, comumente chamada de *Barramento Harvard*, é capaz de realizar uma instrução de busca, de leitura ou de escrita de valor de dado em um único ciclo.

Todos os dispositivos periféricos e outras memórias conectadas ao barramento de memória terão acesso de forma priorizada. Em sua forma básica, a prioridade do acesso pode ser resumida conforme segue:

Tabela 5.2 – Divisão da Prioridade de Acesso

↑ ↓ Menor Prioridade	Escrita de dados *
	Escrita de programa *
	Leitura de dados
	Leitura de programa **
	Busca **
Obs.: * Não podem ocorrer escritas de dados e de programa simultaneamente. ** Não podem ocorrer leitura de programa e busca simultaneamente.	

5.3.6 – Barramento Para Dispositivos Periféricos

Para possibilitar a migração de dispositivos periféricos entre varias famílias de *DSPs* da *Texas InstrumentsTM* (TI), a geração F281x ou C281x adotam um barramento padrão para dispositivos periféricos interconectados.

O barramento padrão é multiplexador de vários outros barramentos que transformam esse barramento de memória em um único barramento de 16 linhas de endereço e 16 ou 32 linhas de dados e sinais de controle associados.

5.3.7 – JTAG de Tempo Real e Análise

A geração F281x ou C281x possuem implementada uma interface JTAG de acordo com o padrão IEEE 1149.1.

Adicionalmente, suportam modo de operação *real-time*, por meio do qual os conteúdos de memórias, de dispositivos periféricos e de registradores podem ser modificados enquanto o processador esta rodando, executando códigos, e atendendo

interrupções. O modo *real-time* é implementado internamente à CPU, onde não é necessário software monitor.

O usuário pode também realizar análise em passo único (passo a passo), em tempo não real, para verificar códigos críticos sem interferência, enquanto habilita interrupções para serem atendidas. Pode ainda configurar pontos de parada por hardware, dados ou endereços, ou então por tempos pré-determinados.

5.3.8 – Interface Externa (XINTF)

Essa interface assíncrona consiste de 19 linhas de endereços, 16 linhas de dados, e 03 linhas para seleção de componente (*chip-select*). As linhas para seleção de componente são mapeadas para cinco zonas externas: zona 0, 1, 2, 6 e 7. As zonas 0 e 1 compartilham um único *chip-select*, e de mesma forma, as zonas 6 e 7 também compartilham um único *chip-select*.

Cada uma das cinco zonas pode ser programada com um número diferente de estados de espera, configuração particular do sinal de *strobe* e tempo de retenção distinto. Além disso, cada zona pode ser programada para estender os estados de espera externamente ou não. Os estados de espera ajustáveis, seleção de componente e tempo de *strobe* programável podem ser estendidos para memórias externas e periféricos.

5.3.9 – Memória Flash (Somente Para a Linha F281x)

A geração F2812 possui 128k x 16bits de memória flash, segregados em quatro setores de 8k x 16bits, e seis setores de 16k x 16bits. Além disso, também possui 1k x 16bits de memória OTP (faixa de endereço 0x3D 7800 – 0x3D 7BFF).

O usuário pode individualmente apagar, programar e validar um setor de memória flash enquanto deixa outros setores intactos. Contudo, não é possível usar um setor de memória, flash ou OTP, para executar algoritmos que apaguem ou programem outros setores.

Uma configuração de ligações e conexões especiais habilita o módulo de memória flash à atingir uma performance elevada.

Ambas as memórias, flash e OTP, estão mapeadas tanto para espaço de programa quanto para espaço de dados. Desta forma, elas podem ser utilizadas tanto para executar código de programa, quanto para armazenar informações de dados.

Pode-se especificar o DSP para que este seja fornecido com memória ROM ao invés da memória flash. Para tal, deve-se substituir a letra “F” por “C” (exemplo.: TMS320C2812).

5.3.10 – Memórias SARAM M0 e M1

Todos os dispositivos C28x possuem dois blocos de acesso único de memória, denominados de M0 e M1, cada um com 1k x 16bits de tamanho. O apontador de pilha (stack pointer) aponta para o início do bloco M1 quando o processador é reiniciado. O bloco M0 sobrepõe os blocos B0, B1 e B2 dos dispositivos da série 240x, e por isso, o mapeamento das variáveis de dados desses dispositivos podem estar no mesmo endereço físico.

Os blocos M0 e M1, como todos os outros blocos de memória dos dispositivos da série C28x, são mapeados tanto para espaços de programa quanto para espaços de dados. Desta forma, também nestes, é possível executar código de programa ou armazenar variáveis de dados. O particionamento é realizado com o “linker”.

Para o programador, o mapa de memória apresenta-se unificado. Isto possibilita realizar programação em linguagem de alto nível.

5.3.11 – Memórias SARAM L0, L e H0

Os dispositivos das linhas F281x e C281x possuem 16k x 16bits adicionais de memória RAM de acesso único, divididos em 3 blocos: 4k + 4k + 8k. Cada bloco pode ser independentemente acessado e, desta forma, o congestionamento do “pipeline” é reduzido. Novamente, cada bloco é mapeado tanto para espaço de programa quanto para espaço de dados.

5.3.12 – Boot pela ROM

Todos os dispositivos saem de fábrica com um *software de boot* carregado na ROM, denominado de “boot ROM”.

O programa “boot ROM” é executado após o dispositivo reiniciar. Ele verifica vários pinos GPIO para determinar qual modo de boot deve ser inicializado. Por exemplo, o usuário pode selecionar um código pronto para executar na memória flash interna, ou então realizar o download de um novo software para a RAM interna através de uma das muitas portas seriais.

Também existem outras formas e maneiras de se realizar o boot. O “boot ROM” também pode acessar tabelas de informações, tal como tabelas de *seno* e *co-seno*, para uso em algoritmos matemáticos.

A Tabela 5.3 mostra em detalhes como vários tipos de boot pode ser selecionados e realizados conforme segue:

Tabela 5.3 – Seleção do Modo de Boot

	GPIOF4 (SCITXDA)	GPIOF12 (MDXA)	GPIOF3 (SPISTEA)	GPIOF2 (SPICLK)
Modo selecionado	PU	NPU	NPU	NPU
Desvio para o endereço Flash / ROM 0x3F 7FF6 (Uma instrução de desvio precisa ter sido programada previamente para reiniciar e redirecionar a execução do código de acordo com o desejado)	1	x	x	x
Chamada “SPI Boot” para carregar de uma serial “SPI EEPROM” externa	0	1	x	x
Chamada “SCI Boot” para carregar da “SCI-A”	0	0	1	1
Desvio para o endereço H0 SARAM 0x3F 8000	0	0	1	0
Desvio para o endereço OTP 0x3D 7800	0	0	0	1
Chamada “Parallel Boot” para carregar da “GPIO Port B”	0	0	0	0
PU = pino possui “Pull Up” interno NPU = pino não possui “Pull Up” interno				

5.3.13 – Segurança

Os DSPs das linhas F281x e C281x suportam níveis elevados de segurança para proteger o “firmware” de cópia por engenharia reversa, pois possuem uma senha de segurança de 128 bits. Um módulo de segurança de código (CSM) é utilizado para proteger as memórias flash / ROM / OTP, e os blocos SARAM L0 e L1.

As características de segurança previnem que usuários não autorizados examinem os conteúdos das memória através da porta JTAG, executando códigos de memórias externas, ou tentando carregar algum software de boot indesejável, que poderia exportar o conteúdo da memória de segurança.

Para habilitar o acesso aos blocos de segurança, o usuário precisa escrever a chave de 128 bits, que é comparada com o valor da chave correta armazenada na flash / ROM.

5.3.14 – Bloco de Expansão de Interrupções Periféricas (PIE)

O bloco de expansão de interrupções periféricas (PIE) fornece para o multiplexador de interrupções várias fontes de interrupções em um pequeno conjunto de entradas.

No F281x e no C281x, 45 das 96 interrupções possíveis são utilizadas por periféricos. As 96 interrupções são agrupadas em blocos de 8, e cada grupo é alimentado por 01 das 12 linhas de interrupções da CPU (INT1 até INT12). Cada uma das 96 interrupções é auxiliada pelo seu próprio vetor armazenado em um bloco de memória RAM dedicado, que pode ser sobre-escrito pelo usuário. Cada vetor é automaticamente acessado pela CPU no atendimento das interrupções. São necessários 8 ciclos do clock da CPU para acessar cada vetor e salvar registradores críticos. Desta forma, a CPU pode rapidamente responder aos eventos de interrupções.

A prioridade das interrupções é controlada por hardware e por software. Cada interrupção individual pode ser habilitada ou desabilitada com o bloco PIE.

5.3.15 – Interrupções Externas (XINT1, XINT2, XINT13 e XNMI)

A família F281x e C281x suportam três interrupções externas mascaradas (XINT1, 2 e 13). XINT13 é combinada com uma interrupção externa não mascarada (XNMI). O nome do sinal combinado é XNMI_XINT13.

Cada uma das interrupções pode ser configurada para sensibilidade de *trigger* com borda positiva ou negativa, e pode também ser habilitada ou desabilitada (incluindo o XNMI). As interrupções mascaradas também contém um contador ascendente de 16bits, que é zerado quando uma borda de interrupção válida é detectada. Esse contador pode ser utilizado para verificar o tempo de execução de cada interrupção.

5.3.16 – Oscilador Externo e PLL (Phase-Locked Loop)

Os DSPs F281x e C281x podem utilizar o clock de um oscilador externo, ou de um cristal externo conectado ao circuito oscilador do próprio chip.

Um circuito PLL implementado pode suportar até 10 valores de escalas de clock. As escalas do PLL podem ser alteradas por software, habilitando o usuário a programar

uma determinada frequência de clock reduzida quando operações de baixa potência são desejadas. O bloco PLL também pode ser ajustado para o modo “bypass”.

5.3.17 – Watchdog (Cão de Guarda)

A geração F281x e C281x suporta um temporizador watchdog para verificar eventuais anomalias no funcionamento do software carregado no *DSP*.

O software do usuário precisa regularmente reiniciar o contador do temporizador do watchdog em um certo intervalo de tempo. Caso contrário, o watchdog reinicializará o processador. O watchdog poderá ser desabilitado se necessário.

5.3.18 – Clock dos Dispositivos Periféricos

O clock de cada dispositivo periférico pode ser habilitado ou desabilitado individualmente para reduzir, por exemplo, o consumo de potência, quando esses dispositivos não estão sendo utilizados.

Adicionalmente, o clock do sistema para as portas seriais (exceto eCAN) e para o gerenciador de eventos, blocos CAP e QEP, podem ser escalonados, de forma relativa, para o clock da CPU. Isso habilita a temporização dos dispositivos periféricos a trabalharem de forma desacoplada do incremento de velocidade do clock da CPU do DSP.

5.3.19 – Modos de Trabalho de Baixo Consumo de Energia

Os chips F281x e C281x são dispositivos CMOS estáticos. Desta forma, é possível trabalhar com esses dispositivos nos seguintes modos de consumo de energia:

- **IDLE:** faz com que a CPU trabalhe no modo de baixo consumo de energia. Os clocks dos periféricos podem ser desligados seletivamente, com exceção daqueles necessários para o modo IDLE ficar operante. Uma interrupção habilitada de um periférico ativo retira o processador deste modo;
- **STANDBY:** desliga o clock da CPU e periféricos. Esse modo deixa o oscilador e o PLL funcionais. Um evento de interrupção externo pode tornar a ligar a CPU e periféricos. A execução começa no próximo ciclo válido após a detecção do evento de interrupção;
- **HALT:** desliga o oscilador. Esse modo basicamente desliga o dispositivo, colocando-o no menor modo de consumo de energia possível. Somente um reset ou XNMI tornará a ligar o dispositivo.

5.3.20 – Quadros 0, 1 e 2 de Periféricos (PFn)

A família F281x e C281x segregaram os dispositivos periféricos em três seções, conforme ilustra a tabela resumida abaixo:

Tabela 5.4 – Seções de Mapeamento dos Periféricos

PF0	XINTF	Interface de configuração de registradores externa (somente para 2812)
	PIE	Habilita interrupções <i>PIE</i> e tabela de registradores de controle <i>Plus PIE Vector</i>
	Flash	Controla, programa, apaga e verifica registradores flash
	Timers	Registradores de tempo 0, 1 e 2 da CPU
	CSM	Registradores do módulo da chave de segurança
PF1	eCAN	Registradores de controle e <i>Mailbox eCAN</i>
	SYS	Registradores de controle do sistema
PF2	GPIO	Registradores de controle e configuração do multiplexador do GPIO
	EV	Registradores de controle do gerenciamento de eventos (EVA / EVB)
	McBSP	Registradores de transmissão / recepção (TX / RX) e controle McBSP
	SCI	Registradores de recepção / transmissão (RX / TX) e controle da interface serial de comunicação (SCI)
	SPI	Registradores de recepção e transmissão (RX / TX) e controle da interface serial de periféricos (SPI)
	ADC	Registradores dos conversores A/D de 12bits

5.3.21 – Multiplexador de Entradas e Saídas de Propósitos Gerais (GPIO)

A maioria dos sinais periféricos são multiplexados com o GPIO. Isso habilita o usuário a utilizar qualquer um dos pinos do dispositivo, que não está sendo utilizado para comunicação periférica, para a função de GPIO. No *reset*, todos os pinos GPIO são configurados como entradas. O usuário pode então individualmente programar cada pino para o *modo GPIO* ou para o *modo de sinais periféricos*. Para algumas entradas específicas, o usuário pode também selecionar o número de ciclos de qualificação. Isto serve para filtrar pulsos aleatórios de ruídos indesejados.

5.3.22 – Temporizadores de 32 Bits da CPU

Os temporizadores (timers) 0, 1 e 2 de 32 bits da CPU possuem períodos ajustáveis e divisor de clock (prescaler) de 16 bits. Eles possuem um registrador contador decrescente de 32 bits que gera uma interrupção quando atinge zero. O contador é decrementado na velocidade do clock da CPU dividido pelo valor ajustado no *prescaler*. Quando o valor chega a zero, ele é automaticamente recarregado com um valor de período de 32 bits.

O temporizador 2 é reservado para aplicações *Real-Time OS (RTOS) / BIOS*. O temporizador 1 é reservado para funções de sistema. O temporizador 0 está conectado ao *Int14* da CPU. O temporizador 1 pode ser conectado ao *Int13* da CPU. O temporizador 0 é para uso geral e está conectado ao bloco PIE.

5.3.23 – Controle de Periféricos

Os DSPs F281x e C281x contemplam e suportam os seguintes periféricos que são usados para controle e comunicação:

- **EV:** o módulo gerenciador de eventos possui temporizadores de propósitos gerais, unidades full-compare/PWM, entradas de captura (CAP) e circuitos de pulso de encoder em quadratura (QEP). Dois gerenciadores de eventos são providos para comandar dois motores trifásicos através de drives, ou quatro motores bifásicos / monofásicos. Os gerenciadores de eventos do F281x e C281x são compatíveis com os gerenciadores dos dispositivos 240x (com alguns pequenos ajustes);
- **ADC:** o bloco ADC é um conversor de 12 bits, com terminação única, de 16 canais. Ele contém duas unidades amostradoras e retentoras (sample-and-hold) para leituras simultâneas.

5.3.24 – Porta de Comunicação Serial Para Periféricos

A família F281x e C281x também possuem os seguintes periféricos de comunicação serial:

- **eCAN:** é uma versão melhorada do periférico CAN. Suporta 32 *mailboxes*, tempo de marcação de mensagens, e é compatível com CAN 2.0B;

- **McBSP:** é uma porta serial multicanal “bufferizada” que é utilizada para conectar linhas E1/T1, aplicações de modem e dispositivos *Audio DAC* de alta qualidade. Os registradores de transmissão e recepção do McBSP recebem o suporte de uma pilha FIFO de 16 níveis. Isso reduz significativamente o estouro de dados no atendimento à periféricos;
- **SPI:** é uma porta I/O serial síncrona de alta velocidade que permite correr serialmente bit a bit, num passo programado (de 1 a 16 bits), dados para dentro e para fora do dispositivo, numa taxa de transferência de bits programada. Normalmente o SPI é utilizado para comunicação entre o DSP e periféricos externos ou outro processador.
- **SCI:** a interface de comunicação serial (SCI) é uma porta serial assíncrona a dois fios, comumente conhecida como UART. Nos F281x e C281x esta porta suporta uma pilha FIFO de 16 níveis, para transmissão e recepção, que reduz o estouro de dados na comunicação.

5.4 – Placa de Desenvolvimento “eZdsp F2812”

A placa *eZdsp F2812* é fornecida pela *Texas Instruments (TI)* como uma ferramenta ou *kit* de desenvolvimento. Este kit provém um ambiente completo de desenvolvimento, incluindo a placa e o processador *DSP* propriamente dito, fonte de alimentação, emulador *JTAG* on-bord, conectores para interface de sinais com outros dispositivos, e uma versão específica do *Code Composer StudioTM* (software de programação). Além disso, possui também *IDE Debugger*, e compiladores *ANSI C* e *C++*.

Seguem abaixo as principais características do kit “eZdsp F2812”:

Tabela 5.5 – Principais Características do kit “eZdsp F2812”

<u>Características de Hardware:</u>	<u>Características de Software:</u>
• Processamento em 150MHz; • 20 Kwords de SARAM; • 64 Kwords de SRAM; • 256-Kbit de EEPROM serial; • Clock de entrada de 30MHz; • JTAG on-bord com conexão USB; • Suporte para emulador externo via JTAG principal.	• Software Code Composer Studio: ferramentas de programação e debug, compiladores C/C++, montador e linker; • Emulação via plug-n-play por conexão USB; • Debug em <i>Assembly</i> e <i>C</i> de alto nível.

5.5 – Conclusão

Neste capítulo foram apresentadas, de forma sucinta, as principais características funcionais e um diagrama esquemático do *DSP TMS320F2812*, o qual possui uma série de recursos, como por exemplo, de leitura, processamento, interrupção, comunicação, atuação, implementação das equações e rotinas, e disponibilização dos sinais de controle.

Também ilustrou-se as características do kit “eZdsp F2812”, que é uma ferramenta de desenvolvimento na área de processamento digital de sinais para a família contemporânea de 12 bits da *Texas Instruments*TM.

Por fim, o *DSP* de última geração apresentado propicia uma programação em linguagem de alto nível, o que, pela facilidade de entendimento e alteração, pode contribuir para o compartilhamento de informações, e melhorias futuras de software. Na prática, partes do programa podem ser reaproveitadas ou então servir de subsídio para novas rotinas.

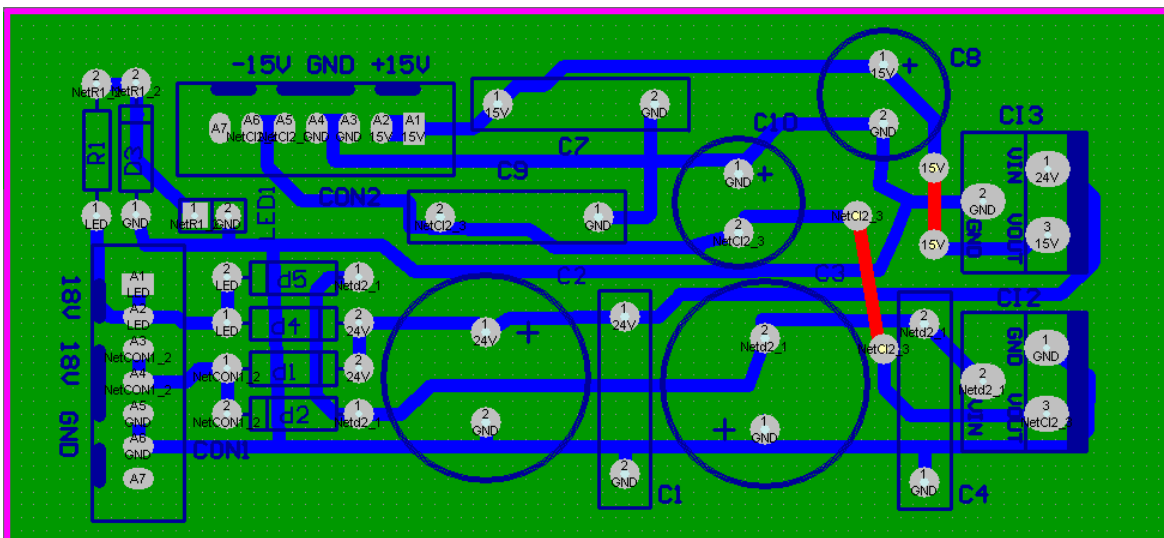


Figura 6-2 – Placa de Circuito Impresso da Fonte de Alimentação Para Periféricos: +-15V / +-1A

A fonte é significativamente simples e não necessita de maiores esclarecimentos e detalhes de seu funcionamento. Contudo, mostrou-se eficaz para a aplicação. Segue abaixo uma descrição resumida de suas características de alimentação:

- *Entrada:* proveniente de um transformador com saída em $\pm 18\text{Vac}$ com tap central;
- *Saída:* $\pm 15\text{Vcc}$ com capacidade para até $\pm 1\text{A}$.

Por se tratar de um circuito simples, para a confecção da placa de circuito impresso (PCI) utilizou-se o método da transposição das trilhas a quente e corrosão com percloroeto de ferro diluído.

A Figura 6-3 mostra a foto da fonte de alimentação após elaboração e montagem final conforme segue:

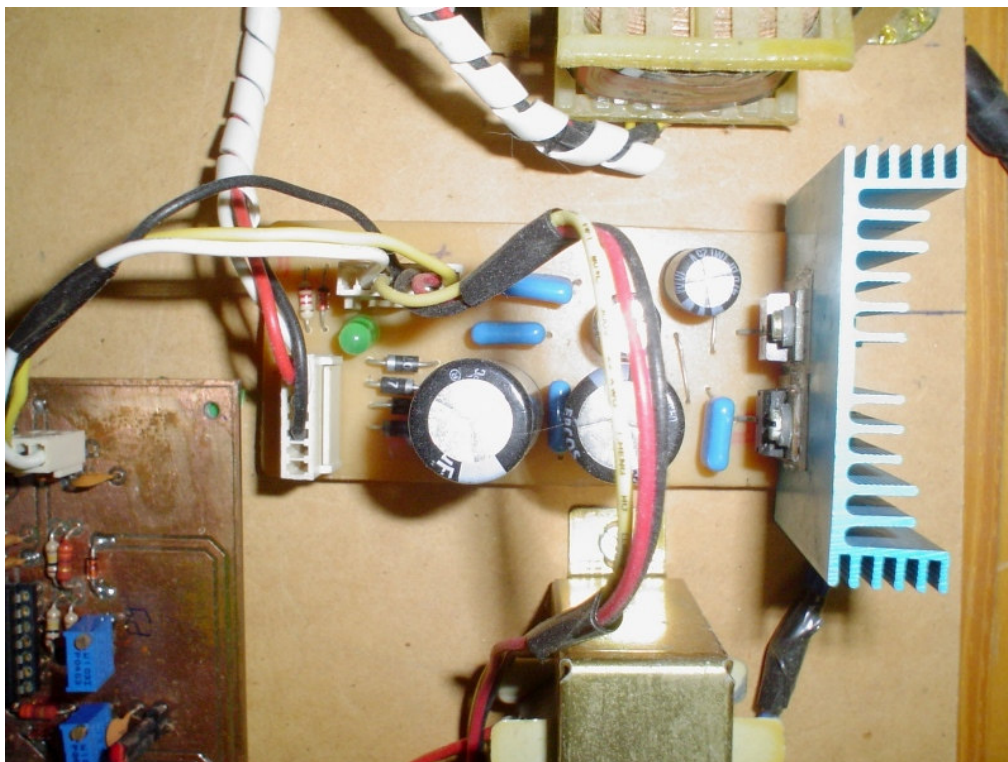


Figura 6-3 – Fonte de Alimentação Para Periféricos: +-15V/ +-1A

6.3 – Placa de Condicionamento de Sinais

Os sinais de tensão e corrente de interesse do conversor foram coletados e condicionados antes de serem submetidos à placa de controle.

Os sinais de tensão de fase $v_1(t)$ e $v_2(t)$ foram lidos através de dois transformadores de potencial e divisores resistivos ajustados por potenciômetros de forma conveniente. Os sinais provenientes dos divisores resistivos foram aplicados a filtros passa-baixa Butterworth de 4º ordem a fim de eliminar as distorções do chaveamento na entrada do conversor. Por fim, foram somados níveis de 1,5V de tensão constante, adequando-se as amplitudes e o casamento das impedâncias através dos amplificadores operacionais.

De forma semelhante, os sinais de corrente de entrada $i_1(t)$, $i_2(t)$ e $i_3(t)$ foram lidos através dos sensores *LA-55P* e divisores resistivos ajustados por potenciômetros de forma conveniente. Após foram somados níveis de 1,5V de tensão constante, e utilizaram-se amplificadores operacionais para realizar a adequação e o casamento das impedâncias, e para a elaboração dos filtros anti-aliasing.

Semelhantemente, para a leitura da tensão no barramento *CC* utilizou-se o sensor *LV-25P* e um divisor resistivo. Novamente utilizaram-se amplificadores operacionais para realizar o casamento das impedâncias e para a elaboração do filtro anti-aliasing.

Todos os sinais passaram por diodos “zeners” para a limitação dos valores de tensão, para que estes atuem no caso de irregularidades dos circuitos de leitura e condicionamento, antes da submissão aos conversores *A/D* do *DSP*.

A *Figura 6-4* mostra o circuito da placa de condicionamento de sinais utilizada, assim como as figuras *Figura 6-5* e *Figura 6-6* mostram a placa de circuito impresso correspondente - primeiramente em vista superior e após em vista inferior, respectivamente.

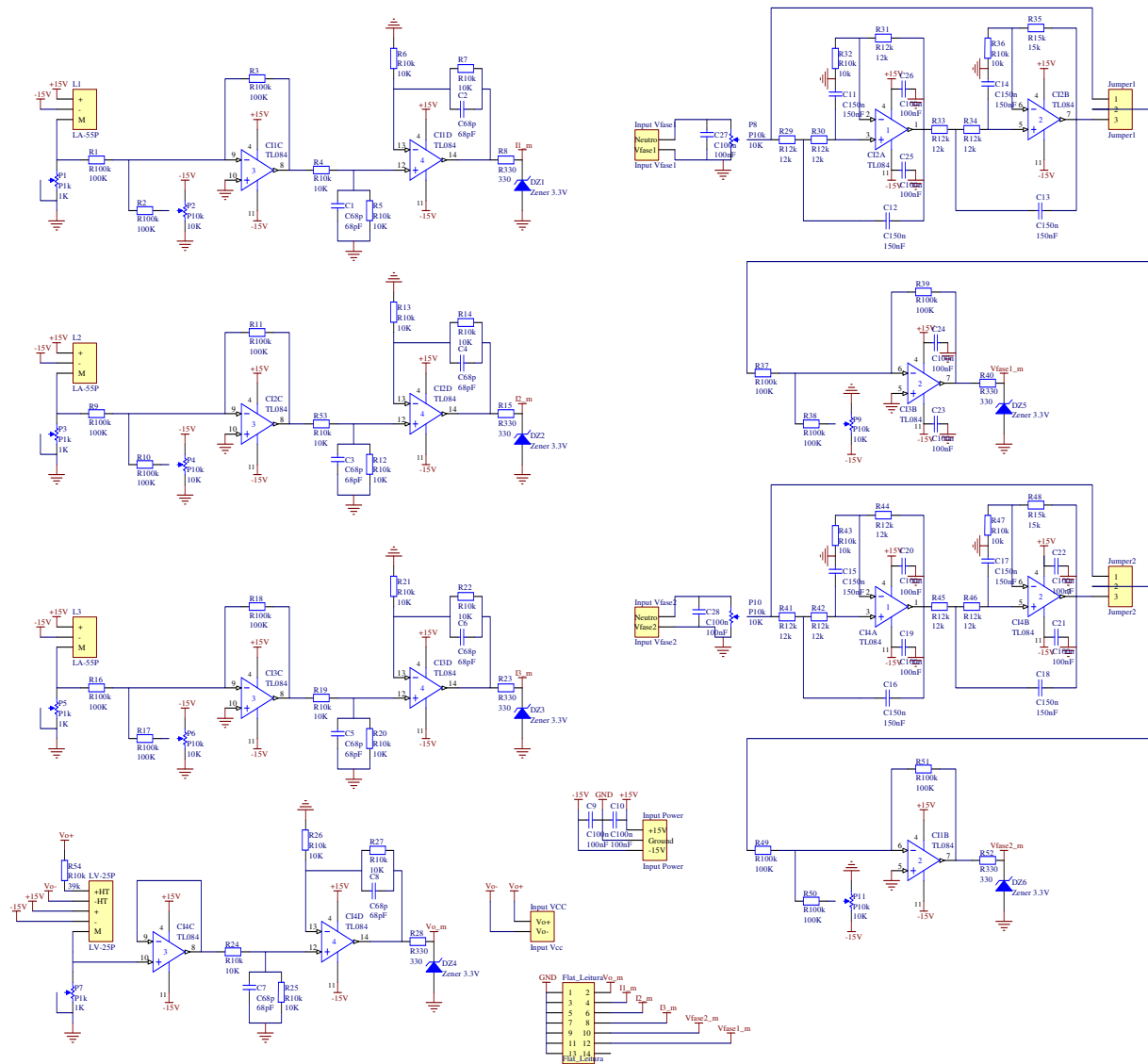


Figura 6-4 – Circuito da Placa de Condicionamento de Sinais

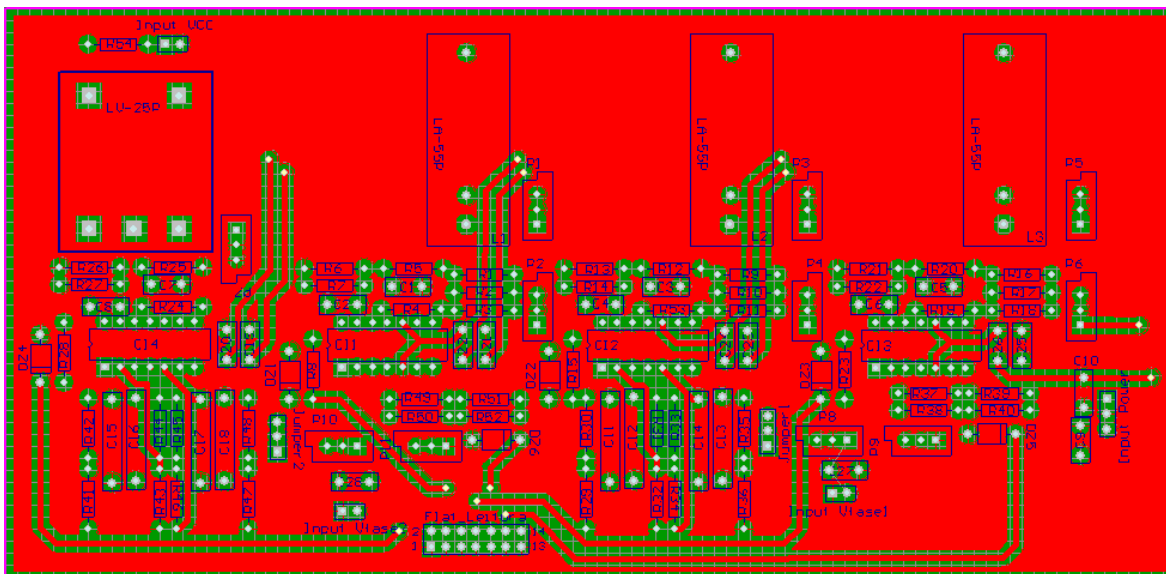


Figura 6-5 – Lado Superior da PCI da Placa de Condicionamento de Sinais

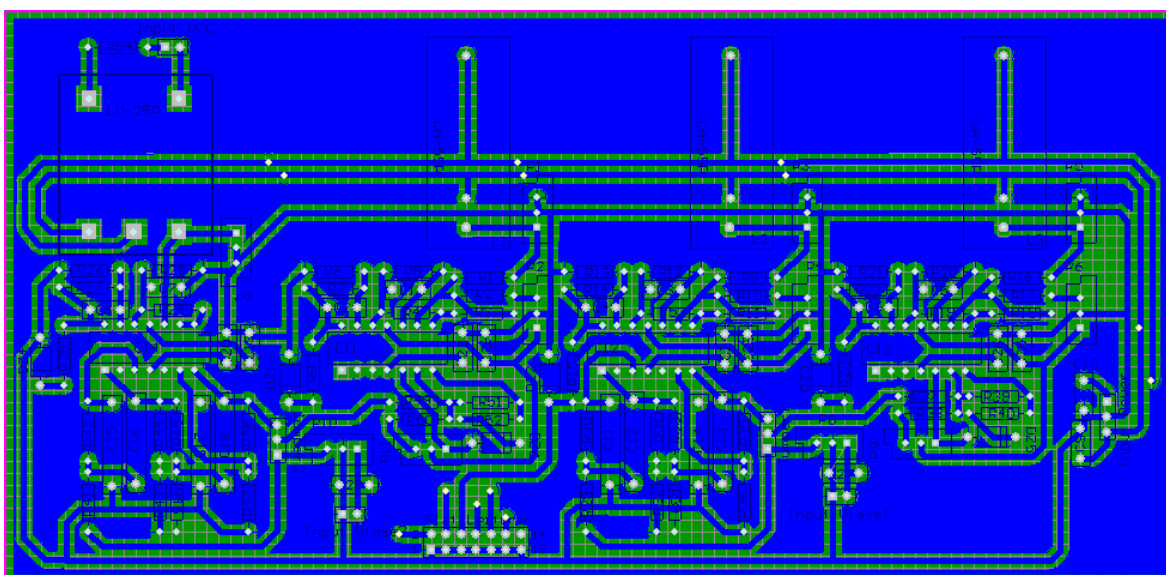


Figura 6-6 – Lado Inferior da PCI da Placa de Condicionamento de Sinais

Por se tratar de um circuito com certa complexidade, e também devido ao fato de que possíveis ruídos, indutâncias e capacitâncias parasitas poderiam comprometer o correto funcionamento do conversor, para a confecção da *PCI* utilizou-se o método da prototipagem por comando numérico computadorizado (CNC). Todas as malhas de terra foram interligadas no intuito de eliminar interferências eletromagnéticas indesejadas.

A Figura 6-7 mostra uma foto da placa de condicionamento de sinais após elaboração e montagem final conforme segue:

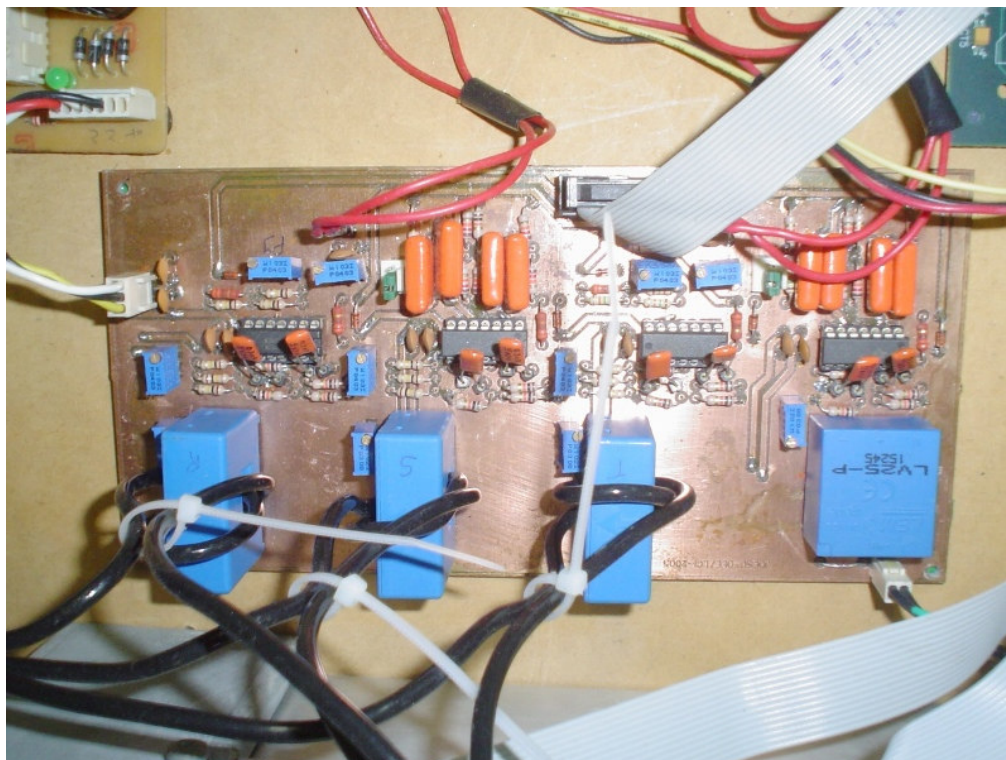


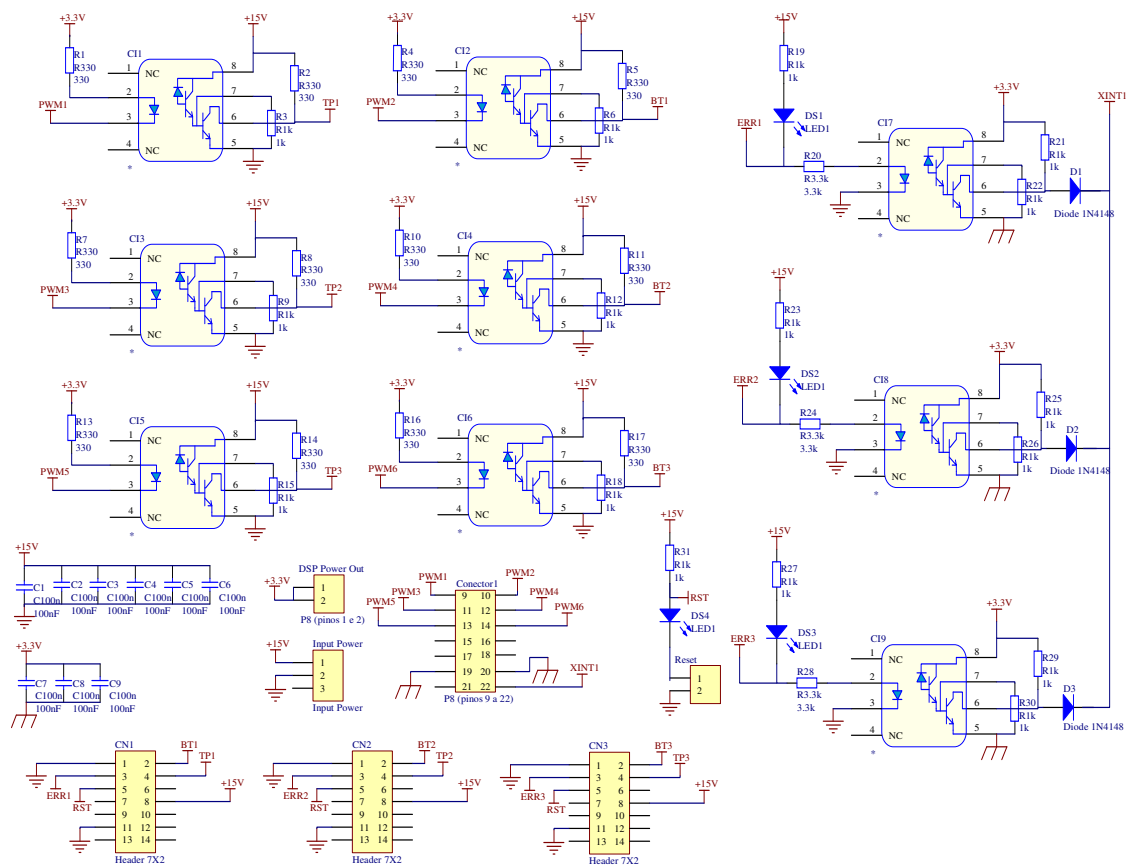
Figura 6-7 – Placa de Condicionamento de Sinais

6.4 – Placa de Comando (Interface)

Os sinais de atuação provenientes da placa de controle foram amplificados e ajustados, antes da aplicação ao circuito de potência, através de uma placa denominada “placa de comando”. Os sinais foram isolados por meio de acopladores ópticos fazendo com que eventuais defeitos no circuito de potência não ocasionem danos no circuito de controle e vice-versa.

O circuito também contempla três leds que indicam as atuações das proteções de cada braço do circuito de potência do conversor. No caso de falhas por sobrecorrente o led do correspondente braço com a respectiva falha ou desarme acenderá e indicará que aquele braço está com a proteção atuada. Para rearmar o circuito basta acionar um botão de reset.

A *Figura 6-8* mostra o circuito da placa de comando utilizada, assim como as figuras *Figura 6-9* e *Figura 6-10* mostram a placa de circuito impresso correspondente - primeiramente em vista superior e após em vista inferior, respectivamente.



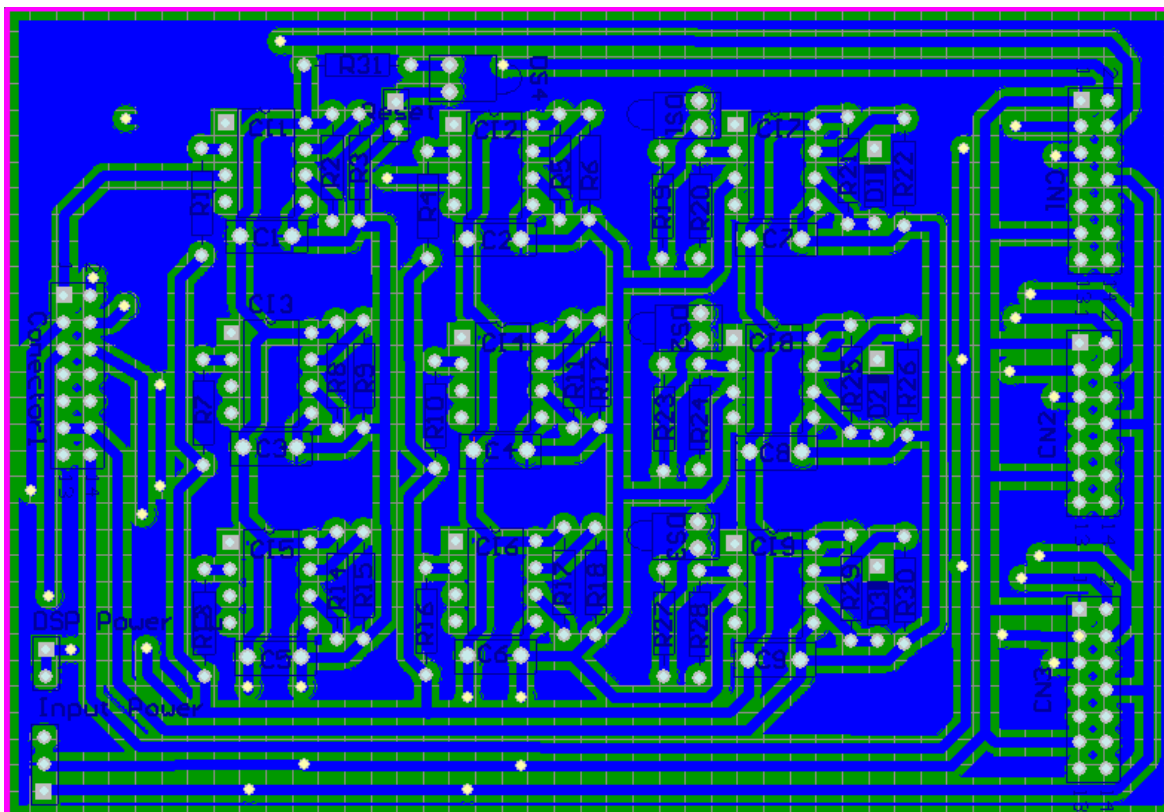


Figura 6-10 – Lado Inferior da PCI da Placa de Comando

Novamente, por se tratar de um circuito com certa complexidade, e também devido ao fato de que possíveis ruídos, indutâncias e capacitâncias parasitas poderiam comprometer o correto funcionamento do conversor, para a confecção da *PCI* utilizou-se o método da prototipagem por comando numérico computadorizado (CNC). Damesma forma, todas as malhas de terra foram interligadas no intuito de eliminar interferências eletromagnéticas indesejadas.

A *Figura 6-11* mostra uma foto da placa de comando após elaboração e montagem final, conforme segue:

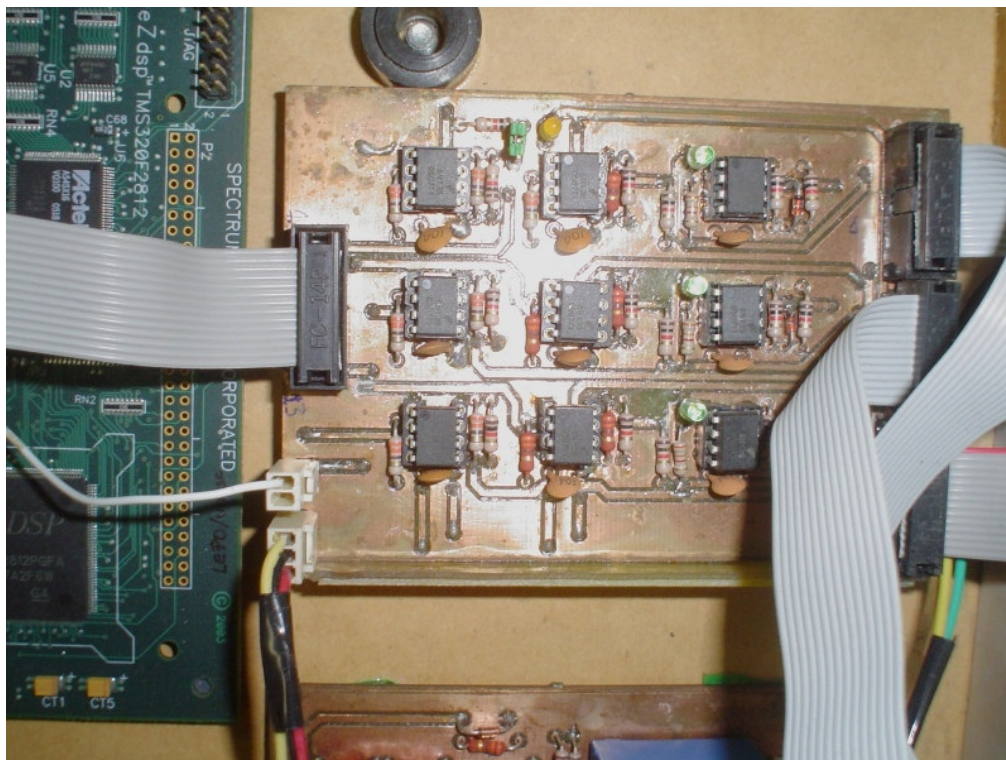


Figura 6-11 – Placa de Comando

6.5 – Placa de Controle

Para realizar a leitura dos sinais, rotinas de *PLL* e sincronismo, todos os cálculos e implementações dos algoritmos de controle e *PWM* do conversor proposto utilizou-se o *DSP TMS320F2812* da *Texas Instruments*, mais precisamente o kit “eZdsp™ F2812”, conforme já comentado.

A *Figura 6-12* mostra a foto da placa controle: *DSP TMS320F2812* (kit *eZdsp F2812*).

As principais características desta placa já foram apresentadas na Tabela 5.5 do capítulo “Estudo do DSP” anterior.

Conforme pode ser observado, as conexões com as placas de condicionamento de sinais e de atuação foram realizadas utilizando cabos flat flexíveis, similares àqueles encontrados em computadores desktop. Embora se tenha utilizado capacitores cerâmicos para eliminar eventuais induções e ruídos indesejados, os tamanhos dos cabos flat mostraram-se bastante importante para o correto funcionamento do conversor. Em suma, quanto menor possível o tamanho e quanto mais distante da fonte emissora de ruídos melhor.

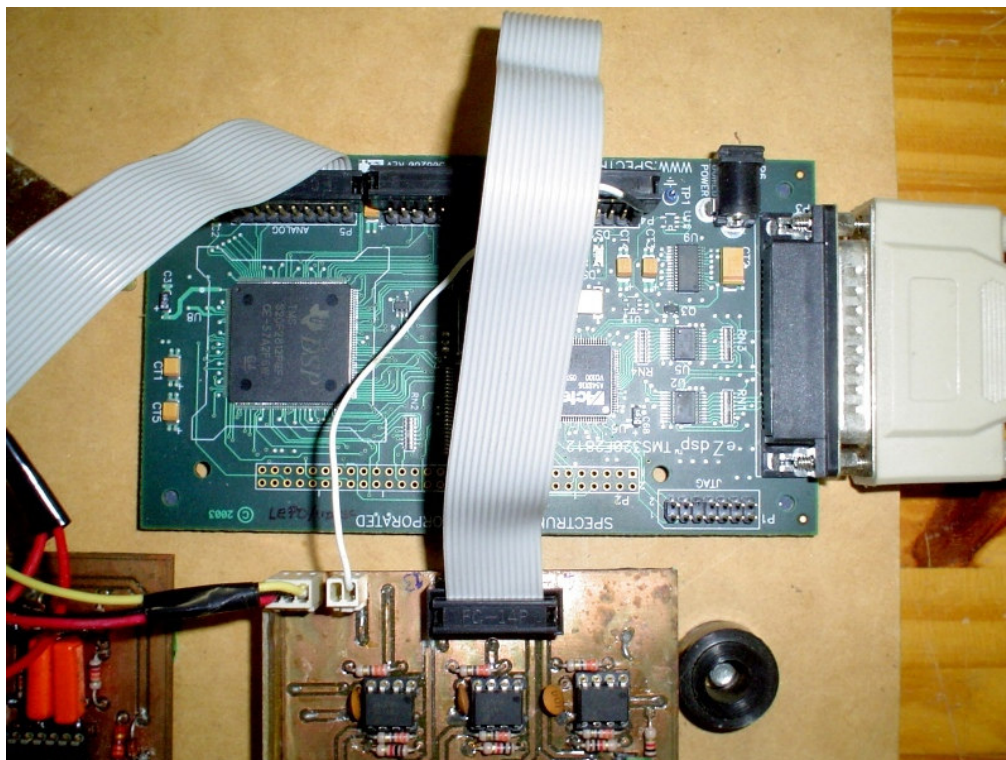


Figura 6-12 – Placa de Controle: DSP TMS320F2812 (kit eZdsp F2812)

6.6 – Software de Controle Implementado

O software de controle foi implementado utilizando-se da linguagem C/C++, a qual pode ser considerada como uma linguagem de alto nível. A programação foi realizada utilizando-se a ferramenta e ou ambiente de programação *Code ComposerTM* da *Texas InstrumentsTM* (TI), o qual é fornecido em conjunto a placa ou plataforma *eZdspTM* da *Spectrum Digital, IncTM*, que contempla o processador digital TMS320F2812 e alguns periféricos. O conjunto *Code ComposerTM* + *eZdspTM* formam um kit completo de desenvolvimento que, com o auxílio de um computador, podem ser utilizados para elaborar os softwares, emular, fazer debug, monitorar, alterar e ler variáveis, inclusive em tempo real de execução. O fabricante também disponibiliza com o CD de instalação, ou então através do site www.ti.com, uma série de exemplos e bibliotecas de diversas aplicações relacionadas ao processamento digital de sinais.

A Figura 6-13 mostra o diagrama esquemático que representa os blocos de software programados internamente ao DSP. Neste diagrama procurou-se simplificar a visualização da estrutura funcional de cada rotina implementada.

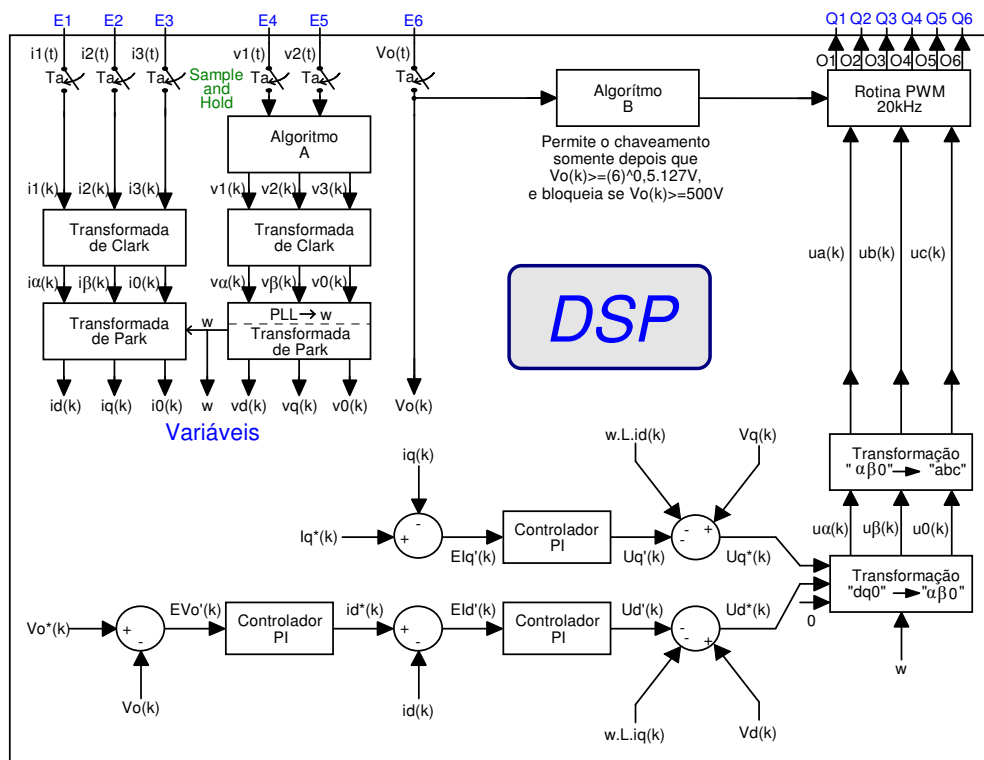


Figura 6-13 – Diagrama Esquemático Ilustrativo: Blocos de Software Programados Internamente ao DSP

O fluxograma detalhado do software implementado pode ser observado no *Apêndice B – Fluxograma do Software de Controle*.

Conforme pode ser observado através do fluxograma, primeiramente todas as variáveis e constantes são definidas e carregadas na memória de programa. Por utilizar-se de uma linguagem de alto nível, muitas bibliotecas desenvolvidas podem ser utilizadas para facilitar a programação.

Após a etapa anterior, realiza-se a configuração inicial de todo o sistema, onde são ajustados e setados os periféricos, portas *I/O*, conversor *A/D*, gerenciador de interrupções, temporizadores, modulador *PWM* e etc.

Toda a rotina principal é processada dentro de um laço de interrupção, a qual é executada toda vez que ocorre um “estouro” e reset do *Timer 1*. Isto acontece numa frequência de 20kHz. Neste laço, quando as rotinas começam a ser executadas, primeiramente resetam-se os conversores *A/Ds*, liberam-se as aquisições e aguardam-se até que estas sejam concluídas de forma sequencial, de acordo com um tempo pré-determinado com a ajuda de um *prescaler*.

Após a leitura das variáveis, realiza-se o ajuste das bases das variáveis para $Q12$ através de um deslocamento para a direita de 4bits, pois o registrador dos A/Ds possui 16bits. No caso das tensões e correntes de fase, são também realizados alguns ajustes de forma a se obter novamente os sinais senoidais com passagem por zero, pois estes são deslocados em função das entradas dos A/Ds , conforme já comentado nos capítulos anteriores. Como são realizadas apenas as leituras das tensões de fase 1 e 2 ($v1$ e $v2$), são também realizados os cálculos para a obtenção do valor da tensão da fase 3 ($v3$), pois são necessárias as três tensões para que as transformações de coordenadas possam ser realizadas.

Na sequência, é implementada uma rotina que verifica se a tensão no barramento CC esta dentro de limites pré-estabelecidos de segurança. O módulo de potência utilizado não suporta tensões acima de 600V sobre as chaves, e a rotina do PLL , conforme foi ajustada, não responde de forma eficaz para baixas tensões de fase. Desta forma, a rotina implementada somente libera o chaveamento para os drives de potência se a tensão no barramento CC estiver acima de 300V e abaixo de 500V.

Após, de posse das variáveis ajustadas, são realizadas as transformações de *Clark* onde são obtidas as variáveis num referencial bifásico estático. Através dessas variáveis é implementada uma rotina de PLL que utiliza equações de potência e um controlador PI para a obtenção do valor de ωt sincronizado com a tensão de fase 1 ($v1$).

De posse do valor instantâneo de ωt e das variáveis de entrada ajustadas, realiza-se a transformação de *Park* onde são obtidas as variáveis num referencial bifásico girante síncrono. Ao final desta etapa são disponibilizados os valores de V_d , V_q , I_d e I_q para a utilização nas malhas de controle do conversor.

Após, são implementadas as rotinas das malhas de controle de tensão no barramento CC , e das correntes de eixo direto (I_d) e em quadratura (I_q).

A malha de tensão no barramento CC compara o valor medido com o valor de referência, que é ajustado no início do software através de uma constante, e gera um erro que serve de entrada para uma equação a diferenças de um controlador PI , que é elaborado conforme a equação (3.62). Na saída desse controlador PI existe um saturador que limita os valores de mínimo e máximo admissíveis. Ao final desta etapa é disponibilizado o valor de corrente de eixo direto de referência, que serve de parâmetro para a malha de corrente I_d .

De posse do valor de corrente de eixo direto de referência, a malha de corrente I_d realiza uma comparação entre o valor de referência e o valor medido e ajustado, gerando um erro que serve de entrada para uma equação a diferenças de um controlador PI , que é elaborado conforme a equação (3.59). Novamente, na saída desse controlador PI existe um saturador que limita os valores de mínimo e máximo admissíveis. Ao final desta etapa é disponibilizado o valor de tensão de eixo direto de referência (U_d').

De forma semelhante, a malha de corrente I_q realiza uma comparação entre o valor de referência, que no caso é zero, e o valor medido e ajustado, gerando um erro que serve de entrada para uma equação a diferenças de um controlador PI , que é elaborado conforme a equação (3.59). Novamente, na saída desse controlador PI existe um saturador que limita os valores de mínimo e máximo admissíveis. Ao final desta etapa é disponibilizado o valor de tensão de eixo em quadratura de referência (U_q').

Após, são utilizados os valores de I_d , I_q , U_d' , U_q' e $w.L$ para a implementação de uma rotina de “desacoplamento” que disponibiliza em sua saída os valores de U_d^* e U_q^* , os quais servem de base para as etapas seguintes.

De posse dos valores U_d^* , U_q^* e wt realiza-se a transformação inversa de *Park*, de modo a se obter os valores U_a' , U_b' e U_c' num referencial trifásico estático, os quais servem de subsídio para a rotina de PWM, a qual, após realizar uma série de operações matemáticas, disponibiliza em sua saída os valores U_a^* , U_b^* e U_c^* , os quais são os próprios valores de referência para as tensões desejadas nos braços do conversor.

Por fim, é implementada uma rotina de comparação triangular trifásica, a qual fornece as razões cíclicas para cada chave do conversor. Assim, são disponibilizados os sinais de comando para os drives dos IGBTs por meio das saídas configuradas. Ao final desta etapa completa-se o ciclo de processamento, e o apontador de código volta para a linha inicial do loop, e espera pela próxima interrupção do *Timer 1*.

Pelo fato de ter sido utilizada uma linguagem de alto nível, o software implementado pode servir de subsídio para a implementação de outros programas, existindo ou não uma relação direta entre eles, pois muitas rotinas podem ser utilizadas, reaproveitadas e ou melhoradas de forma relativamente simples.

6.7 – Protótipo Final

A Figura 6-14 ilustra a configuração da montagem final do protótipo do conversor proposto. Além das placas de controle, comando, condicionamento de sinais e fonte de alimentação para periféricos, a montagem contempla os indutores de entrada, transformadores abaixadores e isoladores (para a fonte de alimentação de periféricos, e para a medição das tensões de fase), e o módulo de potência à IGBTs, o qual inclui os drives de acionamento das chaves, dissipador e *cooler* refrigerador para a carcaça.

Conforme pode ser observado, as ligações à rede de energia trifásica de 127Vrms devem ser realizadas do lado esquerdo, enquanto que as ligações à carga a ser alimentada devem ser realizadas do lado direito do conversor (observando-se de uma vista superior).

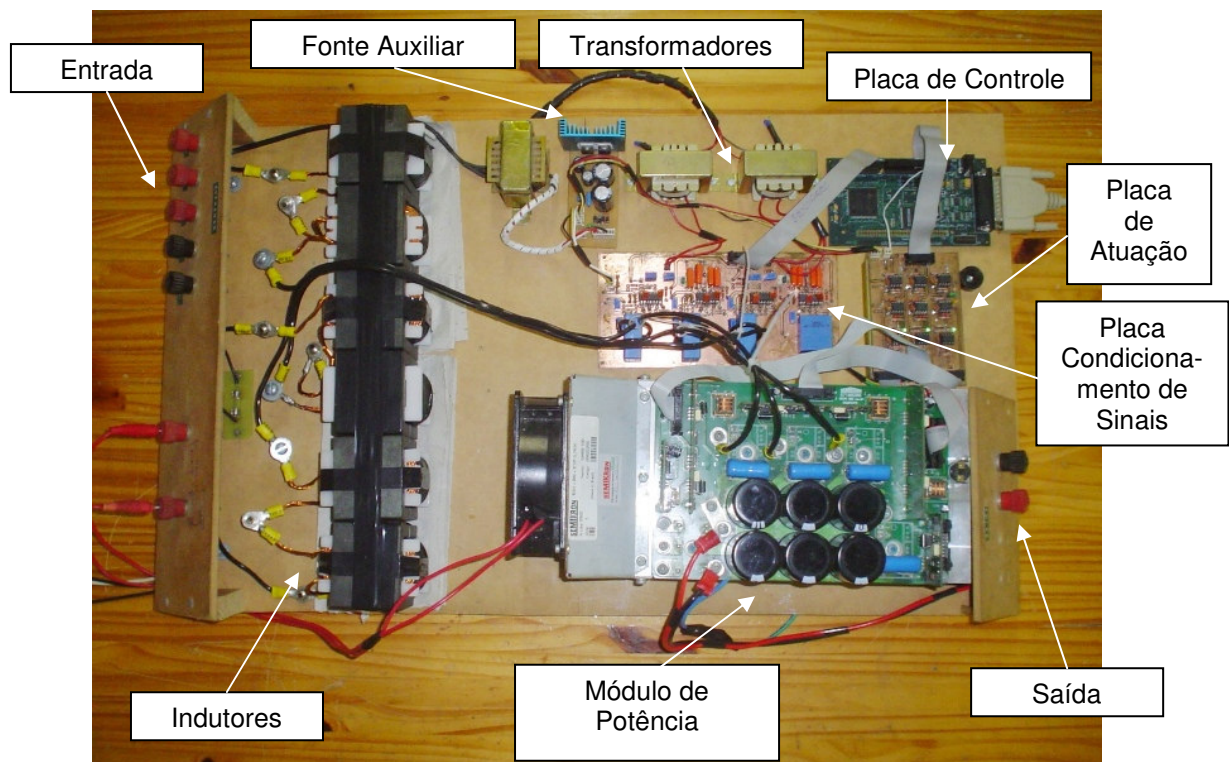


Figura 6-14 – Protótipo Final do Conversor (Vista Superior)

A Figura 6-15 apresenta um diagrama esquemático ilustrativo do módulo de potência utilizado: Módulo *Semikron B6U + B6I + E1IF*.

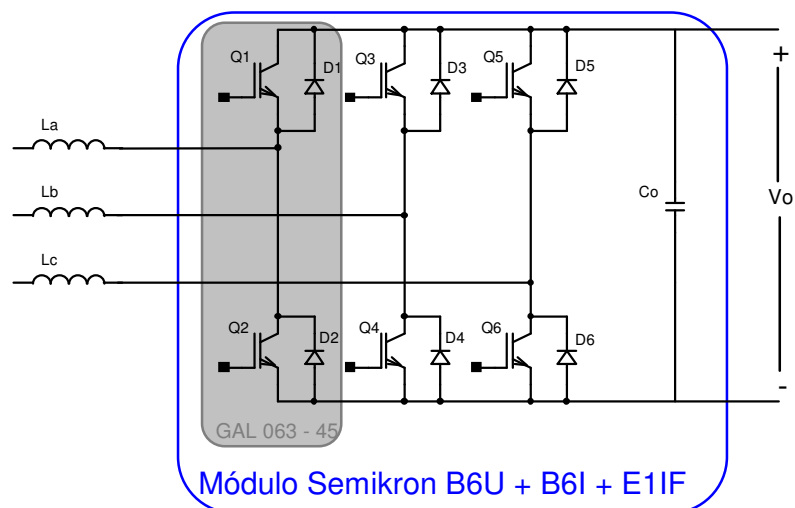


Figura 6-15 – Diagrama Esquemático Ilustrativo do Módulo de Potência

A *Figura 6-16* também ilustra a montagem final do conversor, porém observando-se de uma vista angular.



Figura 6-16 – Protótipo Final do Conversor (Vista Angular)

6.8 – Resultados Experimentais

Os resultados experimentais obtidos foram resumidos na forma de tabelas, gráficos e figuras, de sorte a apresentar as informações e peculiaridades do comportamento dinâmico, de regime, transitórios de carga, e regeneração de energia do conversor projetado e implementado.

Assim, as figuras *Figura 6-17* e *Figura 6-18* mostram o sinal *PWM* triangular senoidal com injeção de seqüência zero utilizado. Conforme pode ser observado, a primeira figura ilustra os sinais aplicados às chaves 1 e 2, na frequência de chaveamento, enquanto a segunda figura ilustra estes mesmos sinais, na frequência da rede, após aplicação à um filtro passa-baixa. Percebe-se claramente a envoltória do sinal em 60Hz e o achatamento do pico devido à injeção de seqüência zero.

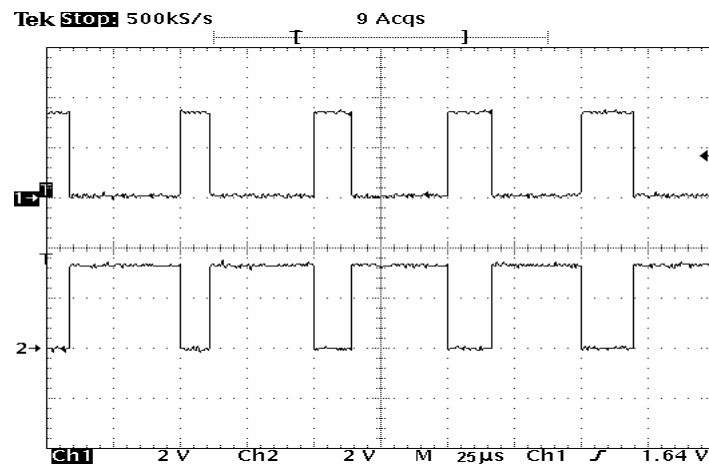


Figura 6-17 – Sinais de Comando do PWM Para as Chaves 1 e 2

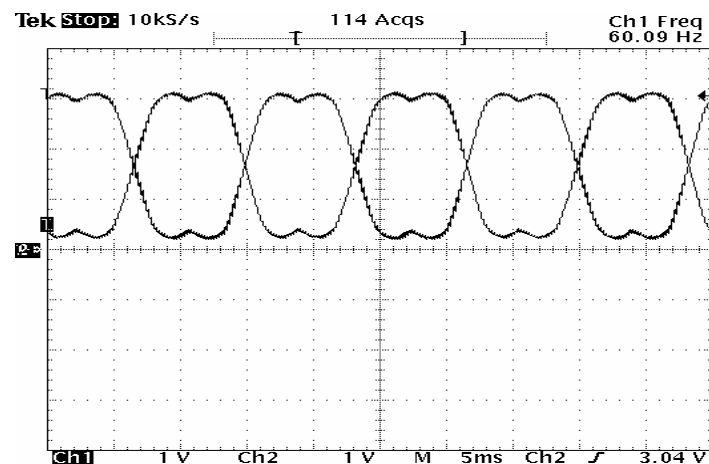


Figura 6-18 – Sinais de Comando do PWM Para as Chaves 1 e 2 Respectivamente Após Passagem Por Filtro Passa Baixas

A *Figura 6-19* mostra a tensão e corrente na fase 1 com o conversor operando em potência nominal. Observa-se que o formato da corrente é senoidal e está em fase com a respectiva tensão de entrada.

Conforme pode ser observado, percebe-se um leve achatamento no formato da tensão de entrada quando ωt é igual a múltiplos inteiros de 90° (considerando $v_I(t) = V_P \cdot \sin(\omega t)$). Em outras palavras, as tensões de pico apresentam leves afundamentos.

Tais afundamentos indicam que a rede de alimentação apresentava harmônicos de tensão de terceira ordem no momento do teste. Esses harmônicos de tensão podem ter sido ocasionados por harmônicos de corrente sobre as impedâncias de linha.

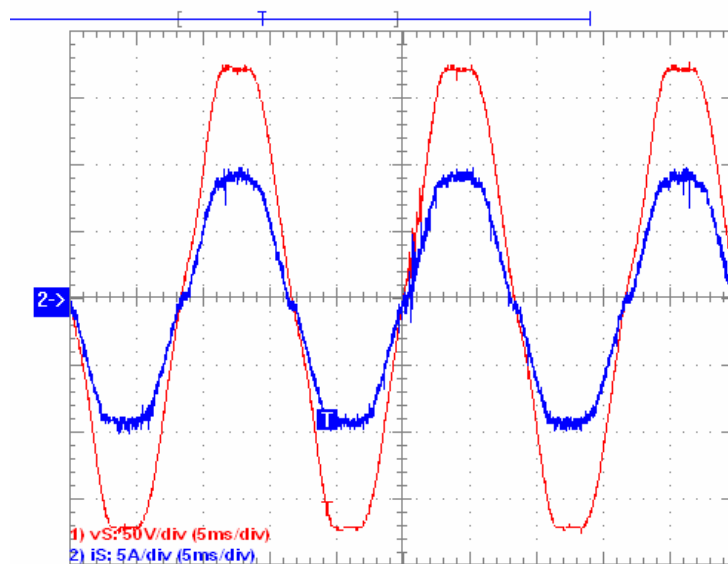


Figura 6-19 – Tensão (50V/div) e Corrente (5A/div) na Fase 1, e Tensão (50V/div) no Barramento CC – Conversor em Potência Nominal

Através da *Figura 6-19*, observa-se também uma leve distorção no formato das correntes quando das passagens por zero Amperes, o que se deve à não linearidade para pequenos sinais do sensor de corrente utilizado.

Afora o comentado percebe-se também a influência do chaveamento dos *IGBTs* sobre a corrente, fazendo com que esta seja senoidal, porém apresentando o “ripple” natural da operação do conversor.

A *Tabela 6.1* mostra um resumo do comportamento das tensões e correntes no conversor, realizado com o software “WaveStar” da *TektronixTM*, conforme segue:

Tabela 6.1 – Resumo da Análise Com o Software “WaveStar”

THD de Tensão	5,091%
THD de Corrente	6,615%
Fator de Deslocamento	1,176
Fator de Potência	0,996

Em função da THD de tensão, as correntes de entrada apresentaram THD um pouco acima do esperado. Contudo, o fator de potência apresentou valor consideravelmente próximo da unidade, validando a aplicação e utilização do conversor, conforme o principal objetivo proposto no início deste trabalho.

A título de comparação, a *Figura 6-20* mostra o comportamento da tensão e corrente em uma das fases de entrada, e da tensão no barramento CC do conversor quando o controle não está atuando, ou seja, quando ele se torna um retificador ponte a diodos comum. Percebem-se claramente as grandes vantagens do conversor proposto neste trabalho, quando se realiza uma comparação com um retificador comum.

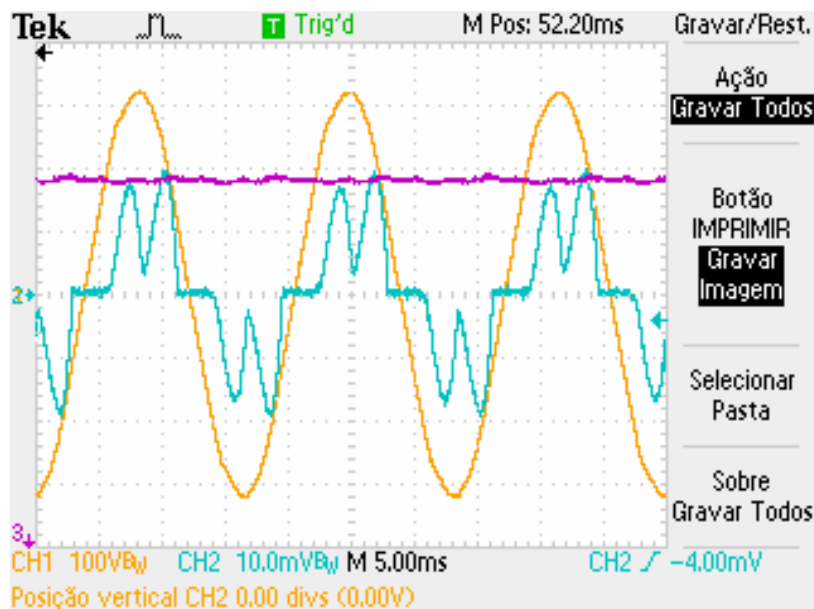


Figura 6-20 – Tensão (50V/div) e Corrente (5A/div) No Conversor Quando o Controle Não Atua

Com base nos resultados da *Figura 6-19*, realizou-se também uma análise harmônica de tensão e corrente na fase 1 mais detalhada, novamente utilizando o software

“WaveStar” da empresa Tektronix. Desta forma, a *Tabela 6.2* mostra os valores das harmônicas de tensão e corrente até a ordem 51ª.

Tabela 6.2 – Análise Harmônica Com o Software “WaveStar”

Harmônicas	Tensão [V]		Corrente [A]	
	% da fundamental	Fase	% da fundamental	Fase
fundamental	100	0	100	0
2	0,091	-128,26	2,397	-68,545
3	0,294	-135,9	0,624	-16,419
4	0,045	65,923	0,237	56,257
5	4,948	-158,74	5,767	-173,75
6	0,026	77,651	0,14	86,997
7	1,39	-57,257	1,636	-139,33
8	0,016	-74,559	0,297	103,38
9	0,271	-41,953	0,171	-109,19
10	0,043	87,439	0,149	107,59
11	0,2	-42,027	1,013	-158,19
12	0,029	-102,59	0,286	165,53
13	0,124	-69,476	0,874	-156,23
14	0,014	141,97	0,205	123,74
15	0,036	95,858	0,089	-12,075
16	0,035	173,92	0,198	105,37
17	0,08	-177,57	0,544	-153
18	0,01	161,14	0,297	129,01
19	0,07	-31,593	0,41	-123,56
20	0,05	-98,401	0,257	176,41
21	0,02	71,695	0,134	9,9586
22	0,018	-92,177	0,115	-163,36
23	0,014	11,345	0,177	-66,032
24	0,023	38,026	0,149	-169,58
25	0,098	36,413	0,161	-4,4083
26	0,019	-116,21	0,101	150,41
27	0,084	-15,938	0,051	-103,54
28	0,011	-85,08	0,047	-8,4406
29	0,022	110,83	0,117	80,615
30	0,011	44,118	0,054	134,9
31	0,03	-80,687	0,075	135,29
32	0,015	106,21	0,059	5,4381
33	0,075	-33,401	0,212	-116,91
34	0,033	-155,51	0,111	104,59
35	0,013	165,03	0,114	146,77
36	0,022	101,54	0,086	92,247
37	0,036	-64,004	0,052	132,27
38	0,015	117,03	0,05	61,767

39	0,062	-43,382	0,144	-83,563
40	0,011	-122,74	0,087	68,984
41	0,048	-124,93	0,143	173,1
42	0,009	-37,954	0,08	85,639
43	0,033	-89,945	0,055	178,03
44	0,018	91,425	0,074	81,701
45	0,04	-52,362	0,081	-91,361
46	0,037	146,94	0,098	93,865
47	0,052	-122,66	0,105	-177,01
48	0,018	112,78	0,047	82,921
49	0,03	-135,14	0,102	163,86
50	0,014	49,804	0,048	92,149
51	0,041	6,6035	0,055	-34,146

As figuras *Figura 6-21* e *Figura 6-22* ilustram os valores da *Tabela 6.2* na forma gráfica para facilitar a visualização das informações.

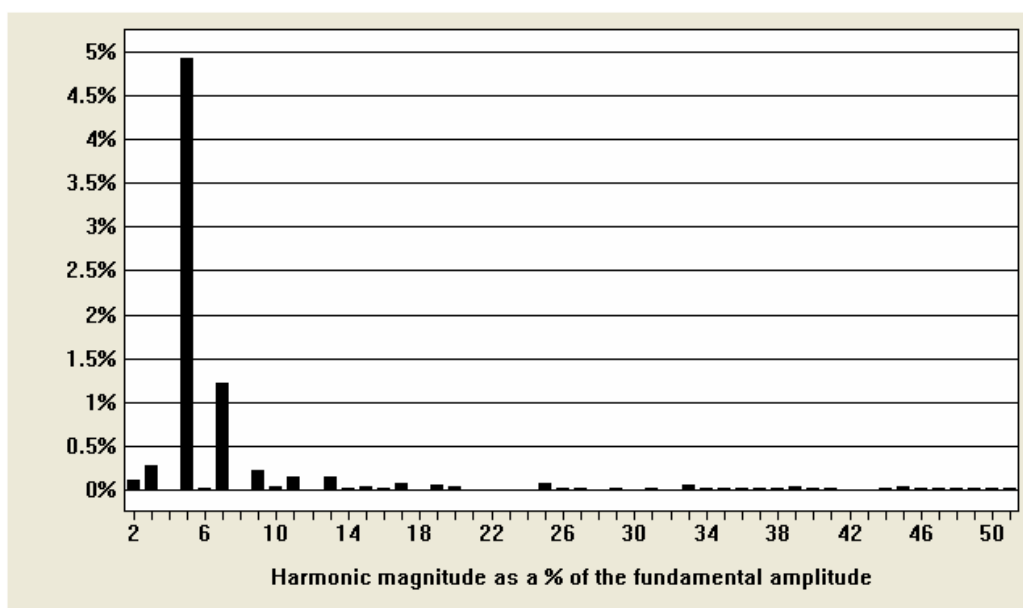


Figura 6-21 – Harmônicos de Tensão em Uma Das Fases de Entrada

Através da *Figura 6-21*, percebe-se que a forma de onda de tensão da fase 1 de entrada possui influência significativa da 5ª e 7ª harmônicas, sendo que a 5ª atinge quase 5% do valor da tensão fundamental.

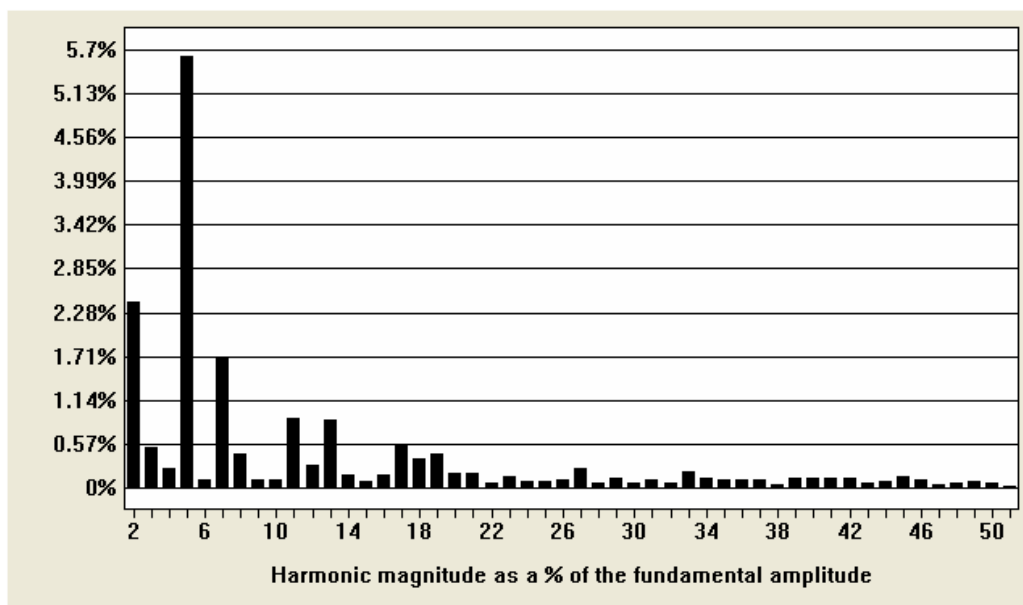


Figura 6-22 – Harmônicos de Corrente em Uma Das Fases de Entrada

De forma semelhante, através da Figura 6-22, percebe-se que a forma de onda de corrente da fase 1 de entrada possui influência significativa da 2ª, 5ª, 7ª, 11ª, e 13ª harmônicas, sendo que a 5ª atinge quase 5,7% do valor da corrente fundamental.

As figuras Figura 6-23 e Figura 6-24 mostram os formatos das três tensões e correntes na entrada do conversor, respectivamente.

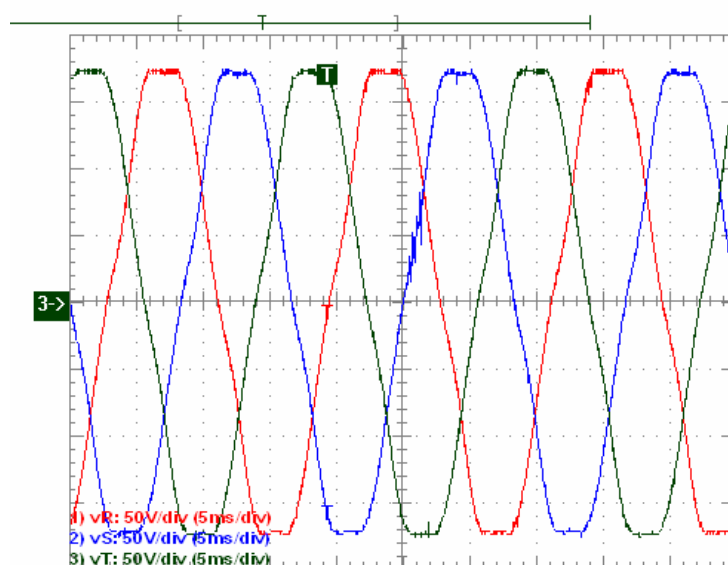


Figura 6-23 – Tensões Nas Fases 1, 2 e 3 na Entrada do Conversor

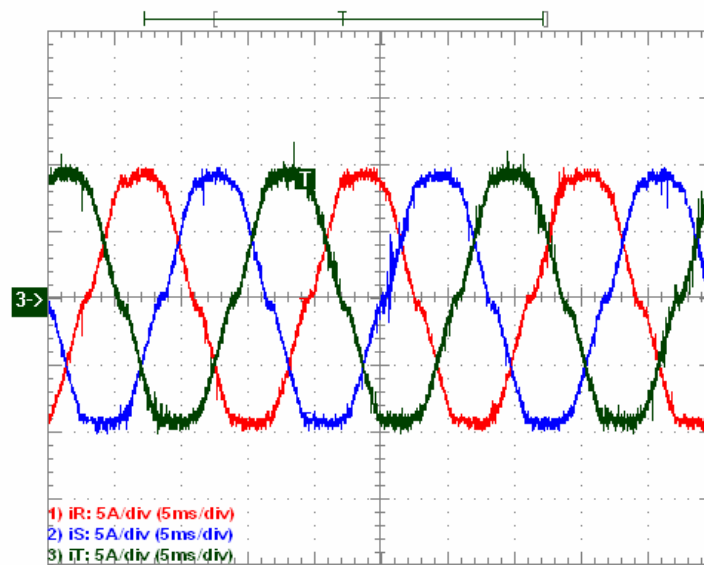


Figura 6-24 – Correntes Nas Fases 1, 2 e 3 na Entrada do Conversor

Mais uma vez percebem-se os leves achatamentos nos formatos das tensões de entrada do conversor devido à presença de harmônicos de terceira ordem, os quais podem ter ocorrido por motivos diversos.

De forma semelhante, também se percebe novamente a influência do chaveamento dos *IGBTs* sobre as curvas das correntes, fazendo com que estas sejam senoidais, porém apresentando os “ripples” naturais da operação do conversor.

Realizou-se também uma análise do comportamento do conversor operando em potência nominal através da utilização de um medidor *Wattímetro* digital, conforme mostram os resultados agrupados na forma da *Tabela 6.3* a seguir:

Tabela 6.3 – Medições Realizadas Com Wattímetro Digital

Linha	Tensão [Vrms]	Corrente [Arms]	Potência Aparente [VA]	Potência Ativa [W]	Potência Reativa [VAr]	Fator de Potência	Fator de Deslocamento
1	128,41	7,071	907,9	906,6	50,0	0,9985	3,2
2	128,19	7,072	906,6	905,2	50,7	0,9984	3,2
3	129,31	6,974	901,9	900,0	57,8	0,9979	3,7
Média / Total	128,64	7,039	2716,4	2711,7	57,2	0,9983	3,4

Conforme pode ser observado, mais uma vez percebe-se que o fator de potência apresentou valor consideravelmente próximo da unidade, o que valida a aplicação e utilização do conversor, conforme principal objetivo proposto no início deste trabalho.

As figuras *Figura 6-25* e *Figura 6-26* apresentam o comportamento da corrente em uma das fases de entrada do conversor durante o transitório proveniente de um degrau de carga de 100% para 50%, e de 50% para 100%, respectivamente.

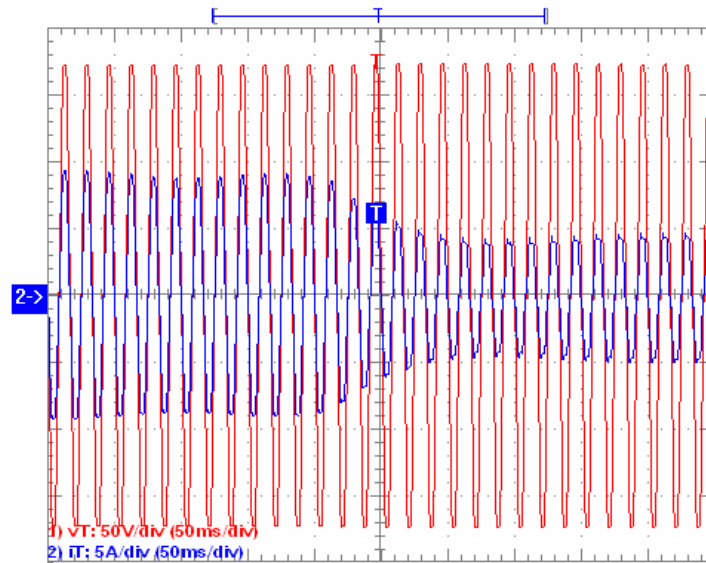


Figura 6-25 – Corrente e Tensão em Uma das Fases de Entrada – Degrau de Carga de 100% para 50%

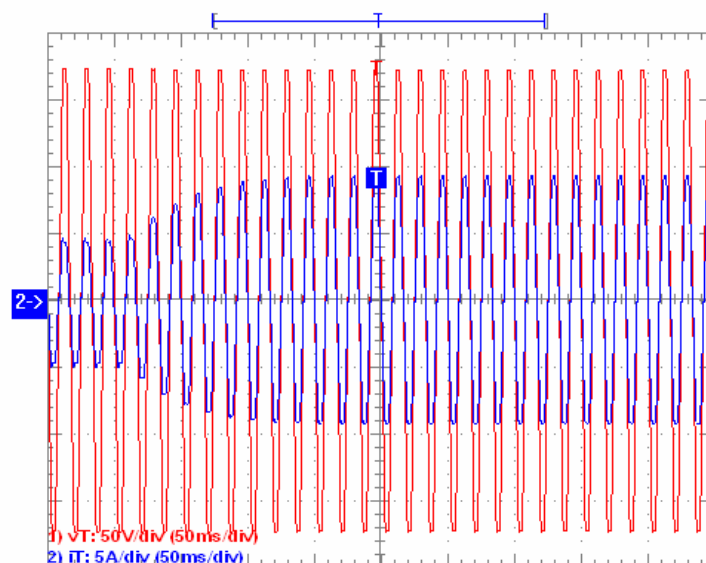


Figura 6-26 – Corrente e Tensão em Uma das Fases de Entrada – Degrau de Carga de 50% para 100%

Conforme pode ser observado, percebe-se que a corrente permaneceu em fase com a respectiva tensão, e alterou seu valor na mesma proporção da mudança de carga na saída do conversor.

De forma semelhante, as figuras *Figura 6-27* e *Figura 6-28* mostram o comportamento da tensão no barramento CC e da corrente em uma das fases de entrada do conversor durante o transitório proveniente de um degrau de carga de 50% para 100%, e de 100% para 50%, respectivamente.

Conforme pode ser observado, a corrente alterou seu valor de forma a manter a tensão no CC no barramento estabilizada na tensão de referência de 400V.

Para cada um dos casos, a tensão no barramento CC levou entre 150ms e 200ms para recuperar seu valor inicial, anterior às perturbações de carga.

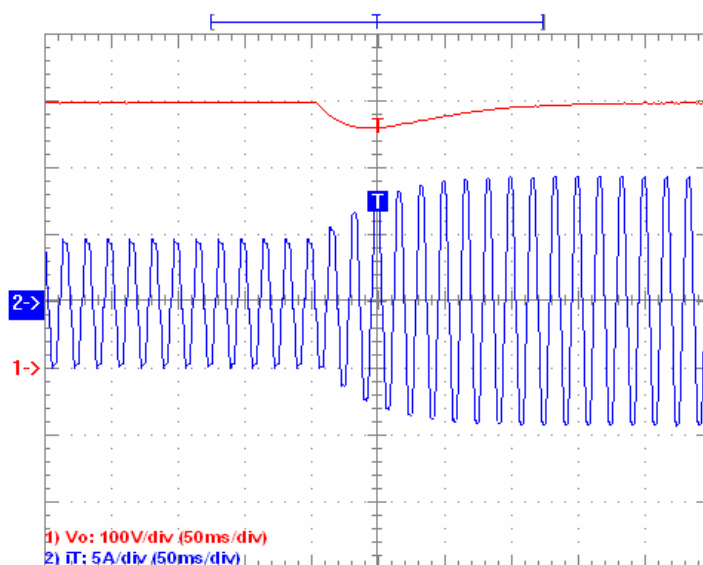


Figura 6-27 – Corrente em Uma Das Fases e Tensão no Barramento CC – Degrau de Carga de 50% para 100%

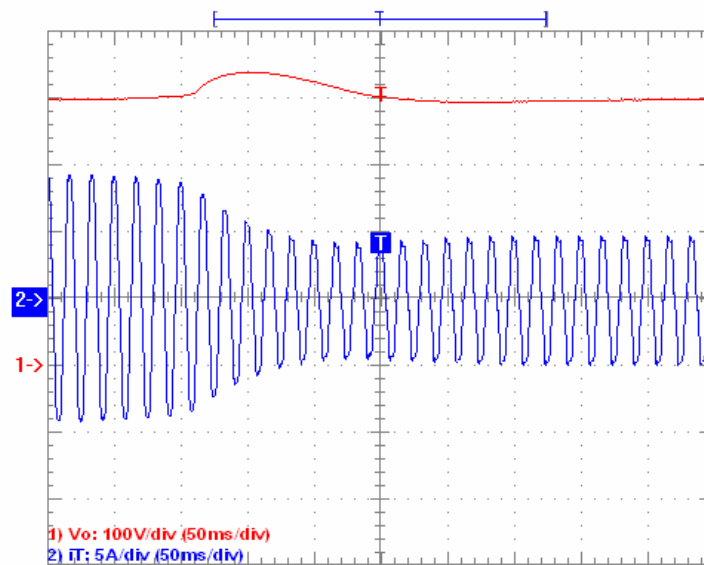


Figura 6-28 – Corrente em Uma Das Fases e Tensão no Barramento CC – Degrau de Carga de 100% para 50%

Para comprovar e validar o comportamento do conversor proposto neste trabalho referente à reversibilidade do fluxo de energia, fez-se uma injeção de potência no barramento *CC* de saída através do acoplamento e fornecimento de energia por parte de um conversor auxiliar à carga.

As figuras *Figura 6-29* e *Figura 6-30* ilustram os resultados obtidos durante o início e término da reversão do fluxo de corrente e energia, respectivamente.

Conforme pode ser observado, percebe-se que os controladores atuaram de forma rápida, primeiramente diminuindo as amplitudes, e posteriormente realizando a reversão das correntes na entrada do conversor, de forma a recuperar o valor de tensão no barramento *CC*.

Para cada uma das situações a tensão no barramento *CC* levou entre 300ms e 400ms para recuperar seu valor inicial, anterior às perturbações de injeção ou retirada de potência, respectivamente.

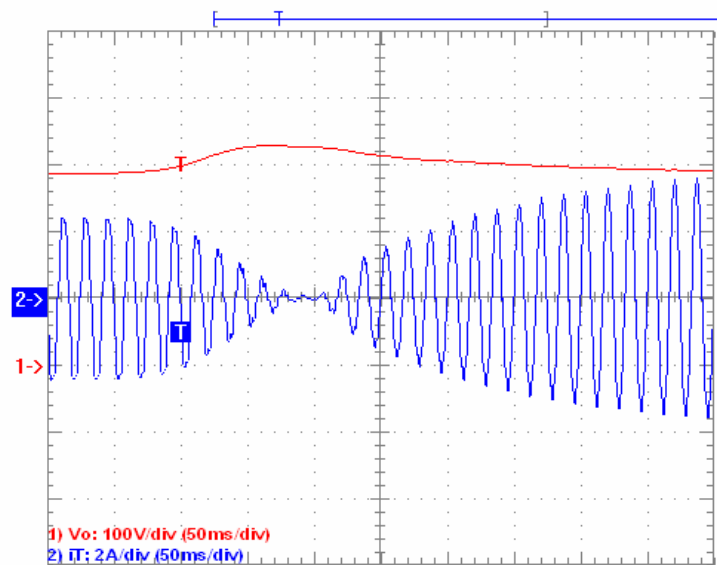


Figura 6-29 – Corrente em Uma Das Fases e Tensão no Barramento CC – Entrada na Reversão do Fluxo de Energia

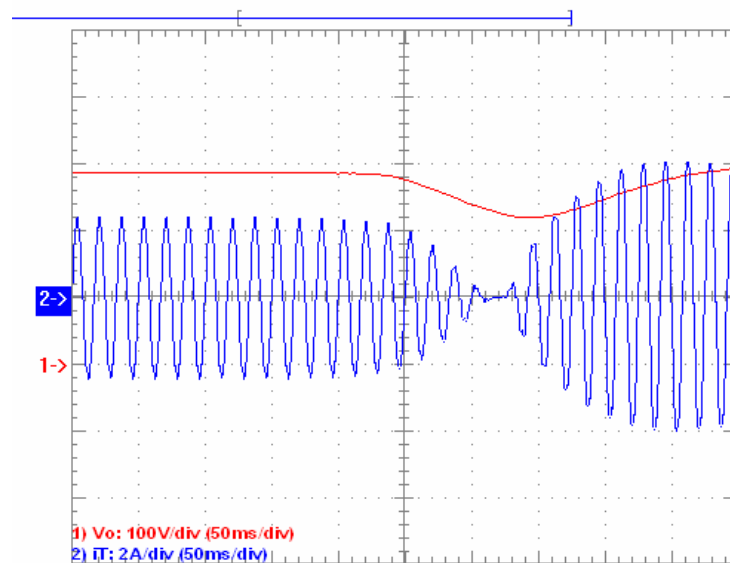


Figura 6-30 – Corrente em Uma Das Fases e Tensão no Barramento CC – Saída da Reversão do Fluxo de Energia

A *Figura 6-31* ilustra o comportamento do conversor durante um transitório de reversão de energia, mostrando que a corrente, primeiramente reduzindo sua amplitude e posteriormente revertendo sua direção, manteve-se em fase com a respectiva tensão de entrada.

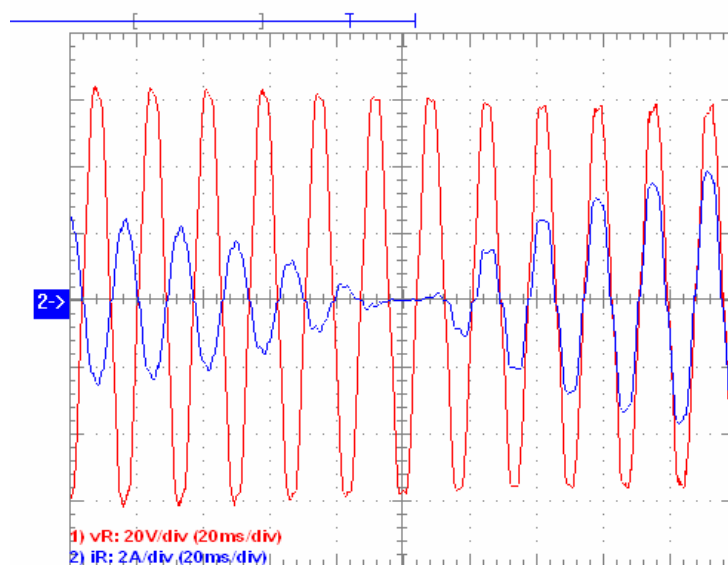


Figura 6-31 – Tensão e Corrente em Uma Das Fases de Entrada do Conversor – Detalhe em Maior Perspectiva da Saída da Reversão do Fluxo de Energia

6.9 – Conclusão

A partir dos ensaios e medições realizadas pode-se dizer que o conversor apresenta desempenho satisfatório.

O conversor apresentou fator de potência consideravelmente próximo da unidade, mostrou-se robusto a variação abrupta de carga, e também conseguiu reverter o fluxo de energia mantendo-se em fase durante os transitórios, devolvendo assim a energia excedente para a rede de alimentação trifásica.

Mesmo apresentando uma distorção harmônica um pouco elevada para as correntes de entrada, fortemente influenciadas pelas suas respectivas tensões, pode-se afirmar que o conversor projetado e construído, utilizando as técnicas e métodos descritos nos capítulos anteriores, está apto para a aplicação a qual foi proposto.

Com relação ao *DSP*, o tamanho do programa final apresentou valor em torno de 103k bytes de memória, e o tempo de execução de todas as rotinas de controle dentro de um “loop” de processamento levou 39 μ s.

7 – Conclusões Gerais

Neste trabalho dissertou-se sobre o *projeto de um retificador trifásico regenerativo com elevado fator de potência e controle em coordenadas “dq0” implementado no DSP TMS320F2812 da Texas InstrumentsTM*. Foram apresentados todos os procedimentos, considerações, métodos e estratégias utilizadas, desde a análise e projeto do circuito de potência, do sistema de comando e controle, simulação, estudo do *DSP* e implementação prática propriamente dita.

Com relação à estrutura de potência, um circuito simplificado equivalente foi abstraído para facilitar a análise do conversor. Foram descritos os procedimentos para a obtenção das principais equações que traduzissem as características e condições mais relevantes do sistema. A partir das equações foram gerados ábacos para facilitar o dimensionamento, e a partir destes foram determinados e especificados os componentes, observando-se o material disponível em laboratório.

Com relação ao controle, foram apresentados o modelo matemático, os métodos e as técnicas utilizadas, as malhas e os diagramas. Apresentou-se a técnica de geração de *PWM* utilizada e descreveu-se sobre a interação entre o mundo analógico e o *DSP*. Todos os elementos tais como sensores, filtros, conversores foram considerados. Por fim foram apresentadas as propostas dos controladores discretos, os quais se mostraram eficazes durante a fase de simulações.

Realizou-se um estudo das principais características funcionais do *DSP*, de sorte que a programação pudesse ser realizada e as leis de controle implementadas.

Foram descritas as etapas referentes à montagem e implementação prática, e por fim foram apresentados os resultados experimentais obtidos de acordo com uma bateria de testes realizada.

Com relação ao desempenho, o conversor apresentou fator de potência consideravelmente próximo da unidade, mostrou-se robusto a variação abrupta de carga, e também conseguiu reverter o fluxo de corrente, mantendo-se em fase durante os transitórios, devolvendo assim a energia excedente para a rede de alimentação trifásica. Contudo as correntes de entrada apresentaram uma distorção harmônica um pouco acima do esperado. Mesmo assim, pode-se dizer que o conversor apresentou desempenho satisfatório.

Por fim, pode-se afirmar que o conversor projetado e construído está apto para a aplicação a qual foi proposto.

7.1 – Contribuições Alcançadas

O conversor descrito neste trabalho possui importância prática ímpar, pois pode ser utilizado em uma série de equipamentos no meio industrial, conforme exemplos já citados de diversas aplicações.

Sua estrutura de potência é idêntica à de um inversor de frequência, e por tal em determinados momentos assim foi tratado para a determinação de algumas equações. Desta forma, os procedimentos e métodos aqui descritos podem também ser reaproveitados para o projeto de inversores de frequência, salvo algumas considerações e alterações relacionadas ao comportamento da carga, onde o controle de um motor de indução, por exemplo, poderia ser realizado. Semelhantemente, dois conversores podem ser rearmados de forma a montar-se uma *UPS* (Fonte de Energia Ininterrupta).

A técnica de controle por coordenadas “dq0” utilizada pode ser abstraída para um grande número de projetos na área da eletrônica de potência. Embora não nova, esta técnica ainda não havia sido utilizada em projetos práticos na presente instituição de ensino. Desta forma, graduandos e pós-graduandos poderão utilizar, até certo ponto, o “know how” conseguido para a elaboração deste trabalho, por assim dizer.

7.2 – Proposta de Melhorias Futuras

Um dos principais problemas observados durante a fase de implementação prática foi a distorção das correntes de entrada do conversor. Acredita-se que esta distorção esteja associada a frequência de amostragem utilizada neste projeto que foi de 20kHz. Para trabalhos semelhantes e ou futuros sugere-se que esta frequência seja aumentada para 100kHz.

Uma montagem interessante também poderia contemplar o projeto de um filtro passivo na entrada do conversor de modo a eliminar a injeção de harmônicos por parte deste à rede de alimentação.

O projeto do controle foi baseado em equações e leis que dependem de tensões da rede equilibradas. Na prática essas tensões não são equilibradas, e isto também interferiu nos resultados obtidos.

Tensões de entrada ou impedâncias desbalanceadas causam uma harmônica de segunda ordem anormal no barramento CC , a qual volta a se refletir na entrada causando a circulação de harmônicas de terceira ordem nas correntes. Em contra partida, as harmônicas de corrente de terceira ordem causam novamente uma harmônica de quarta ordem no barramento CC , e assim por diante. Assim, uma técnica de controle que já considerasse o desbalanceamento das fases de entrada do conversor para uma possível atuação dinâmica também se faz interessante.

Além do comentado, dependendo das características que se desejem melhorar, os algoritmos programados poderão ser consideravelmente modificados priorizando critérios específicos como, por exemplo, aumento da frequência de amostragem e ou chaveamento, desmembramento de rotinas na forma de funções, recursividade, encapsulamento, espaço de memória e tempo de execução.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Akagi, H.; Kanazawa, Y.; Nabae, A.; “Instantaneous Reactive Power Compensators Comprising Switching Devices Without Energy Storage Components”; IEEE Transactions on Industry Applications, 1984; vol. IA-20, pages 625-631.
- [2] Akagi, H.; “New Trends Active Filters”; VI Eupean Conference on Power Eletronics and Application, 1995; Sevilha, Espanha; vol. 0, pages 0.017–0.026.
- [3] Barbi, I.; Martins, D.C.; “Conversores CC-CC Básicos Não Isolados”; Edição dos Autores; Florianópolis, SC, 2000.
- [4] Blauth, Yeddo Braga, “Retificador Trifásicos Controlados Com Elevado Fator de Potência e Multiníveis de Corrente ”, Tese de Doutorado, UFSC - INEP, Florianópolis, SC, 1999.
- [5] Borgonovo, D.; “Modelagem e Controle de Retificadores PWM Trifásicos Empregando a Transformada de Park”; Dissertação de Mestrado; INEP – UFSC; Florianópolis, SC, 2001.
- [6] Cardoso, F.L.; “Projeto de um Retificador Trifásico Regenerativo com Elevado Fator de Potência e Controle por Valores Médios Quadráticos Instantâneos Implementado no DSP TMS320F2812”; Dissertação de Mestrado; LEPO - UDESC; Joinville, SC, 2006.
- [7] Choi, J. W.; SUL, S. K.; “New Current Control Concept – Minimum Time Current Control in 3-Phase PWM Converter”; IEEE PESC Conference Rec., 1995; pages 332-338.
- [8] Choi, J. W.; SUL, S.K.; “Fast Current Controller in 3-Phase Boost Converter Using d-q Axis Cross-Coupling”; IEEE PESC Conference Rec., 1996; pages 177-181.
- [9] Cichowlas, M.; Kazmierkowski, M.P.; “Comparison of Current Control Techniques for PWM Rectifiers”; Industrial Electronics - ISIE, 2002; vol. 4, pages 1259-1263.
- [10] Dahnoum, N.; “DSP Implementation Using The TMS320C6000TM”; Prentice Hall, 2000.
- [11] Divan, D.; “Low Stress Switching for Efficiency”; IEEE Spectrum, 1996; vol. 33, pages 33-39.

- [12] Doval-Gandoy, J.; Iglesias, A.; Castro, C.; Peñalver, C.M.; “Three Alternatives For Implementing Space Vector Modulation With The DSP TMS320F240”; IECON, 1999; vol. 1, pages 336-341.
- [13] Félix, C.H.F.; “Controle Digital de Uma UPS Trifásica”; Dissertação de Mestrado; PPGEE – UFMG; Belo Horizonte, MG, 2003.
- [14] Hansen, S.; Malinowski, M.; Blaabjerg, F.; Kazmierkowski, M.P.; “Sensorless Control Strategies For PWM Rectifiers”; APEC, 2000.
- [15] Houpis, C.H.; Lamont, G.B.; “Digital Control Systems: Theory, Hardware, Software”; Second Edition, McGraw-Hill, 1992.
- [16] Ingle, V.K.; Proakis, J.G.; “Digital Signal Processing Using Matlab”. Brooks / Cole, 2000.
- [17] Jacobina, C.B.; Pinheiro, R. F.; Lima, A. M. N.; Cabral da Silva, E. R.; “A Revision of The State of The Art in Active Filters”; Power Electronics Conferences – COBEP, 1999; pages 857-862.
- [18] Lapsley, P.; Bier, J.; Shoham, A.; Lee, E.A.; “DSP Processor Fundamentals – Architectures and Features”; Berkeley Design Technology, Inc., 1996.
- [19] Lee, D.C.; Lim, D.S.; “AC Voltage and Current Sensorless Control of Three-Phase PWM Rectifiers”; IEEE Transactions on Power Electronics, 2002; vol. 16, pages 883-890.
- [20] Lipo, T. A.; Stankovic, A. V.; “A Novel Control Method For Input Output Harmonic Elimination of The PWM Boost Type Under Unbalanced Operating Conditions”; IEEE Transactions on Power Electronics, 2001; vol. 16, pages 603-611.
- [21] Lyra, R. O. C.; “Sistema de Excitação de Alto Desempenho Para Gerador de Indução Isolado”; Dissertação de Mestrado; PPGEE – UFMG; Belo Horizonte, MG, 1994.
- [22] Mao, H.; Boroyevich, D.; Lee, F.C.Y.; “Novel Reduced-Order Small-Signal Model of a Three-Phase PWM Rectifier and Its Application in Control Design and System Analysis”; IEEE Transactions on Power Electronics, 1998; vol. 13, pages 511-521.
- [23] Mohan, N.; Underland, T.M.; Robbins, P.W.; “Power Electronics: Converters, applications and Design”; John Willey & Sons; Singapore, 1989.

- [24] Nakaoka, M.; Rukonuzzaman, M.; “Fuzzy Logic Current Controller for Three-Phase Voltage Source PWM-Inverters”; Industry Applications Conference, 2000; vol. 2, pages 1163-1169.
- [25] Ogata, K.; “Discrete-Time Control Systems”; Second Edition, Prentice Hall, New Jersey, 1994.
- [26] Ogata, K.; “Modern Control Engineering”; Third Edition, Prentice Hall, New Jersey, 1997.
- [27] Raycik, J.C.; “Projeto de um Retificador de Corrente Reversível Com Alto Fator de Potência e Controle Digital Implementado em DSP”; Dissertação de Mestrado; LEPO – UDESC; Joinville, SC, 2003.
- [28] Saelteio, S.; Torrey, D.A.; “Fuzzy Logic Control of a Space-Vector PWM Current Regulator for Three-Phase Power Converters”; IEEE Transactions on Power Electronics, 1998; vol. 13, pages 419-426.
- [29] Seixas, P.F.; “Commande Numérique d’une Machine Synchrone Autopilotée”; These de Docteur; INPT; Toulouse, 1988.
- [30] Siebert, T.; Troedson, A.; Ebner, S.; “AC to DC Power Conversion Now and in The Future”; IEEE PCIC, TORONTO, 2001 (PCIC 2001-14).
- [31] Stopa, M.M.; “Controle Por Orientação de Campo: Uma Implementação Utilizando Um Conversor CA/CC/CA Com Retificador Chaveado”; Dissertação de mestrado; PPGEE – UFMG; Belo Horizonte, MG, 1997.

APÊNDICE A - ESBOÇO DO PROJETO DOS INDUTORES DE ENTRADA

1 - Dados de Entrada:

$$P_o = 2500W \text{ (potência de saída)}$$

$$V_o = 400V \text{ (tensão de saída)}$$

$$V_p = \sqrt{2}.127V \text{ (tensão de pico de saída)}$$

$$\Delta i_L = 10\% \text{ (ondulação da corrente de entrada)}$$

$$\Delta V_o = 5\% \text{ (ondulação da tensão no barramento)}$$

$$fs = 20kHz \text{ (frequência de chaveamento)}$$

$$f = 60Hz \text{ (frequência da rede)}$$

$$\omega = 2.\pi.f \text{ (frequência angular)}$$

$$\eta = 0,87 \text{ (rendimento estimado do conversor)}$$

2 – Valores de Correntes e Determinação dos Indutores:

$$I_p = \frac{2.P_o}{3.V_p.\eta} = 10,64A \text{ (corrente de pico na entrada do conversor)}$$

$$I_{L_pico} = I_p = 10,64A \text{ (corrente de pico nos indutores)}$$

$$I_{L_ef} = \frac{I_{L_pico}}{\sqrt{2}} = 7,53A \text{ (corrente eficaz nos indutores)}$$

$$I_{L_med} = 0A \text{ (corrente média nos indutores)}$$

$$L = \frac{3.\eta.V_p^2.(2.V_o - 3.V_p)}{4.\Delta i_L.fs.V_o.P_o} = 2,74mH \text{ (indutância de entrada de cada fase)}$$

3 – Projeto dos Indutores

3.1 – Dimensionamento do Núcleo de Ferrite:

Para o dimensionamento físico do indutor, deve-se inicialmente calcular o núcleo a ser utilizado. Para isto é necessário que sejam arbitrados os valores de densidade de corrente, fluxo magnético e fator de utilização, conforme segue:

$$B_{max} = 0,29T \text{ (densidade de fluxo magnético máxima arbitrada)}$$

$$J_{max} = \frac{350A}{cm^2} \text{ (densidade de corrente máxima arbitrada)}$$

$$kw = 0,55 \text{ (fator de preenchimento da janela arbitrado)}$$

$$AeAw = \frac{L.I_{L_pico}.I_{L_ef}}{B_{max}.J_{max}.kw} = 2,759.10^5 mm^4 \text{ (produtos de áreas necessário)}$$

3.1.1 – Núcleo de Ferrite Escolhido:

Em função do produto das áreas necessário, optou-se por utilizar o núcleo NEE-65/52, conforme segue:

$$A_{eH} = 19,3mm \text{ (dimensão H)}$$

$$A_{eL} = 52,004mm \text{ (dimensão L)}$$

$$A_{eHL} = A_{eH} \cdot A_{eL} = 1,004 \cdot 10^3 mm^2 \text{ (área H.L)}$$

$$A_e = A_{eHL} = 1,004 \cdot 10^3 mm^2 \text{ (área do caminho magnético)}$$

$$A_{wH} = \left[\frac{44,2 - 19,3}{2} \right] = 12,45mm \text{ (dimensão H)}$$

$$A_{wL} = [(22) \cdot 2] = 44mm \text{ (dimensão L)}$$

$$A_{wHL} = A_{wH} \cdot A_{wL} = 547,8mm^2 \text{ (área H.L)}$$

$$A_w = A_{wHL} = 547,8mm^2 \text{ (área da janela)}$$

$$A_p = A_e \cdot A_w = 5,498 \cdot 10^5 mm^4 \text{ (produto de áreas disponível)}$$

3.2 – Determinação do Número de Espiras

$$n_{\text{espiras}} = \frac{L \cdot I_{L_pico}}{B_{\max} \cdot A_e} = 59,378 \approx 60 \text{ (número de espiras necessárias)}$$

3.3 – Determinação da Bitola e do Número de Fios em Paralelo

$$D_{\max} = \frac{15 \cdot cm \cdot s^{-0,5}}{\sqrt{fs}} = 0,106cm \text{ (valor do diâmetro máximo do fio)}$$

Optou-se por utilizar o fio 23AWG, conforme segue:

$$D_{23AWG} = 0,574mm \text{ (valor do diâmetro do fio 23AWG)}$$

$$S_{23AWG} = \frac{\pi \cdot D_{23AWG}^2}{4} = 0,259mm^2 \text{ (área da seção reta do fio 23AWG)}$$

$$S_{Indutor} = \frac{I_{L_ef}}{J_{\max}} = 2,546mm^2 \text{ (área da seção reta necessária para os indutores)}$$

$$n_{\text{fios}} = \frac{S_{Indutor}}{S_{23AWG}} = 9,841 \approx 10 \text{ fios (número de fios em paralelo)}$$

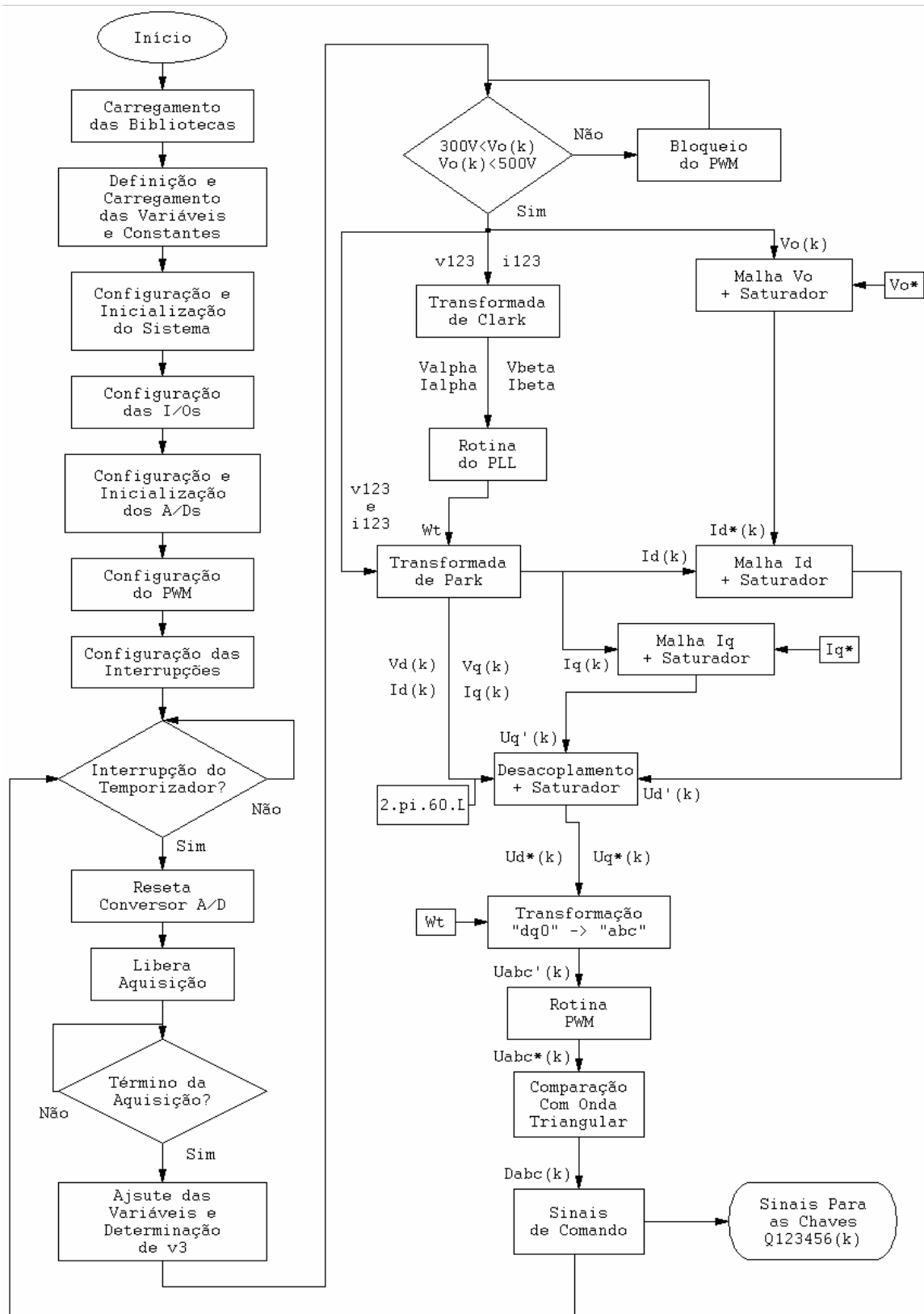
3.4 – Determinação do Entreferro

$$\mu_0 = 4 \cdot \pi \cdot 10^{-7} \cdot H \cdot m^{-1} \text{ (permeabilidade magnética do espaço livre)}$$

$$lg = \frac{n_{\text{espiras}}^2 \cdot \mu_0 \cdot A_e}{L} = 3,311mm \text{ (valor do entreferro total)}$$

$$\frac{lg}{2} = \frac{3,311}{2} = 1,656mm \text{ (valor do entreferro para cada perna do núcleo NEE)}$$

APÊNDICE B - FLUXOGRAMA DO SOFTWARE DE CONTROLE



ÍNDICE REMISSIVO

- “abc”, 42, 43, 55, 56, 57, 100, 101
- “dq0”, i, iii, 42, 43, 48, 50, 54, 56, 57, 72, 81, 84, 100, 101
- “αβ0”, 42
- A/D, xii, xiii, xiv, 54, 55, 56, 66, 68, 73, 119, 128, 135, 142
- ábacos, 36, 38, 39, 159
- abordagem gráfica, 19, 23
- acoplamento, 45, 46, 56, 81, 156
- algoritmo, 56, 72, 95
- algoritmo computacional, 77
- aliasing, 68, 69, 70
- alinhamento, 40, 48, 49, 65, 108
- alinhamento de vetores, 40, 65
- alinhamento do vetor tensão, 48, 108
- altas frequências de amostragem, 78
- amostrador de ordem zero, 100
- amostragem de um sinal, 73
- amostragem e retenção, 47, 54, 55
- análise, xi, 6, 7, 9, 11, 14, 21, 39, 41, 42, 53, 54, 76, 79, 80, 81, 84, 90, 97, 102, 123, 149, 153, 159
- atraso, 48
- atuação de controle, 47
- AWG, 35
- barramento CC, iii, xiii, 4, 7, 40, 51, 52, 53, 55, 57, 58, 74, 75, 87, 92, 96, 97, 100, 101, 102, 103, 104, 109, 111, 112, 113, 135, 143, 149, 155, 156
- boost, 14, 15
- botão de reset, 137
- braço, 7, 9, 14, 40, 46, 58, 60, 62, 63, 65, 137
- Butterworth, 71, 134
- capacitância, 6, 22, 23, 35, 36, 40
- capacitor de saída, xii, xiv, 14, 22, 23, 24, 25, 36, 42, 62, 100, 104, 110
- capacitor do barramento CC, 69
- carga, xii, xiii, xiv, 6, 22, 23, 40, 51, 52, 100, 103, 106, 108, 109, 111, 145, 154, 155, 156, 158, 159, 160
- chave, xii, 9, 14, 17, 30, 37, 60, 62, 63, 72, 126, 128, 144
- chaves, xii, xiv, 1, 6, 7, 9, 11, 14, 15, 16, 18, 29, 30, 36, 37, 38, 40, 60, 61, 62, 63, 64, 80, 87, 100, 112, 143, 145, 147
- chaves de potência, 97
- chip-select, 123
- ciclo de chaveamento, xi, 21
- científico, 1
- circuito, 6, 7, 14, 15, 17, 21, 22, 31, 33, 39, 40, 70, 126, 132, 133, 135, 136, 137, 139, 159
- circuito de potência, 6, 7, 39, 137, 159
- círculo unitário, 78
- Clark, iii, 40, 42, 143
- CMOS, 121, 127
- CNC, 136, 139
- Code Composer™, 141
- comando das chaves, 64
- comando numérico computadorizado, 136, 139
- comando PWM, 57
- comparador triangular, 102, 115
- componentes, xiv, 1, 6, 7, 21, 22, 34, 39, 48, 70, 81, 98, 108, 118, 159
- componentes harmônicas, 71
- comportamento do conversor, 79
- comportamento global do sistema, 86, 93
- concessionária, 48
- configuração, 4, 53, 123, 128, 142, 145
- considerações, 7, 13, 21, 22, 39, 116, 159, 160
- contaminação harmônica, 71
- controlador de corrente de eixo direto, 113
- controlador PI, 86, 87, 92, 93, 94, 95, 96, 101, 143, 144
- controladores, iii, 47, 54, 57, 65, 66, 76, 77, 78, 79, 80, 81, 82, 85, 86, 94, 95, 96, 97, 98, 101, 113, 116, 156, 159
- controladores digitais, 76
- controle, iii, 1, 4, 6, 40, 42, 46, 47, 48, 49, 50, 51, 53, 54, 56, 57, 65, 71, 76, 79, 80, 81, 84, 85, 86, 87, 92, 95, 97, 98, 101, 103, 106, 108, 115, 120, 128, 129, 132, 134, 137, 140, 141, 143, 145, 149, 158, 159, 160
- conversor, xi, xii, xiii, 4, 6, 7, 8, 9, 11, 12, 13, 14, 15, 16, 17, 21, 29, 30, 32, 33, 34, 39, 40, 44, 46, 48, 51, 52, 53, 54, 55, 58, 61, 65, 66, 68, 71, 72, 73, 80, 81, 82, 84, 88, 89, 92, 97, 98, 100, 101, 102, 104, 105, 106, 107, 109, 111, 112, 113, 116, 129, 132, 134, 136, 137, 139, 140, 142, 143, 144, 145, 146, 147, 148, 149, 152, 153, 154, 155, 156, 157, 158, 159, 160, 161
- conversor A/D, 73
- conversores, 1, 4, 42, 52, 55, 56, 66, 73, 87, 97, 100, 119, 128, 135, 142, 159, 160
- conversores analógicos digitais, 73
- cooler, 145
- coordenadas, iii, 1, 4, 40, 42, 43, 46, 48, 49, 55, 56, 57, 62, 65, 71, 72, 84, 100, 101, 143, 159, 160
- coordenadas “dq0”, iii, 1, 42, 46, 48, 49, 71, 72, 84, 159, 160
- corrente de pico, 16, 22, 35, 36, 37, 38
- corrente eficaz, 21, 24, 25, 29, 31, 32, 35, 36
- corrente fundamental, 152
- corrente média, 29, 30, 32, 33
- CPU, 120, 121, 123, 126, 127, 128, 129
- critérios de projeto, 88
- desacoplamento, 40, 46, 49, 65, 101, 108
- descrição teórica, 39
- deslocamento térmico, 74
- determinação, 34, 39, 56, 64, 88, 116, 160
- diagrama de blocos, 45, 47, 53, 56, 73, 88, 120
- diagrama de Bode, 77, 84, 86, 93
- diagrama de controle, 40, 66
- diagrama esquemático, 56, 66, 70, 74, 131, 141
- diagramas, 47, 49, 53, 54, 55, 65, 76, 81, 88, 98, 116, 159
- dimensionamento, 19, 23, 24, 30, 39, 159
- diodos, xii, 4, 6, 7, 30, 32, 33, 38, 39, 40, 100, 104, 135, 149
- direto, 45, 48, 51, 52, 53, 55, 81, 86, 88, 108, 113, 143, 144
- dissertações, 47, 53
- distorção harmônica, 158, 159
- domínio contínuo, 77
- domínio da frequência, 97
- domínio S, 49
- drives, 129, 132, 143, 144, 145
- drives de potência, 56, 143

DSP, i, iii, xi, xv, 1, 40, 54, 55, 56, 57, 65, 66, 68, 72, 73, 80, 95, 100, 116, 118, 121, 124, 127, 130, 131, 135, 140, 141, 142, 158, 159, 162, 163, 164
 eCAN, 127, 128, 129
 eixo direto, 144
 elementos do circuito, 39
 eletrônica de potência, 1, 36, 37, 39, 98, 160
 equação dinâmica, 51
 equação discreta, 60
 equacionamento, xi, xiv, 14, 34, 35, 36, 38, 76
 equações a diferenças, 66, 77, 95, 96, 101
 erro em regime, 50
 espaço vetorial, 58, 59, 61
 especificação, 34, 39, 119
 especificações, 7, 87, 94
 espiras, 35
 estados das chaves, 60
 estrutura de potência, 132
 eZdsp, 130, 131, 140, 141
 fator de potência, iii, 1, 4, 6, 7, 15, 21, 49, 88, 92, 104, 112, 149, 154, 158, 159
 ferramenta matemática, 54
 filtro, 69, 70, 71, 72, 82, 135, 147, 160
 filtro anti-aliasing, xi, xiii, 54, 55, 69, 70, 82, 135
 filtro ativo, 71
 fluxo de energia, 156, 158
 fluxograma, 142
 fonte de alimentação, 130, 132, 133, 145
 fonte de energia ininterrupta, 160
 fonte emissora de ruídos, 140
 fonte simétrica de 15V, 75
 forma matricial, 41, 43
 frequência de amostragem, 69, 70, 71, 79, 80, 160
 frequência de chaveamento, 69, 80, 85, 97
 frequência de corte, 69, 70, 71, 79, 80, 84, 86, 91, 92, 97
 frequência de cruzamento, 80, 85, 92
 frequência de projeto, 69
 frequência fundamental, 79
 frequências réplicas, 69
 FTMA, 84, 85, 86, 87, 90, 91, 93, 94
 função de transferência, 68, 70, 71, 72, 76, 77, 81, 83, 84, 85, 88, 89, 90, 92, 95, 96
 função transferência, 75
 funcionamento dinâmico, 98
 funcionamento do circuito, 39
 funcionamento do conversor, 71
 gerador de referências pseudo-vetorial, 101
 girante, 42, 143
 GPIO, 124, 125, 128
 gráficos, 98
 HALT, 127
 harmônicas de tensão, 150
 identidades trigonométricas, 17
 IDLE, 127
 IGBTs, 69, 101, 112, 144, 145, 148, 153
 impedância de linha, 148
 implementação prática, 36, 54, 66, 68, 97, 100, 111, 116, 118, 132, 159, 160
 indutância, 13, 16, 18, 20
 indutâncias, 6, 34, 40, 44, 69, 100
 indutâncias de entrada, 34, 40, 44
 indutor, xi, xiii, xiv, 9, 13, 16, 18, 19, 21
 indutores, xii, 7, 8, 9, 13, 14, 15, 17, 19, 21, 35, 100, 112, 118, 132, 145
 insulated gate bipolar transistor, 1
 interruptores, 7, 14, 18, 31
 inversor, 1, 4, 51, 160
 JTAG, 122, 125, 130
 laboratório, 36, 37, 39, 159
 laço aberto, 80
 Laplace, xiii, 44, 54
 largura de banda, 74
 largura de pulso, 58
 leis de controle, 159
 linguagem de alto nível, 121, 124, 131, 141, 142
 LV-25P, 135
 MaC 32 x 32bits, 118
 malha de tensão, xii, 53, 55, 68, 80, 87, 88, 92, 143
 malhas de controle, 101
 margem de fase, 76, 85, 87, 92, 94
 margem de ganho, 76, 87, 94
 Matlab™, 98, 116
 McBSP, 119, 128, 130
 memória flash, 123, 124
 memória OTP, 123
 memória RAM, 119, 124, 126
 metal oxide semiconductor, 1
 metodologia, 13, 17, 90
 microprocessadores, 1
 modelo, 11, 14, 37, 40, 53, 65, 159
 modulação PWM, 4, 40, 58
 módulo, 8, 36, 37, 39, 68, 90, 119, 120, 128, 129, 143, 145
 módulo de potência, 145
 módulo Semikron, 145
 normalizada, xii, xiii, 20, 23, 29, 30, 31, 32, 33
 número de bits do conversor A/D, 73
 ondulação, 19, 22, 37, 38, 87, 88, 104, 109
 operações matemáticas, 16, 118, 144
 oscilações, 50
 osciloscópio digital, 72
 Park, iii, 40, 42, 143, 144, 162
 PCI, 133, 136, 138, 139
 percloroeto de ferro, 133
 período de chaveamento, xiv, 7, 24, 48, 62, 63, 80
 perturbações, 52, 155, 156
 placa de circuito impresso, 132, 133, 135, 137
 placa de comando, 137, 139
 plano "S", 54, 76, 77, 78, 79, 82, 84, 90
 plano "Z", 54, 76, 77, 78, 82, 96
 planta de controle, 57
 planta de controle, 98, 100, 101, 102
 planta de potência, 98, 99
 PLL, 72, 120, 126, 127, 140, 143
 portadora, 8
 potência, 1, 4, 6, 16, 21, 34, 36, 39, 48, 49, 51, 52, 55, 56, 72, 80, 87, 98, 100, 111, 127, 143, 145, 148, 153, 156, 159, 160
 potência ativa, 49
 potência reativa, 49
 potências ativa e reativa absorvidas, 48
 potência de entrada, 21
 premissas, 31
 pré-regulador, 1, 51
 principais equações, 6, 39, 40, 65, 159
 procedimentos, 6, 9, 39, 40, 79, 116, 159, 160
 processamento analógico, 118
 processamento analógico de sinais, 118
 processamento digital de sinais, 118, 131, 141
 projeto, iii, 1, 6, 34, 35, 36, 38, 54, 65, 66, 70, 71, 76, 78, 80, 81, 82, 87, 92, 94, 159, 160

publicações, 47, 53
 pull-down, 121
 pull-up, 121
 PWM Regular Trifásico Simétrico, 62, 63, 64
 PWM triangular trifásico senoidal, 8
 PWM vetorial, 65, 102
 quadratura, 45, 48, 81, 88, 108, 113, 119, 129, 143, 144
 razões cíclicas, 15, 16, 17, 18, 144
 realimentação, 47, 88
 rede, xi, 4, 6, 7, 8, 17, 21, 22, 34, 41, 48, 49, 52, 99, 104, 108, 109, 112, 119, 145, 158, 159, 160
 referência de tensão de eixo “d”, 57, 101
 referencial síncrono, 48, 57, 101
 regeneração de energia, ii, iii, 1, 49, 98, 100, 105, 107, 147
 região de operação, 8, 9, 11
 regiões de operação, 8, 9, 11
 regiões de operações, 7
 reguladores de tensão, 132
 rendimento, 16, 21, 22
 requisitos de projeto, 38
 requisitos funcionais, 92
 resistências, 40, 44, 100
 resposta em frequência, 76, 77, 78, 79, 80, 84, 90
 resultado, 17, 31, 33, 80, 101
 resultados experimentais, 132, 147, 159
 retificadores, 4, 58, 87, 104
 retificadores trifásicos, 4, 104
 reversão, 105, 108, 156, 157
 reversibilidade, 156
 ripples, 153
 robustez, 88, 92
 robusto, 87, 158, 159
 rotina de “desacoplamento”, 144
 rotina de leitura, 72
 Routh e de Hurwitz, 76
 SCI, 119, 125, 128, 130
 segurador de ordem zero, 77
 senoidal, 35, 38, 104, 112, 147, 148
 sensor “LV 20-P”, 74
 sensores, 53
 sequência zero, 13, 48, 56, 102, 108, 115, 147
 simetria, 33
 simplificações, 5, 7, 17
 SimulinkTM, 98, 116
 sinais analógicos, 73
 sinais de controle, 8, 122, 131
 sinal analógico, 73
 sinal de alta frequência, 69
 sistema de comando, 40, 65, 97, 159
 sistema de comando e controle, 66
 sistema de controle, 46
 sistema de coordenadas, 43
 sistema de potência, 39
 sistema equilibrado, 43, 44, 63
 sistema trifásico, 58
 sistemas de controle, 121
 space vector modulation, 58, 163
 SPI, 119, 125, 128, 130
 standby, 127
 static induction transistor, 1
 tamanho do programa final, 158
 taxa de distorção harmônica, 104
 técnica de projeto, 97
 técnicas convencionais no domínio da frequência, 66
 técnicas de controle, 6, 47
 Tektronix, 148, 150
 tempo de execução, 126, 158
 tempo discreto, 95
 tensão de fase, 72, 134, 143
 tensão de saída, xi, xiv, 6, 7, 15, 23, 34, 37, 38, 40, 52, 63, 67, 68
 tensão no barramento, 55
 teorema do deslocamento, 96, 97
 Texas InstrumentsTM, 73, 122, 141, 159
 THD, 104, 149
 TMS320F2812, i, iii, 1, 118, 119, 120, 131, 140, 141, 159, 162
 topologia, 4, 14, 104, 112
 transformação, 40, 42, 43, 44, 50, 56, 65, 66, 72, 76, 77, 78, 82, 83, 101, 113, 143, 144
 transformação bi-linear, 89
 transformações, iii, 42, 57, 79, 100, 143
 transformada “Z”, 54
 transformada de Laplace, 44
 transformador, 72, 133
 transições, 8, 11, 12
 transitórios de carga, 147
 TTL, 121
 UPS, 160, 163
 vetor de espaços, 58, 61, 62
 vetores, 59, 60, 61
 wattímetro, 153