

JONATHAN DÔMINI SPERB

**PROJETO DE UM INVERSOR TRIFÁSICO COM SNUBBER DE
UNDELAND REGENERATIVO E CONTROLE DIGITAL
IMPLEMENTADO NO DSP TMS320F2812**

JOINVILLE – SC

2007

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE

JONATHAN DÔMINI SPERB

**PROJETO DE UM INVERSOR TRIFÁSICO COM SNUBBER DE
UNDELAND REGENERATIVO E CONTROLE DIGITAL
IMPLEMENTADO NO DSP TMS320F2812**

Dissertação apresentada para obtenção do título
de Mestre em Engenharia Elétrica da
Universidade do Estado de Santa Catarina, Centro
de Ciências Tecnológicas.

Orientador: Marcello Mezaroba, Dr. Eng.

JOINVILLE – SC

2007

"Projeto de um Inversor Trifásico com Snubber de Undeland Regenerativo e Controle Digital Implementado no DSP TMS320F2812"

por

Jonathan Dômini Sperb

Esta dissertação foi julgada adequada para a obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

área de concentração em “Automação de Sistemas”,
e aprovada em sua forma final pelo

CURSO DE MESTRADO PROFISSIONAL EM ENGENHARIA ELÉTRICA

CENTRO DE CIÊNCIAS TECNOLÓGICAS DA

UNIVERSIDADE DO ESTADO DE SANTA CATARINA,

Banca Examinadora:

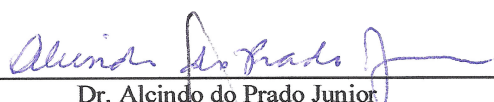
Joinville, 03 de agosto de 2007



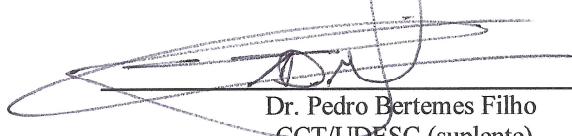
Dr. Marcello Mezaroba
CCT/UDESC (presidente)



Dr. Adriano Péres
(FURB)



Dr. Alcindo do Prado Junior
CCT/UDESC



Dr. Pedro Bertemes Filho
CCT/UDESC (suplente)

FICHA CATALOGRÁFICA

NOME: SPERB, Jonathan Dômini	
DATA DEFESA: 03/08/2007	
LOCAL: Joinville, CCT/UDESC	
NÍVEL: Mestrado	Número de ordem: 002 – CCT/UDESC
FORMAÇÃO: Engenharia Elétrica	
ÁREA DE CONCENTRAÇÃO: Automação de Sistemas	
TÍTULO: Projeto de um Inversor Trifásico com Snubber de Undeland Regenerativo e Controle Digital Implementado no DSP TMS320F2812	
PALAVRAS - CHAVE: Inversor Trifásico, Snubber de Undeland, Controle Digital, DSP, Comutação Suave.	
NÚMERO DE PÁGINAS: 170.	
CENTRO/UNIVERSIDADE: Centro de Ciências Tecnológicas da UDESC	
PROGRAMA: Pós-graduação em Engenharia Elétrica - PGEE	
CADASTRO CAPES: 41002016012P0	
ORIENTADOR: Dr. Marcello Mezaroba	
PRESIDENTE DA BANCA: Dr. Marcello Mezaroba	
MEMBROS DA BANCA: Dr Adriano Péres, Dr. Alcindo do Prado Junior, Dr. Pedro Bertemes Filho	

À minha amada família, que sempre esteve ao meu lado, apoiando e incentivando, em todos os momentos desta longa caminhada.

AGRADECIMENTOS

A Deus Pai, Filho e Espírito Santo, pelo qual e para quem todas as coisas são feitas.

Ao Prof. Dr. Marcello Mezaroba, que como amigo e orientador, compartilhou do seu tempo e conhecimento de maneira incalculável para a conclusão deste trabalho.

Ao M. Sc. Neomar Giacomini e à M. Sc. Priscila dos Santos Garcia Giacomini pelas infindáveis horas de trabalho conjunto e discussão dos pequenos, mas complicados, detalhes que envolveram todo este trabalho.

Aos professores M. Sc Alessandro Luiz Batschauer e M. Sc. Joselito Anastácio Heerdt por serem sempre fontes de conhecimento e apoio a este trabalho.

Aos bolsistas e técnicos de laboratório que acompanharam, incentivaram e ajudaram no desenvolvimento final deste trabalho.

À ELETROBRÁS, pela concessão da bolsa de estudos que sustentou grande parte dos estudos realizados durante o período de desenvolvimento deste trabalho.

À Universidade do Estado de Santa Catarina – UDESC e ao Programa de Pós-graduação em Engenharia Elétrica - PGEE pela realização do presente trabalho.

Ao Centro de Ciências Tecnológicas e ao Departamento de Engenharia Elétrica pela infra-estrutura oferecida.

A Texas Instruments pelas doações feitas, as quais foram importantes para a implementação prática do conversor.

À Supplier por colaborar na confecção dos protótipos.

À minha família, que em todos os momentos esteve apoiando e incentivando e sempre soube entender as dificuldades enfrentadas durante esta caminhada.

Aos amigos que, muitas vezes mesmo sem entender aquilo que era explicado, souberam valorizar e apoiar este trabalho e esta difícil jornada.

E, não por último, a todos que direta ou indiretamente contribuíram com incentivos, idéias, carinho, compreensão, soluções e muitas outras colaborações que, com certeza, foram indispensáveis à conclusão deste trabalho.

RESUMO

Este estudo trata do projeto e implementação do controle digital por valores médios instantâneos das tensões de saída do inversor trifásico com *Snubber de Undeland*, utilizando conversor auxiliar *Buck-Boost* para regeneração da energia processada pelo *snubber*. São apresentados os estudos qualitativo e quantitativo das estruturas do inversor, *snubber* e conversor auxiliar, bem como o projeto final para um conjunto de especificações apresentadas. Para a realização do controle são mostrados os modelos matemáticos de todos os blocos necessários para o projeto do controlador, assim como é apresentada uma metodologia de projeto de controle baseado na resposta em frequência. Resultados de simulação complementam o estudo e comprovam a metodologia apresentada. Para validação experimental, é desenvolvido um protótipo do inversor com *snubber* e conversor auxiliar, com potência de saída de 4,5kVA, frequência de operação de 50kHz, e com capacidade de operar com potência nominal para a faixa de tensão de saída de 127V a 220V. Resultados experimentais dos circuitos de potência e controle complementam a validação deste estudo.

PALAVRAS-CHAVE: Inversor Trifásico, *Snubber de Undeland*, Controle Digital, DSP, Comutação Suave.

ABSTRACT

This work deals with the design and implementation of the digital instantaneous averaged values control for output voltages of the three-phase inverter with Underland's snubber, using the Buck-Boost converter for regeneration of the snubber's energy. The qualitative and quantitative analysis of the inverter power structure, snubber and auxiliary converter, as well as the project for a set of presented specifications is presented. All needed block models for the design of the control are shown, as well as the project methodology of frequency response control. Results of simulation complement the work and prove the presented methodology. For experimental validation, it's developed a three-phase inverter with snubber and auxiliary converter, with output power of 4.5kVA, switching frequency of 50kHz, and with capacity to operate with full power for output voltage from 127V up to 220V. Experimental results of the power circuits and control performance complement the study.

KEYWORDS: Three-phase Inverter, Undeland's Snubber, Digital Control, DSP, Soft-commutation.

LISTA DE ILUSTRAÇÕES

Figura 1 – Circuito proposto.....	26
Figura 2 – Correntes de saída do conversor para um período de rede.....	27
Figura 3 – Obtenção dos sinais de comando para as chaves do inversor.	28
Figura 4 – Etapas de Operação: circuitos equivalentes.	33
Figura 5 – Etapas de Operação: circuitos equivalentes.	34
Figura 6 – Etapas de Operação: circuitos equivalentes.	35
Figura 7 – Formas de Onda para os elementos do primeiro braço do Inversor.....	36
Figura 8 – Formas de Onda para os elementos do segundo braço do Inversor.	37
Figura 9 – Formas de Onda para os elementos do terceiro braço do Inversor.	38
Figura 10 – Formas de Onda para os demais elementos do Inversor.	39
Figura 11 – <i>Snubber de Undeland</i> modificado em inversor trifásico.....	66
Figura 12 – Circuito para regeneração da energia do <i>snubber</i>	67
Figura 13 – Circuito completo para análise do conversor <i>Buck-Boost</i>	68
Figura 14 – Etapas de Operação do conversor auxiliar	69
Figura 15 – Formas de onda teóricas nos componentes do conversor auxiliar	70
Figura 16 – Diagrama de Blocos para uma fase do Sistema Contínuo.	79
Figura 17 – Diagrama de blocos do Sistema com Controle Digital.	80
Figura 18 – Diagrama completo do sistema de controle do inversor trifásico.....	80
Figura 19 – Circuito simplificado do inversor para uma fase.	81
Figura 20 – Tensão instantânea no ponto A da Figura 19.	82
Figura 21 – Modelo da Planta para uma fase.	82
Figura 22 – Sinal de controle e portadora triangular.	84

Figura 23 – Geração da onda triangular.	84
Figura 24 – Atualização do valor de comparação	85
Figura 25 – Filtro anti-aliasing considerado.....	86
Figura 26 – Modelo do sensor de tensão	88
Figura 27 – Malha de controle de tensão.....	89
Figura 28 – Malha de controle de tensão simplificada.	90
Figura 29 – Malha de controle de tensão no plano w	92
Figura 30 – Comparativo entre a resposta em frequência para a planta de tensão antes e após a digitalização.....	94
Figura 31 – Influência do controle na malha de tensão.	96
Figura 32 – Representação do bloco do controlador de tensão.	96
Figura 33 – Circuito simulado para o estágio de potência do inversor.	100
Figura 34 – Detalhe da comutação da chave Z_1 – Entrada em condução.....	102
Figura 35 – Detalhe da comutação da chave Z_1 – Bloqueio.....	102
Figura 36 – Circuito utilizado para a simulação do conversor auxiliar <i>Buck-Boost</i>	103
Figura 37 – Corrente no indutor L_{BB}	104
Figura 38 – Corrente no Diodo D_{BB}	104
Figura 39 – Comutação na Chave Z_{BB}	105
Figura 40 – Detalhe do bloqueio na Chave Z_{BB}	105
Figura 41 – Diagrama de blocos da simulação – digitalização dos sinais.....	106
Figura 42 – Diagrama de blocos da simulação – equação a diferenças do controlador.	107
Figura 43 – Diagrama de blocos da simulação – modulador PWM.....	107
Figura 44 – Diagrama de blocos da simulação – circuito de potência.	107
Figura 45 – Diagrama de blocos da simulação – medições.....	108
Figura 46 – Tensão de saída para o sistema sem carga.	110
Figura 47 – Amostra da tensão de saída e tensão de referência.	110
Figura 48 – Tensão e corrente (x5) de saída com a inclusão da carga.	110
Figura 49 – Detalhe da tensão e corrente (x5) de saída com a inclusão da carga.	111

Figura 50 – Tensão e corrente (x5) de saída com a retirada da carga.	111
Figura 51 – Detalhe da tensão e corrente (x5) de saída com a retirada da carga.	112
Figura 52 – Tensão de saída com controladores digital e analógico.	112
Figura 53– Diagrama em blocos do sistema implementado.	115
Figura 54 – Fluxograma do programa do DSP.	117
Figura 55 – Protótipo do inversor com controle digital montado para testes.	120
Figura 56 – Esquema elétrico do estágio de entrada.	121
Figura 57 – Estágio de entrada para o Inversor Trifásico.	122
Figura 58 – Foto do módulo inversor trifásico desenvolvido.	124
Figura 59 – Foto do <i>driver</i> de comando.	125
Figura 60 – <i>Kit</i> didático TMS320F2812 eZdsp™.	127
Figura 61 – Circuito de condicionamento do sinal de tensão de saída.	127
Figura 62 – Circuito de condicionamento do sinal de tensão do barramento CC.	129
Figura 63 – Circuito de condicionamento de sinal do DSP para os <i>drivers</i>	130
Figura 64 – Circuito de condicionamento de sinal dos <i>drivers</i> para o DSP.	130
Figura 65 – Placa de condicionamento de sinais.	130
Figura 66 – Circuito da fonte de alimentação.	131
Figura 67 – Placa da fonte de alimentação.	131
Figura 68 – Tensões de saída trifásicas – 127V (50V/div, 2ms/div).	132
Figura 69 – Tensões de saída trifásicas – 220V (100V/div, 2ms/div).	133
Figura 70 – Tensão de saída da fase A, sem carga, 220V, 60Hz (100V/div, 2ms/div).	133
Figura 71 – Tensão de saída para a fase A, sem carga, 220V, 500Hz (100v/div, 200μs/div).	134
Figura 72 – Conteúdo harmônico da tensão de saída de 220V para 60Hz e 500Hz.	134
Figura 73 – Degrau de carga de 50% para 100% da carga nominal (50V/div, 10A/div, 2ms/div).	135
Figura 74 – Detalhe do de grau de carga de 50% para 100% da carga nominal (50V/div, 10A/div, 200μs/div).	136

Figura 75 – Degrau de carga de 0 para 100% da carga nominal (50V/div, 10A/div, 2ms/div).	136
Figura 76 – Detalhe do degraude carga de 0 para 100% da carga nominal (50V/div, 10A/div, 200μs/div).	137
Figura 77 – Tensão e corrente de saída para carga não linear (100V/div, 10A/div, 5ms/div).	138
Figura 78 – Sinal senoidal com terceira harmônica.	139
Figura 79 – Tensão de saída para referência simulando uma rede de alimentação distorcida (100V/div, 5ms/div).	139
Figura 80 – Comparativo do conteúdo harmônico para tensão simulando uma rede distorcida.	140
Figura 81 – Tensão de saída para referência triangular (100V/div, 5ms/div).	140
Figura 82 – Comparativo de conteúdo harmônico para tensão de saída triangular.	141
Figura 83 – Detalhe da comutação para as chaves do inversor (100V/div, 10A/div, 200ns/div).	141
Figura 84 – Resposta em frequência do sistema completo – Módulo.	142
Figura 85 – Resposta em frequência do sistema completo – Fase.	143
Figura 86 – Tensão e corrente no indutor do conversor <i>Buck-Boost</i> (2A/div, 250V/div 5μs/div).	143
Figura 87 – Tensão de comando na chave e tensão coletor-emissor da chave (10V/div, 250V/div, 5μs/div).	144
Figura 88 – Tensão coletor-emissor e corrente na chave (250V/div, 2A/div, 1μs/div).	145
Figura 89 – Detalhe da comutação da chave do conversor auxiliar (250V/div, 4A/div, 100ns/div).	146
Figura 90 – Tensão no capacitor de grampeamento e tensão de comando da chave Z_{BB} (10V/div, 25V/div, 10μs/div).	146
Figura 91 – Comparativo de rendimento para tensão de saída de 220V.	148
Figura 92 – Comparativo de rendimento para tensão de saída de 127V.	148
Figura 93 – Núcleo de ferrite escolhido para o projeto do indutor do snubber.	159
Figura 94 – Núcleo de ferrite escolhido para o projeto do indutor auxiliar.	163
Figura 95 – Núcleo de pó de ferro escolhido para o projeto do indutor do filtro de saída.	167

LISTA DE TABELAS

Tabela 1 – Dados de projeto para o circuito do Inversor.....	60
Tabela 2 – Esforços teóricos para os componentes do inversor.	62
Tabela 3 – Características das chaves do inversor.	63
Tabela 4 – Características dos diodos principais do inversor.....	63
Tabela 5 – Características dos diodos do <i>snubber</i>	63
Tabela 6 – Dados do projeto do conversor auxiliar.....	74
Tabela 7 – Dados dos principais componentes utilizados no Inversor.....	74
Tabela 8 – Resultados do projeto do conversor auxiliar.	76
Tabela 9 – Dados de Projeto para os controladores de tensão.....	93
Tabela 10 – Esforços teóricos e de simulação nos componentes do inversor	101
Tabela 11 – Potências dissipadas nos semicondutores do inversor.....	103
Tabela 12 – Comparativo dos esforços nos componentes do conversor <i>Buck-Boost</i>	103
Tabela 13 – Potências dissipadas nos semicondutores do conversor auxiliar.....	106
Tabela 14 – Dados para determinação da resistência térmica do dissipador	123
Tabela 15 – Dados para projeto do indutor do snubber.....	158
Tabela 16 – Características do núcleo EE-42/21/15.....	159
Tabela 17 – Dados do fio 28 AWG.....	160
Tabela 18 – Dados para projeto do indutor do conversor auxiliar.	162
Tabela 19 – Dados para projeto do indutor do filtro de saída	166
Tabela 20 – Características do núcleo MMT330T7725	167
Tabela 21 – Dados do fio 12 AWG.....	169

LISTA DE ABREVIACÕES E SIMBOLOGIA

A_C	Área da seção magnética do núcleo toroidal;
A_e	Área efetiva do núcleo;
A_{Lc}	Fator de indutância do núcleo toroidal;
$A_{necessária}$	Área da janela do núcleo necessária;
A_p	Produto de áreas para o núcleo toroidal;
A_w	Área da janela do núcleo;
B	Fluxo magnético;
D	Razão cíclica;
D_Q	Razão cíclica quiescente;
$d_?$	Razão cíclica relativa ao índice ?;
$Diam$	Relativo ao diâmetro;
di/dt	Derivada de corrente;
dv/dt	Derivada de tensão;
f_a	Frequência de amostragem em Hz;
f_c	Frequência de cruzamento desejada para a $FTMA_V$;
f_{ck}	Frequência de clock do DSP;
f_{co}	Frequência de ressonância do filtro de saída do inversor em Hz;
f_r	Frequência fundamental da tensão de saída do inversor em Hz;
f_s	Frequência de comutação em Hz;
$FTMA_V$	Função de transferência de malha aberta de tensão;
F_V	Função de transferência do controlador de tensão;
G_V	Função de transferência de tensão;
G_{V2}	Função de transferência de tensão modificada;
G_{Hold}	Função de transferência do retentor;
HTc	Altura do núcleo toroidal;
H_V	Função de transferência da realimentação de tensão;
I_{BM}	Valor de corrente máximo positivo no indutor do conversor auxiliar;
iC_G	Corrente no capacitor de grampeamento do snubber;

$i_{Cs?}$	Corrente no capacitor $Cs?$ do snubber;
ID	Diâmetro interno do indutor toroidal;
$iD?$	Corrente no diodo $D?$;
$iDs?$	Corrente no diodo $Ds?$ do snubber;
i_i	Corrente inicial;
$iL?$	Corrente no indutor $L?$;
iLs	Corrente no indutor Ls do snubber;
I_M	Máxima corrente ressonante no circuito do snubber;
$I_{M?}$	Máxima corrente ressonante na fase ?;
$iOut$	Corrente de saída do inversor;
I_{RR}	Valor de corrente de recuperação reversa do diodo do conversor auxiliar;
$iV?$	Corrente na fonte $V?$;
$iZ?$	Corrente na chave $Z?$;
I_p	Corrente de pico de saída;
J	Densidade de corrente;
K_{AD}	Ganho do conversor A/D;
K_{CR}	Fator de crista da corrente de saída do inversor;
k_{Fv}	Ganho proporcional do controlador de tensão;
K_V	Ganho do sensor de tensão;
K_W	Fator de utilização da janela do núcleo;
lm	Comprimento magnético médio;
l_A	Largura da seção magnética do núcleo toroidal;
M_{PL}	Comprimento do caminho magnético do núcleo toroidal;
N_{esp}	Número de espiras;
N_{FP}	Número de fios em paralelo;
OD	Diâmetro externo do núcleo toroidal;
$P_{Componente}$	Potência dissipada pelo componente;
P_{BB}	Potência processada pelo conversor auxiliar;
P_o	Potência ativa de saída;
Q_{rr}	Carga de recuperação reversa do diodo;
R_{cd}	Resistência térmica entre cápsula e dissipador;
R_{da}	Resistência térmica do dissipador;
R_{jc}	Resistência térmica entre junção e cápsula;
So	Potência aparente de saída;

T_{AMB}	<i>Temperatura ambiente;</i>
T_j	<i>Temperatura máxima da junção;</i>
t_{rr_d}	<i>Tempo de duração da recuperação reversa do diodo;</i>
$vC_?$	<i>Tensão no capacitor $C_?$;</i>
$vCont_Q$	<i>Tensão de controle quiescente;</i>
$vCont_?$	<i>Tensão de controle para o modulador PWM da saída ?;</i>
$vCs_?$	<i>Tensão no capacitor $Cs_?$ do snubber;</i>
$vD_?$	<i>Tensão no diodo $D_?$;</i>
$vDs_?$	<i>Tensão no diodo $Ds_?$;</i>
$vGZ_?$	<i>Tensão de gatilho da Chave ?;</i>
vLs	<i>Tensão no indutor Ls do snubber;</i>
V_o	<i>Tensão nominal de saída do inversor;</i>
$vOut$	<i>Tensão de saída do inversor;</i>
V_p	<i>Tensão de pico de saída;</i>
V_T	<i>Amplitude da portadora triangular;</i>
$vZ_?$	<i>Tensão emissor-coletor na chave $Z_?$;</i>
Ve	<i>Volume do núcleo;</i>
Wa	<i>Área da janela do núcleo toroidal;</i>
α	<i>Índice de modulação;</i>
ΣP	<i>Somatória das potências dissipadas nos componentes;</i>
ΔD	<i>Variação da razão cíclica;</i>
ΔI_L	<i>Ondulação de corrente no indutor de saída do inversor;</i>
$\Delta t_{?-?}$	<i>Intervalo de duração da ?-ésima etapa;</i>
$\Delta T_{Componente}$	<i>Elevação de temperatura do componente em relação ao dissipador;</i>
$\Delta T_{máx}$	<i>Máxima elevação de temperatura sobre os componentes;</i>
$\Delta vC_?$	<i>Variação da tensão no capacitor $C_?$;</i>
$\Delta vErro$	<i>Variação do erro de tensão;</i>
$\Delta vCont$	<i>Variação da tensão de controle;</i>
ω	<i>Frequência angular no plano s;</i>
ω_a	<i>Frequência de amostragem em rad/s;</i>
ω_{BB}	<i>Frequência natural de ressonância do conversor auxiliar;</i>
ω_o	<i>Frequência de ressonância do filtro de saída do inversor;</i>
$\omega_{pc?}$	<i>Frequência do ?-ésimo pólo do controlador;</i>
$\omega_{pp?}$	<i>Frequência do ?-ésimo pólo da planta;</i>

ω_{RSN}	<i>Frequência natural de ressonância do snubber;</i>
$\omega_{zc?}$	<i>Frequência do ?-ésimo zero do controlador;</i>
$\omega_{zp?}$	<i>Frequência do ?-ésimo zero da planta;</i>
v	<i>Frequência angular no plano w;</i>
$_A$	<i>Relativo à fase A;</i>
$_B$	<i>Relativo à fase B;</i>
$_C$	<i>Relativo à fase C;</i>
$_{ef}$	<i>Relativo ao valor eficaz;</i>
$_{med}$	<i>Relativo ao valor médio;</i>
$_{max}$	<i>Relativo ao valor máximo;</i>
$_{Ts}$	<i>Relativo ao período de chaveamento;</i>
$_{pico}$	<i>Relativo ao valor de pico.</i>

SUMÁRIO

1. INTRODUÇÃO GERAL	21
2. ESTUDO DO INVERSOR TRIFÁSICO COM SNUBBER DE UNDELAND	25
2.1. INTRODUÇÃO	25
2.2. ANÁLISE QUALITATIVA	25
2.3. ANÁLISE QUANTITATIVA	39
2.3.1. Derivadas de tensão e corrente.....	40
2.3.1.1. Derivada de corrente	40
2.3.1.2. Derivadas de tensão.....	41
2.3.2. Índice de modulação e razões cíclicas	43
2.3.3. Filtro de Saída	44
2.3.4. Chaves Principais do Inversor.....	45
2.3.4.1. Corrente média	45
2.3.4.2. Corrente eficaz	46
2.3.5. Diodos principais do Inversor	46
2.3.5.1. Corrente média	46
2.3.5.2. Corrente eficaz	47
2.3.6. Diodos do <i>snubber</i>	47
2.3.6.1. Corrente média	48
2.3.6.2. Corrente eficaz	50
2.3.7. Capacitor C_G	51
2.3.7.1. Corrente Média.....	51
2.3.7.2. Corrente Eficaz.....	53
2.3.8. Capacitores C_s	55
2.3.8.1. Corrente Eficaz.....	55
2.3.9. Indutor L_s	56
2.3.9.1. Corrente Eficaz:.....	57
2.3.10. Fontes V	58
2.3.10.1. Corrente Eficaz:.....	58
2.4. PROJETO DO CONVERSOR	60
2.4.1. Determinação dos componentes	62
2.4.1.1. Chaves e diodos principais do inversor.....	62
2.4.1.2. Diodos do <i>snubber</i>	63
2.4.2. Determinação das potências dissipadas nos semicondutores.....	63
2.5. CONCLUSÃO	64

3. ESTUDO DO CONVERSOR AUXILIAR BUCK-BOOST QSC-ZVS.....	66
3.1. INTRODUÇÃO	66
3.2. ANÁLISE QUALITATIVA	67
3.3. ANÁLISE QUANTITATIVA	70
3.4. METODOLOGIA DE PROJETO	72
3.5. PROJETO DO CONVERSOR	73
3.6. CONCLUSÃO	76
4. MODELAGEM E CONTROLE DOS CONVERSORES	78
4.1. INTRODUÇÃO	78
4.2. VISÃO GERAL DO DIAGRAMA DE CONTROLE.	79
4.3. DETERMINAÇÃO DOS MODELOS DO SISTEMA	81
4.3.1. Modelo da planta de tensão.....	81
4.3.2. Modelo do modulador PWM	83
4.3.3. Modelo do filtro <i>anti-aliasing</i>	86
4.3.4. Modelo do conversor A/D	87
4.3.5. Modelo do sensor de tensão	88
4.3.6. Retentor	88
4.4. PROCEDIMENTO DE PROJETO DOS CONTROLADORES DIGITAIS	88
4.4.1. Projeto do Controlador de Tensão	89
4.5. CONCLUSÃO	97
5. SIMULAÇÃO NUMÉRICA.....	99
5.1. INTRODUÇÃO	99
5.2. CIRCUITOS DE POTÊNCIA	99
5.2.1. Inversor com <i>Snubber de Undeland</i>	99
5.2.2. Conversor auxiliar <i>Buck-Boost</i>	103
5.3. SISTEMA DE CONTROLE.....	106
5.4. CONCLUSÃO	113
6. IMPLEMENTAÇÃO PRÁTICA	114
6.1. INTRODUÇÃO	114
6.2. HARDWARE DE CONTROLE.....	114
6.3. PROGRAMAÇÃO	116
6.4. CIRCUITOS ELETRÔNICOS	120
6.4.1. Estágio de entrada	121
6.4.2. Unidade de potência.....	122
6.4.3. <i>Drivers</i>	125
6.4.4. Módulo DSP.....	125
6.4.5. Condicionamento dos sinais de tensão de saída.....	127
6.4.6. Condicionamento do sinal de tensão do barramento CC	128
6.4.7. Interface DSP – <i>drivers</i>	129

6.4.8. Fonte auxiliar	130
6.5. RESULTADOS EXPERIMENTAIS.....	131
6.6. CONCLUSÃO	148
7. CONCLUSÕES GERAIS	151
REFERÊNCIAS BIBLIOGRÁFICAS	154
APÊNDICE I – PROJETO FÍSICO DO INDUTOR DO SNUBBER	158
APÊNDICE II – PROJETO FÍSICO DO INDUTOR AUXILIAR.....	162
APÊNDICE III – PROJETO FÍSICO DO INDUTOR FILTRO DE SAÍDA	166

1. INTRODUÇÃO GERAL

A vida cotidiana de cada habitante do nosso planeta está diretamente ligada ao comportamento dos cidadãos e, principalmente, ao desejo coletivo de um futuro melhor. A civilização humana, desde os primórdios, tem buscado um aperfeiçoamento cada vez maior naquilo que faz, intentando sempre em conseguir fazer tudo de maneira mais prática, simples ou mais econômica. Este desejo evoluiu de tal maneira que o conforto pode ser produzido e comprado, ao seu preço, em muitas esquinas espalhadas por todas as cidades.

O setor industrial é responsável por parte dos avanços tecnológicos alcançados pelos seres humanos, uma vez que é com o desenvolvimento da indústria que surgem diversos problemas e, para cada um deles, o ser humano é estimulado a obter soluções. Como força motora de grande parte do setor industrial, a energia elétrica tem se tornado foco cada vez maior da comunidade científica e é bastante comum ouvir-se falar da possibilidade de colapso do sistema energético. Com isso, muitos órgãos tem se concentrado em pesquisar e encontrar soluções e aperfeiçoamentos aplicados à melhoria da eficiência dos equipamentos. Ainda no setor industrial, é crescente a necessidade de automação e controle dos processos, controle de produção e controle de qualidade. Vem surgindo como grande necessidade o acionamento criterioso de máquinas elétricas, não só como solução para o processo, mas também com segurança e eficiência.

Os conversores estáticos responsáveis pela transformação de tensão contínua em alternada são conhecidos como inversores. Seu uso industrial vem crescendo, principalmente no acionamento de máquinas elétricas, fontes ininterruptas de energia, amplificadores de áudio, entre outros. Além disso, a utilização de inversores com capacidade de reprodução de sinais senoidais com presença de harmônicos vem sendo de interesse cada vez maior no meio industrial, quando se tem em vista a reprodução de sinais periódicos com distorção na forma de onda, simulando a rede elétrica, para teste de equipamentos.

Com o intuito de reduzir o ruído audível dos inversores, bem como a necessidade de geração de sinais com banda passante cada vez mais alta, os pesquisadores têm se dedicado ao desenvolvimento de técnicas que reduzam as perdas por comutação e a interferência eletromagnética provocada pelo aumento da frequência de operação dos inversores. Visando melhorar as condições da comutação, técnicas passivas e ativas vêm sendo propostas para uso em inversores. As soluções ativas caracterizam-se pela utilização de interruptores controlados para obter a comutação suave, apresentando como desvantagem o aumento da complexidade do circuito de comando para as chaves auxiliares [1 - 6]. As técnicas passivas são caracterizadas principalmente pela ausência de chaves controladas no circuito de ajuda à comutação [7 - 9].

Uma técnica passiva bastante conhecida é o *Snubber de Undeland* [9], que apresenta um bom desempenho na maioria das aplicações, mas não é capaz de regenerar a energia retirada das chaves durante a comutação. Com o intuito de melhorar o rendimento do *Snubber de Undeland*, vários pesquisadores propuseram algumas alterações, como o emprego de transformadores e conversores CC-CC para regenerar a energia dissipada no resistor do *snubber*, buscando a regeneração da energia perdida no chaveamento [10 - 12].

Recentemente foi apresentada uma solução semelhante para um amplificador de sinais genéricos [13], utilizando o *Snubber de Undeland* modificado com um conversor *Buck-Boost* em condução descontínua. Essa solução mostrou-se muito interessante devido à simplicidade do comando e quantidade reduzida de componentes. A desvantagem está no aparecimento de oscilações nas tensões e correntes no conversor *Buck-Boost* durante o bloqueio do diodo de roda livre, gerando interferência eletromagnética. Desta maneira, propõe-se a utilização do conversor *Buck-Boost* QSC-ZVS (*Quasi-Square-Wave Converter, Zero Voltage Switching*) para regeneração de energia do *Snubber de Undeland* modificado, aplicado ao inversor trifásico com barramento com ponto médio. O conversor *Buck-Boost* é bastante conhecido na

literatura [14] e uma análise completa de vários conversores QSC-ZVS é apresentada em [15]. Os conversores QSC caracterizam-se por apresentarem formas de onda praticamente quadradas, onde as etapas de transição são ressonantes. Utilizando a característica de recuperação reversa do diodo de roda livre, pode-se fazer o conversor *Buck-Boost* operar em modo ZVS, apresentando as mesmas características dos conversores QSC.

Do ponto de vista de controle, pode-se afirmar que existem diversas maneiras de se controlar a tensão de saída de inversores. Independente do modo que é realizado o controle, o que se deseja é que a tensão de saída seja estável em amplitude, formato e frequência, normalmente seguindo uma referência, e que seja independente de variações de carga. A técnica mais simples consiste no controle do valor eficaz da tensão de saída, alterando a amplitude de uma referência senoidal. O tempo de resposta desse tipo de controle é de alguns ciclos da tensão [16], apresentando baixo desempenho diante de cargas não lineares e também na ocorrência de degraus de carga. Com vistas à melhora da distorção da tensão de saída, desenvolveram-se os controles por valores instantâneos implementados analogicamente e, nas aplicações mais recentes, de maneira digital. Em [17, 18] é mostrado o controle repetitivo, que altera o formato da referência de acordo com o erro periódico da tensão de saída. Este tipo de controle apresenta boa regulação para cargas não lineares, mas necessita de alguns ciclos da tensão de saída para estabilização do controle. O controlador que, teoricamente, apresenta a resposta mais rápida é o controlador do tipo *Dead Beat* [19 - 21]. Este controle apresenta bons resultados, mas é bastante sensível às mudanças na planta do sistema, como variações de carga, tornando seu uso bastante complicado nessas circunstâncias. Propõe-se então, a utilização do controle digital por valores médios instantâneos da tensão de saída, sendo que, para obtenção da diretiva de controle, será utilizada a técnica de resposta em frequência, baseada no controle contínuo, conforme abordagem apresentada em [22, 23].

No capítulo 2 deste trabalho, será apresentado o estudo do inversor trifásico com *Snubber de Undeland* modificado, enfocando as etapas de operação, definição dos esforços nos componentes e realizando o projeto da estrutura baseado nas especificações apresentadas.

No capítulo 3 será discutido o conversor auxiliar *Buck-Boost*, utilizado para regeneração da energia processada pelo *Snubber de Undeland*. As etapas de operação, a metodologia de projeto e o projeto numérico também serão apresentados.

O capítulo 4 será destinado à apresentação, definição e obtenção da diretiva de controle digital a ser empregada na estrutura de potência. Serão estudadas as funções de transferências de todos os blocos necessários para realização do controle, bem como será calculada a equação que rege o esforço de controle de acordo com as especificações impostas para o circuito de potência e também dos requisitos de projeto necessários ao controle.

O capítulo 5 trata da validação por simulação numérica do estudo desenvolvido. Serão apresentados os circuitos de simulação para o estágio de potência do inversor, para o conversor auxiliar e também para o sistema de controle. Serão apresentados os resultados de simulação e comparativos com os resultados teóricos previamente abordados.

No capítulo 6 serão apresentados os circuitos auxiliares necessários ao funcionamento do sistema completo, bem como os resultados práticos encontrados, tanto do ponto de vista de potência do inversor e do conversor auxiliar, quanto do controle digital implementado.

Finalizando, o capítulo 7 apresenta as conclusões e discussões gerais de todo o estudo desenvolvido, enfocando os principais pontos do trabalho.

2. ESTUDO DO INVERSOR TRIFÁSICO COM SNUBBER DE UNDELAND

2.1. INTRODUÇÃO

O estudo de inversores trifásicos é de grande interesse, principalmente por seu crescente uso em aplicações industriais. Vários circuitos são capazes de realizar a inversão de sinais contínuos em sinais alternados. Podem-se citar os circuitos ressonantes e também os circuitos chaveados em alta frequência, onde o objetivo é a redução de perdas nos semicondutores, fazendo-os operar em regiões de corte e saturação. Contudo, os circuitos comutados em alta frequência apresentam perdas de comutação, que ocorrem durante a abertura e fechamento dos elementos semicondutores. Desta forma pode-se fazer uso de circuitos auxiliares à comutação que realizam a redução dessas perdas de comutação. Como benefício adicional propiciado pelos circuitos de auxílio à comutação, pode-se destacar a redução da interferência eletromagnética produzida por esses conversores, e também a possibilidade de operar em frequências mais elevadas.

2.2. ANÁLISE QUALITATIVA

Neste trabalho é abordado o estudo do inversor trifásico em meia ponte, com *Snubber de Undeland* modificado, comandado com modulação PWM em dois níveis. É considerado que o circuito alimenta uma carga equilibrada e que não existem diferenças entre as tensões e correntes de saída. Assim sendo, a somatória dos valores instantâneos de corrente e de tensão pode ser considerado igual à zero. O circuito proposto pode ser visto na Figura 1.

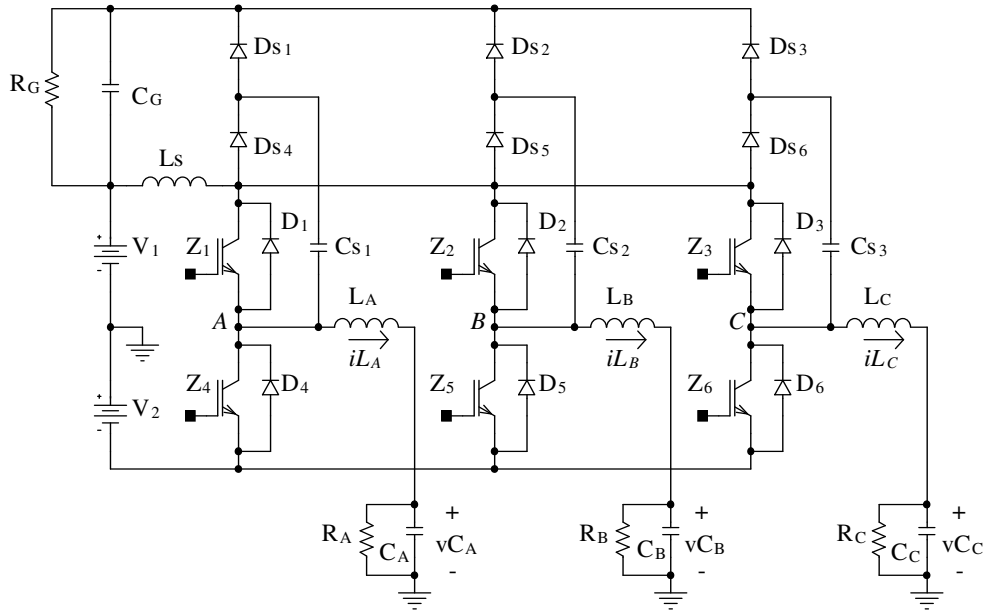


Figura 1 – Circuito proposto.

Durante o funcionamento do inversor trifásico serão consideradas as tensões em fase com as correntes de saída, havendo defasagem de 120° entre a tensão ou corrente de cada braço em relação ao outro braço. Desta forma, as correntes de saída podem ser escritas de acordo com as equações 2.1 a 2.3 e as tensões de saída de acordo com as equações 2.4 a 2.6.

$$iL_A(t) = Ip \cdot \text{sen}(\omega t) \quad (2.1)$$

$$iL_B(t) = Ip \cdot \text{sen}(\omega t - 120^\circ) \quad (2.2)$$

$$iL_C(t) = Ip \cdot \text{sen}(\omega t + 120^\circ) \quad (2.3)$$

$$vC_A(t) = Vp \cdot \text{sen}(\omega t) \quad (2.4)$$

$$vC_B(t) = Vp \cdot \text{sen}(\omega t - 120^\circ) \quad (2.5)$$

$$vC_C(t) = Vp \cdot \text{sen}(\omega t + 120^\circ) \quad (2.6)$$

onde:

$$Ip = \frac{\sqrt{2} \cdot So}{3 \cdot Vo} \quad (2.7)$$

$$Vp = \sqrt{2} \cdot Vo \quad (2.8)$$

Analisando as correntes de saída ao longo de um período da rede e considerando a relação dos valores instantâneos entre si, pode-se determinar doze regiões de operação

distintas. Em cada uma delas, uma única corrente é maior que as demais ao longo de toda a região, outra é a menor e a terceira corrente possui um valor intermediário entre ambas. Além disso, duas são em um sentido (positivo, por exemplo) e a outra é em sentido contrário. Os valores instantâneos modificam-se ao longo destes intervalos, mas as posições relativas entre as curvas não se alteram, nem seu sentido. O limite de uma região de operação ocorre quando duas correntes assumem o mesmo valor em módulo, pois a partir deste ponto, a mudança na sequência de chaveamento resultaria em prováveis mudanças de polaridade em um ou mais componentes do circuito, ou quando uma delas muda de sentido (positivo/negativo). As regiões de operação e as correntes de saída podem ser vistas na Figura 2.

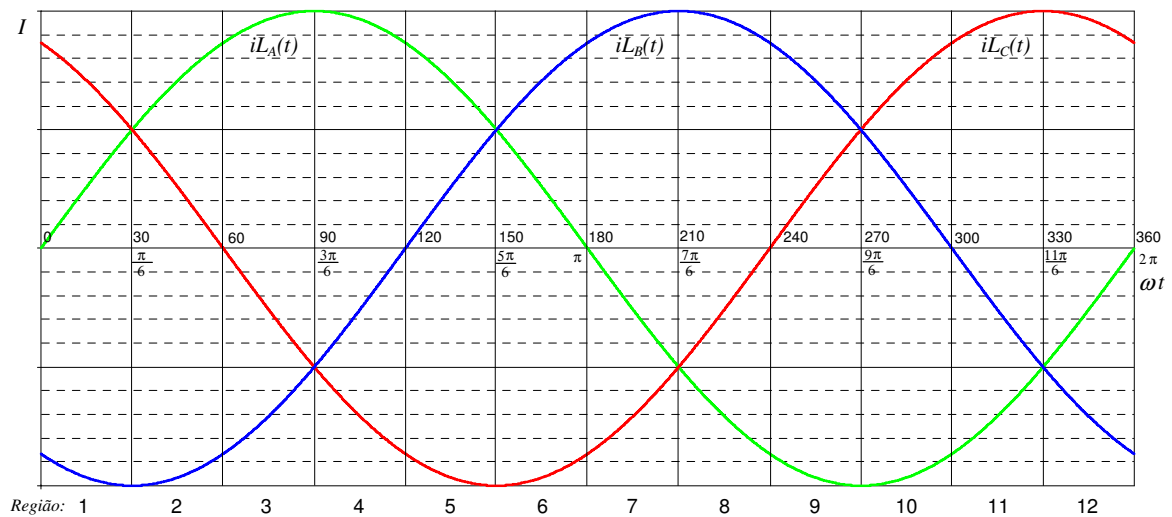


Figura 2 – Correntes de saída do conversor para um período de rede.

Devido à simetria do conversor, pode-se verificar que para cada região de operação o conversor opera de maneira similar e, com as devidas considerações, pode-se analisar o conversor em apenas uma das regiões de operação e estender a análise para as demais regiões, tomando-se o cuidado de verificar qual dos braços corresponde a cada corrente.

Tomando-se como base a quinta região, onde a corrente iL_A é a maior e positiva, iL_C a menor e negativa e iL_B é intermediária e positiva, podem-se descrever as etapas de operação do conversor. Como a frequência de operação do conversor é muitas vezes maior do que a

freqüência de saída das correntes pode-se considerar, sem perda de generalidade, que as correntes são constantes para um período de chaveamento. Desta forma, descreve-se o funcionamento do circuito em 21 etapas de operação. O sentido de corrente considerado positivo é aquele em que a corrente sai do conversor. Assim, a análise admite que iL_A e iL_B são positivas e iL_C é negativa. A definição das etapas de operação inicia-se com a definição dos sinais de comando que deverão ser enviados para cada chave (Z_1 a Z_6). Com este objetivo, faz-se uso da Figura 3, onde são mostradas as três tensões de controle relativas às saídas do inversor, comparadas com uma portadora triangular de alta freqüência. Dessa comparação resultam os sinais de comando para as chaves. Como pode ser observado, sempre que um sinal de referência é maior que o sinal da portadora, a saída do comparador permanece saturada positivamente. Por outro lado, quando a portadora assume valores maiores que o sinal de referência, a saída do comparador satura negativamente. Além disso, os sinais de comando para as chaves inferiores são o complemento dos sinais de comando das chaves superiores do respectivo braço.

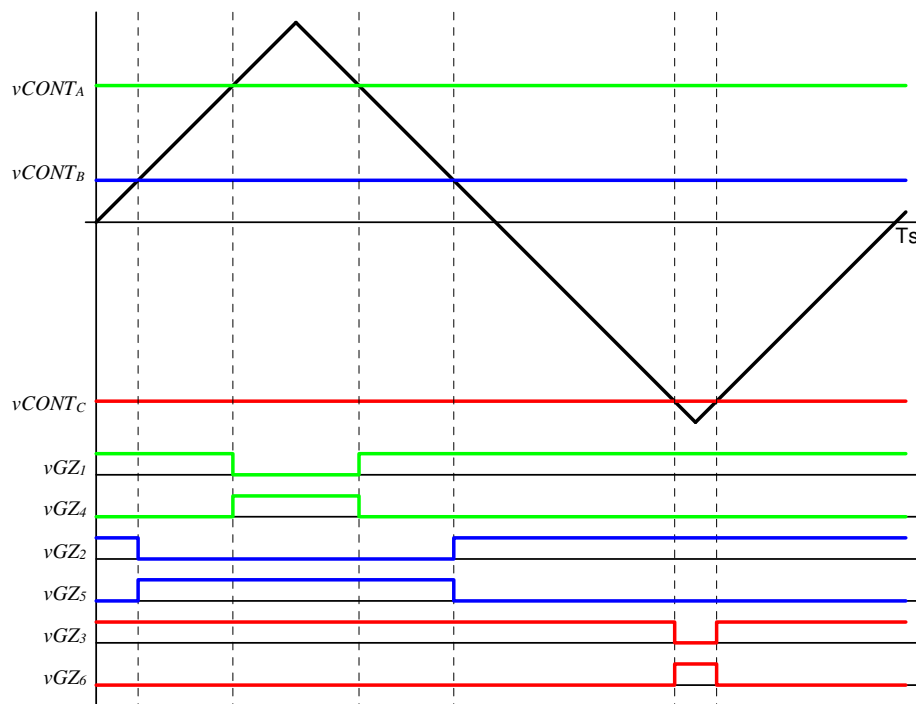


Figura 3 – Obtenção dos sinais de comando para as chaves do inversor.

A seguir é apresentada a descrição de funcionamento de cada uma das 21 etapas de operação. O valor das tensões em ambas as fontes V_1 e V_2 é igual a E . No capacitor C_G a tensão é constante e igual à E_G . As correntes nos indutores L_A , L_B e L_C são, respectivamente, iguais a I_A , I_B e $-I_C$. Os circuitos equivalentes de cada etapa podem ser vistos na Figura 4, Figura 5 e Figura 6.

1ª Etapa ($t_1 < t < t_2$): As chaves Z_1 , Z_2 e Z_6 encontram-se fechadas. A energia é transferida da fonte V_1 para as saídas nos braços um e dois. No braço 3 a energia é devolvida da saída para a fonte V_2 . A etapa termina quando a chave Z_2 é comandada a bloquear.

2ª Etapa ($t_2 < t < t_3$): A chave Z_2 é comandada a bloquear e Z_5 é comandada a conduzir. A corrente i_{L_B} circula através de D_{S5} e C_{S2} . Com Z_5 fechada, circula de maneira ressonante uma corrente por V_1 , V_2 , L_s , D_{S5} , C_{S2} e Z_5 . As tensões da chave Z_2 , em D_2 e em C_{S2} aumentam de maneira ressonante de zero até $2E+E_G$ e a tensão em D_{S2} decresce de forma complementar, indo de $2E$ até zero. A etapa termina quando $v_{C_{S2}}$ atinge seu máximo.

3ª Etapa ($t_3 < t < t_4$): Quando a tensão sobre Z_2 e D_2 atinge seu máximo, o diodo D_5 entra em condução e assume a corrente i_{L_B} . A diferença da corrente no Indutor L_s da 2ª etapa para a 3ª etapa circula através dos diodos D_{S1} a D_{S6} , devolvendo a energia armazenada no indutor L_s para o capacitor C_G . A corrente i_{L_s} decresce linearmente de I_A+I_{MB} até I_A , quando se encerra a etapa.

4ª Etapa ($t_4 < t < t_5$): Durante esta etapa ocorrem as transferências de energia entre entrada e saída. A etapa encerra-se quando a chave Z_1 é comandada a bloquear.

5ª Etapa ($t_5 < t < t_6$): A chave Z_1 é comandada a bloquear e Z_4 é comandada a conduzir. A corrente i_{L_A} circula através de D_{S4} e C_{S1} . Com Z_4 fechada, circula de maneira ressonante uma corrente por V_1 , V_2 , L_s , D_{S4} , C_{S1} e Z_4 . As tensões da chave Z_1 , em D_1 e em C_{S1} aumentam de maneira ressonante de zero até $2E+E_G$. A etapa termina quando $v_{C_{S1}}$ atinge seu máximo.

6ª Etapa ($t_6 < t < t_7$): Quando a tensão sobre Z_1 e D_1 atinge seu máximo, o diodo D_4 entra em condução e assume a corrente iL_A . A diferença da corrente no Indutor L_s da 5ª etapa para a 6ª etapa circula através dos diodos D_{s1} a D_{s6} , devolvendo a energia armazenada no indutor L_s para o capacitor C_G . A corrente iL_s decresce linearmente de I_{MA} até zero, quando se encerra a etapa. As correntes dos braços circulam em roda livre.

7ª Etapa ($t_7 < t < t_8$): Durante esta etapa as correntes iL_A e iL_B encontram-se em roda livre, circulando através de D_4 e D_5 . A corrente iL_C circula por Z_6 . A etapa encerra-se quando a chave Z_1 é comandada a conduzir.

8ª Etapa ($t_8 < t < t_9$): A chave Z_1 é comandada a conduzir. A corrente iL_s cresce linearmente de zero até I_A , assumindo a corrente iL_A . Além disso, a corrente iL_C circula através das chaves e diodos dos braços um e três. Metade da corrente do braço 3 circula através de D_3 e Z_1 . Durante esta etapa a corrente iD_4 decresce linearmente de $I_A - 0,5 \cdot I_C$ até zero, e a corrente iZ_1 cresce linearmente de $0,5 \cdot I_C$ até I_A . A etapa termina quando a corrente iD_4 é igual à zero, ou seja, quando a corrente iL_s é igual a I_A e o diodo D_4 bloqueia.

9ª Etapa ($t_9 < t < t_{10}$): Quando o diodo D_4 bloqueia, D_{s1} entra em condução, fazendo com que a tensão em Z_4 suba com derivada controlada através de C_{s1} , D_{s1} e C_G . A corrente iL_s cresce de forma ressonante, circulando por Z_1 , C_{s1} , D_{s1} e C_G , descarregando C_{s1} . A tensão em C_{s1} decresce de $2E + E_G$ até zero, quando a corrente iL_s apresenta um acréscimo de I_M em relação à corrente no final da 8ª etapa e a etapa se encerra.

10ª Etapa ($t_{10} < t < t_{11}$): Quando a tensão vC_{s1} atinge seu mínimo, a corrente armazenada em L_s circula através de D_{s1} a D_{s6} , descarregando o indutor e devolvendo energia para o capacitor C_G . A corrente iL_A continua circulando através de L_s e Z_1 para a saída, no braço um. A etapa encerra-se quando a energia armazenada em L_s é transferida para o capacitor C_G e os diodos D_{s1} a D_{s6} bloqueiam-se.

11ª Etapa ($t_{11} < t < t_{12}$): Durante esta etapa ocorrem as transferências de energia entre entrada e saída. A etapa se encerra quando a chave Z_2 é comandada a conduzir.

12ª Etapa ($t_{12} < t < t_{13}$): A chave Z_2 é comandada a conduzir. A corrente iL_s cresce linearmente de I_A até I_A+I_B , assumindo as correntes iL_A e iL_B . Além disso, a corrente iL_C circula através das chaves e diodos dos braços dois e três. Metade da corrente iL_C circula através de D_3 e Z_2 . Durante esta etapa a corrente iD_5 decresce linearmente de $I_B - 0,5 \cdot I_C$ até zero, e a corrente iZ_2 cresce linearmente de $0,5 \cdot I_C$ até I_B . A etapa termina quando a corrente iD_5 é igual à zero, ou seja, quando a corrente iL_s é igual a I_A+I_B e o diodo D_5 bloqueia.

13ª Etapa ($t_{13} < t < t_{14}$): Quando o diodo D_5 bloqueia, D_{s2} entra em condução, fazendo com que a tensão vZ_5 suba com derivada controlada, impondo uma corrente através de C_{s2} , D_{s2} e C_G . A corrente iL_s cresce de forma ressonante, circulando por Z_2 , C_{s2} , D_{s2} e C_G , descarregando C_{s2} . A tensão vC_{s2} decresce de $2E+E_G$ até zero, quando a corrente iL_s apresenta um acréscimo de I_M em relação à corrente no final da 12ª etapa e a etapa se encerra.

14ª Etapa ($t_{14} < t < t_{15}$): Quando a tensão vC_{s2} atinge seu mínimo, a corrente armazenada em L_s circula através de D_{s1} a D_{s6} , descarregando o indutor e devolvendo energia para o capacitor C_G . A corrente I_A+I_B continua circulando através de L_s , sendo que iL_A circula por Z_1 para a saída do braço um e iL_B circula por Z_2 para a saída do braço dois. A etapa encerra-se quando a energia armazenada em L_s é transferida para o capacitor C_G e os diodos D_{s1} a D_{s6} bloqueiam-se.

15ª Etapa ($t_{15} < t < t_{16}$): As chaves Z_1 , Z_2 e Z_6 encontram-se fechadas. A energia é transferida da fonte V_1 para as saídas nos braços um e dois. No braço 3 a energia é devolvida da saída para a fonte V_2 . A etapa termina quando a chave Z_6 é comandada a bloquear.

16ª Etapa ($t_{16} < t < t_{17}$): A chave Z_6 é comandada a bloquear e Z_3 é comandada a conduzir. A corrente iL_C circula através de C_G , D_{s3} e C_{s3} . Com Z_3 fechada, circula de maneira ressonante uma corrente por C_G , L_s , Z_3 , C_{s2} e D_{s3} . A tensão vC_{s3} decresce de $2E+E_G$

até zero. A tensão vDs_6 diminui da mesma maneira, atingindo tensão zero no final da etapa. A etapa encerra-se quando a tensão vCs_3 chega à zero.

17ª Etapa ($t_{17} < t < t_{18}$): Quando a tensão vZ_6 atinge seu máximo, o diodo D_3 assume a corrente iL_C , que passa a circular em roda livre entre os três braços. A corrente $I_A+I_B+I_M$ armazenada em L_s é descarregada através de Ds_1 a Ds_6 em C_G com derivada constante. A etapa encerra-se quando a corrente iL_s chega à zero.

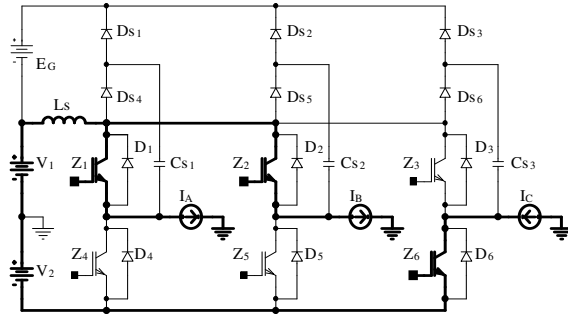
18ª Etapa ($t_{18} < t < t_{19}$): A corrente iL_C circula em roda livre entre os três braços do inversor. Não há transferência de energia nessa etapa. A etapa encerra-se quando a chave Z_6 é comandada a conduzir.

19ª Etapa ($t_{19} < t < t_{20}$): A chave Z_6 é comandada a conduzir. A corrente iL_s cresce linearmente de zero até $I_A+I_B=-I_C$, assumindo a corrente iL_C . Além disso, as correntes dos braços um e dois circulam através das chaves e diodos dos três braços. Metade das correntes dos braços um e dois circulam através de Z_6 . Durante esta etapa a corrente iD_3 decresce linearmente de $-0,5 \cdot (I_A + I_B) - I_C$ até zero, e a corrente em Z_6 cresce linearmente de $-0,5 \cdot (I_A + I_B) - I_C$ até $-I_C$. A etapa termina quando a corrente iD_3 é igual à zero, ou seja, quando a corrente iL_s é igual a I_A+I_B e o diodo D_3 bloqueia.

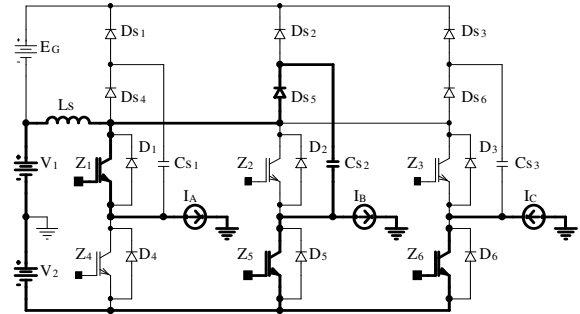
20ª Etapa ($t_{20} < t < t_{21}$): Quando o diodo D_3 bloqueia, Ds_6 entra em condução, fazendo com que a tensão vZ_3 suba com derivada controlada através de uma corrente que circula por Cs_3 e Ds_6 . A corrente iL_s cresce de forma ressonante, circulando por V_1 , V_2 , Ds_6 , Cs_3 e Z_6 , carregando Cs_3 . A tensão vCs_3 cresce de zero até $2E+E_G$, quando a corrente iL_s apresenta um acréscimo de I_M em relação à corrente no final da 19ª etapa e a etapa se encerra.

21ª Etapa ($t_{21} < t < T$): Quando a tensão vCs_3 atinge seu máximo, a corrente armazenada em L_s circula através de Ds_1 a Ds_6 , devolvendo energia para o capacitor C_G . A corrente iL_A continua circulando através de L_s e Z_1 para a saída do braço um e iL_B através de

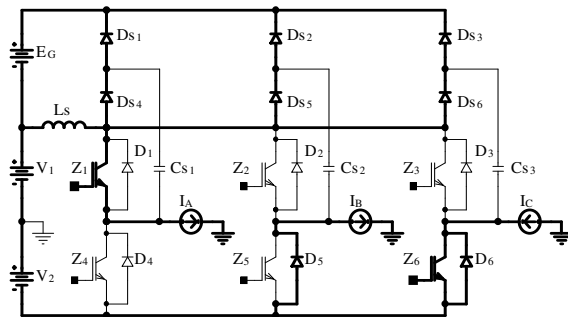
L_s e Z_2 para a saída do braço dois. A etapa encerra-se quando a energia armazenada em L_s é transferida para o capacitor C_G e os diodos Ds_1 a Ds_6 bloqueiam-se.



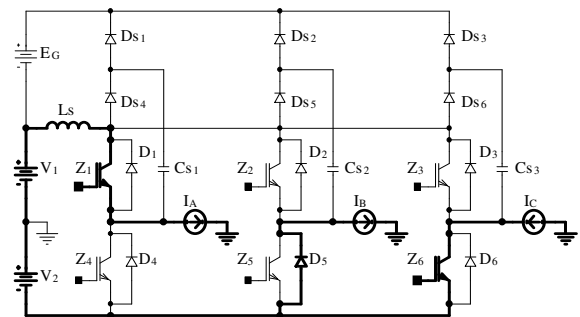
(a) 1ª Etapa:



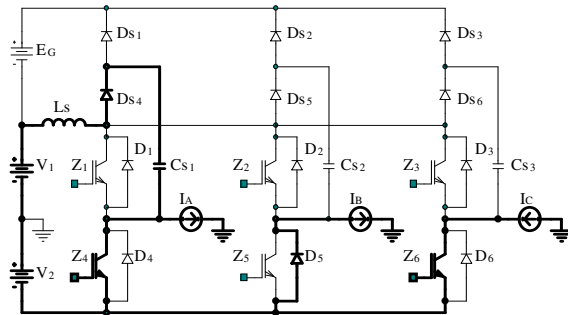
(b) 2ª Etapa



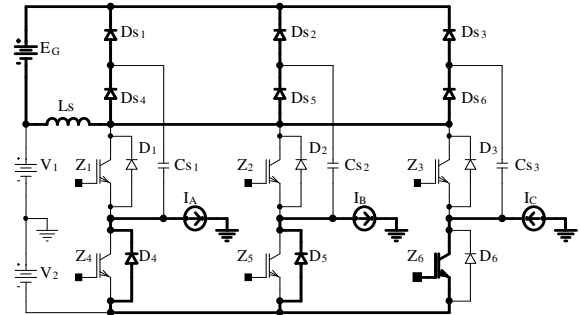
(c) 3ª Etapa



(d) 4ª Etapa

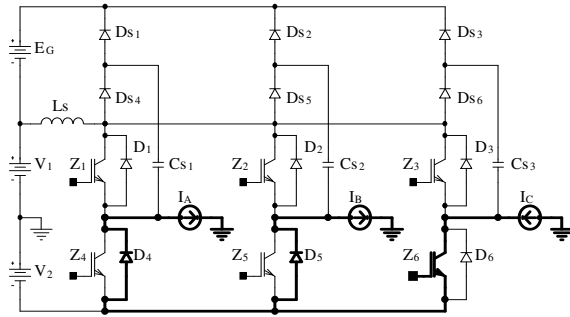


(e) 5ª Etapa

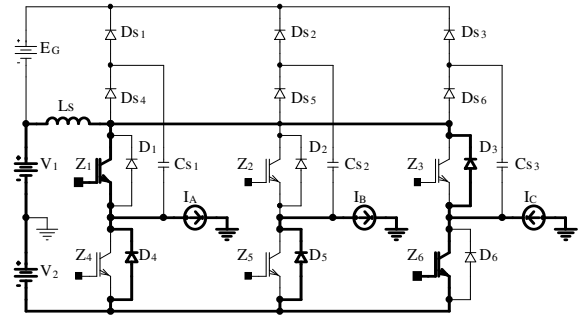


(f) 6ª Etapa

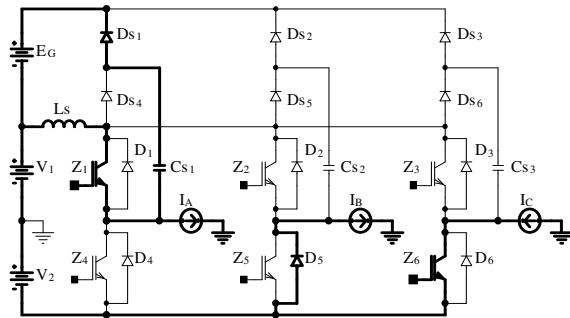
Figura 4 – Etapas de Operação: circuitos equivalentes.



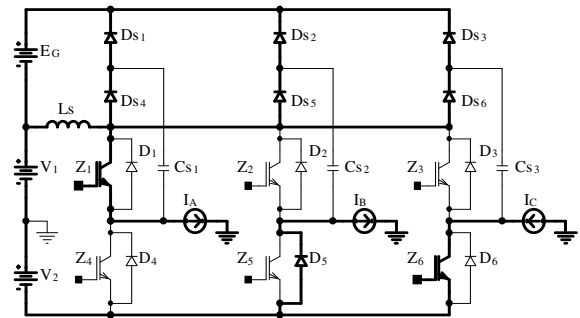
(a) 7ª Etapa



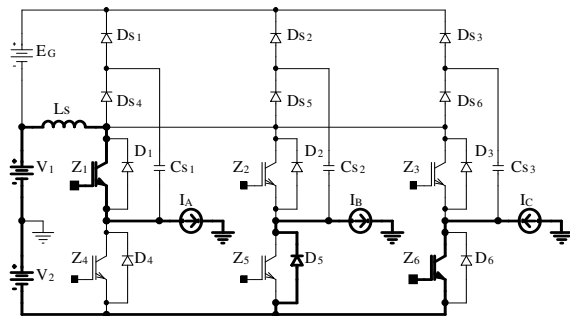
(b) 8ª Etapa



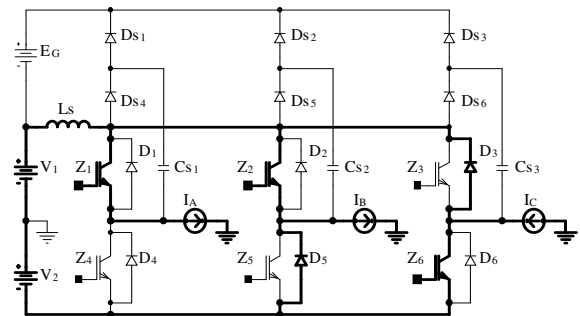
(c) 9ª Etapa



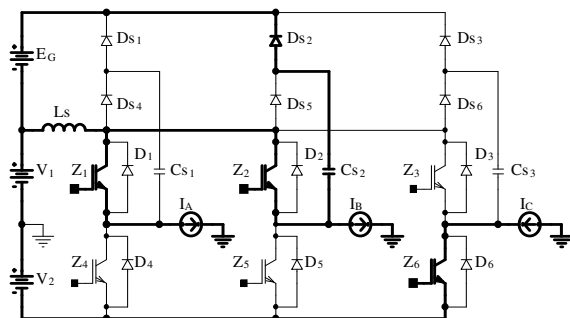
(d) 10ª Etapa



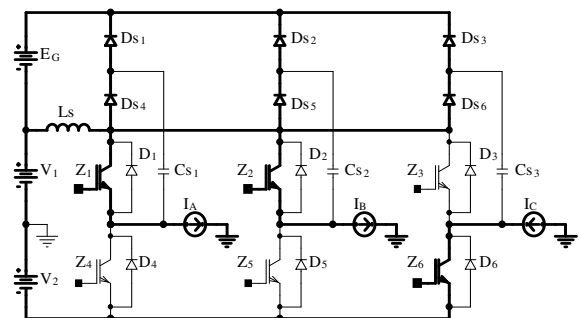
(e) 11ª Etapa



(f) 12ª Etapa

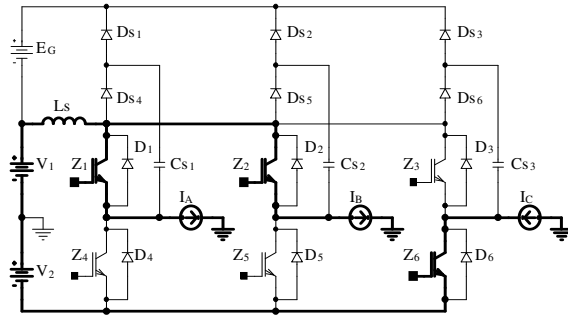


(g) 13ª Etapa

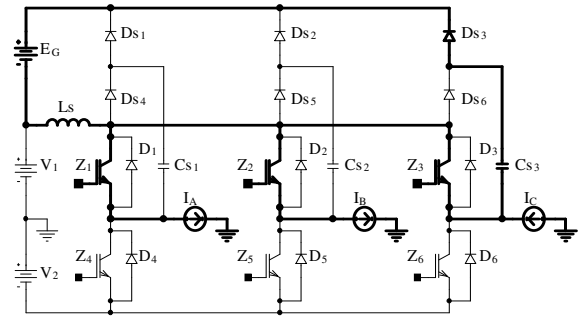


(h) 14ª Etapa

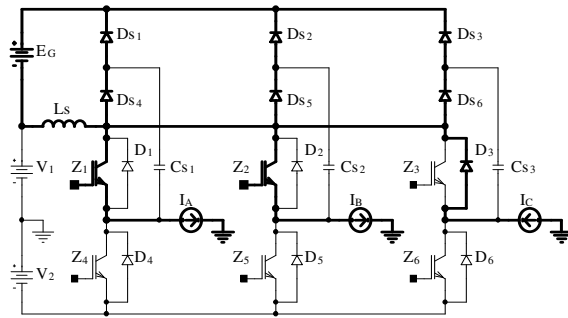
Figura 5 – Etapas de Operação: circuitos equivalentes.



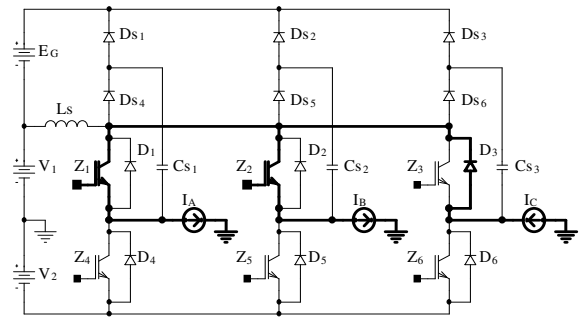
(a) 15ª Etapa



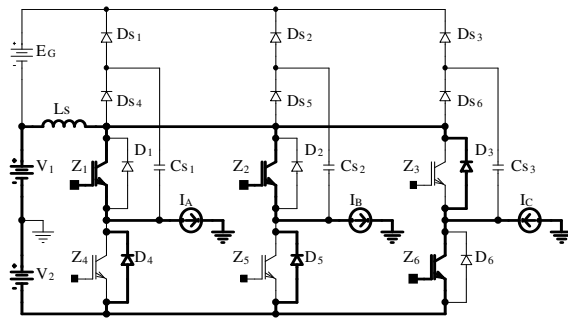
(b) 16ª Etapa



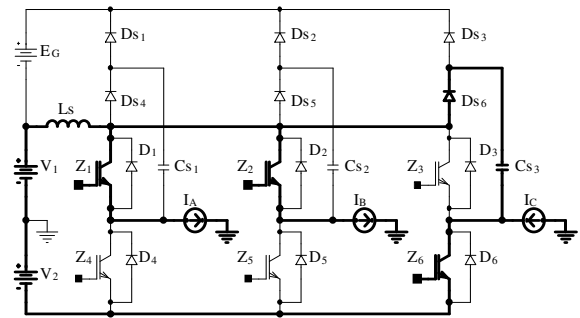
(c) 17ª Etapa



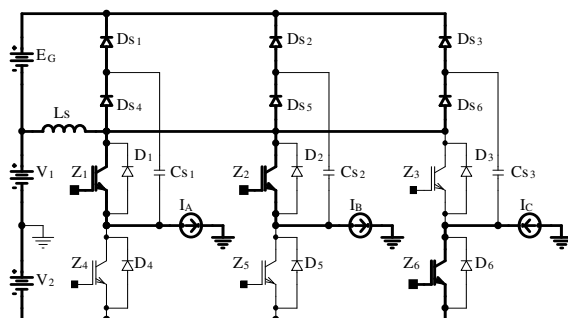
(d) 18ª Etapa



(e) 19ª Etapa



(f) 20ª Etapa



(g) 21ª Etapa

Figura 6 – Etapas de Operação: circuitos equivalentes.

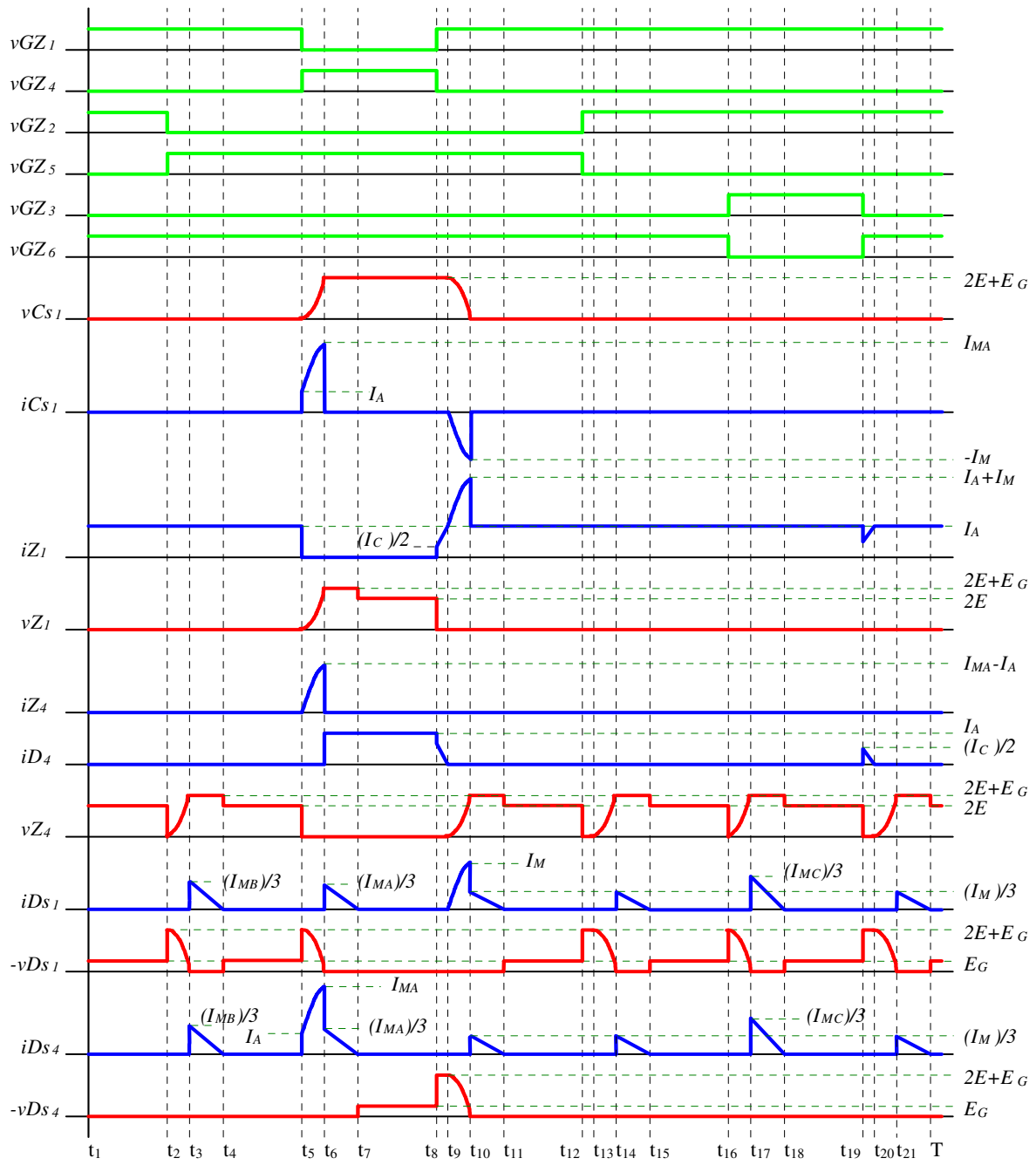


Figura 7 – Formas de Onda para os elementos do primeiro braço do Inversor.

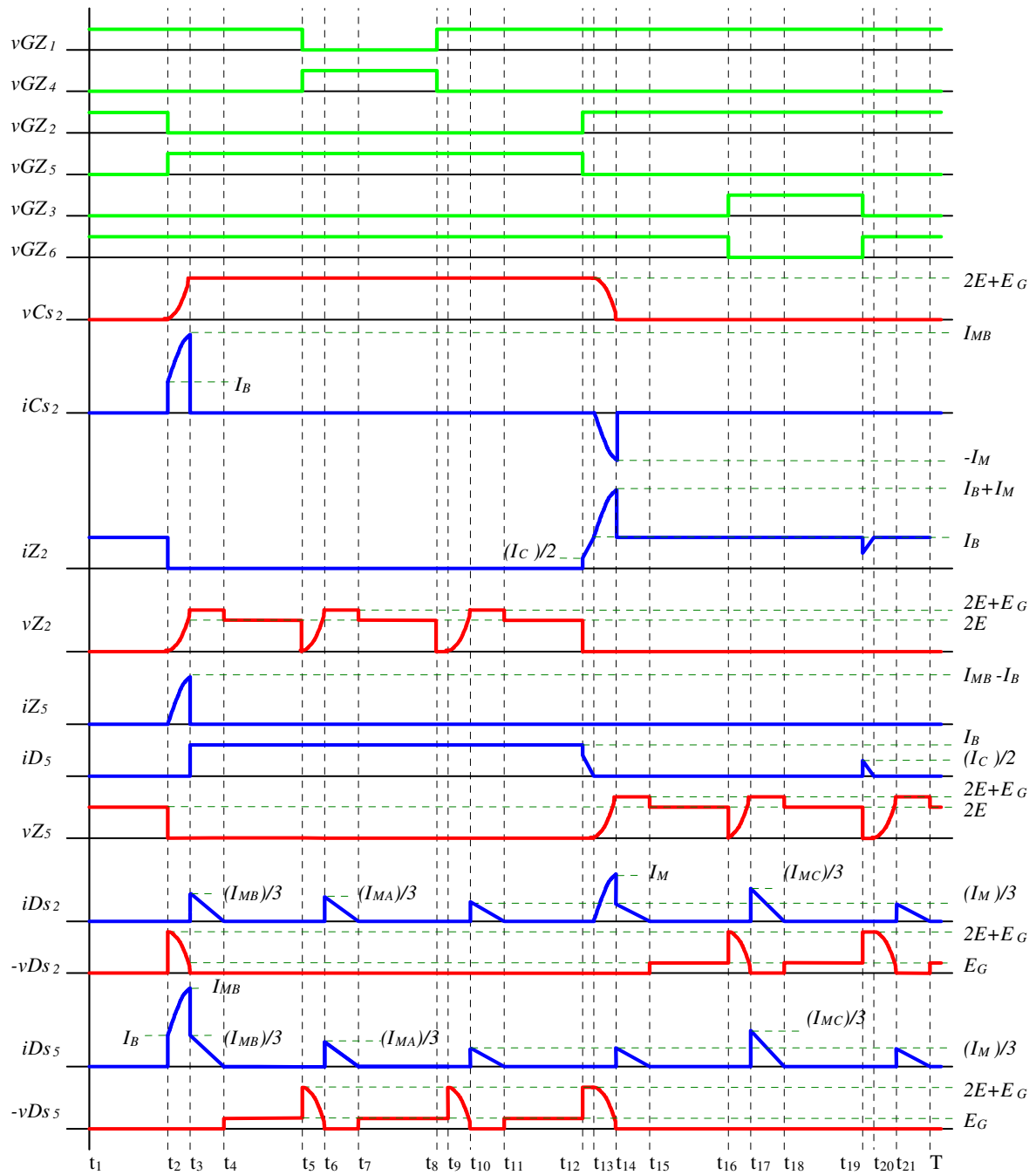


Figura 8 – Formas de Onda para os elementos do segundo braço do Inversor.

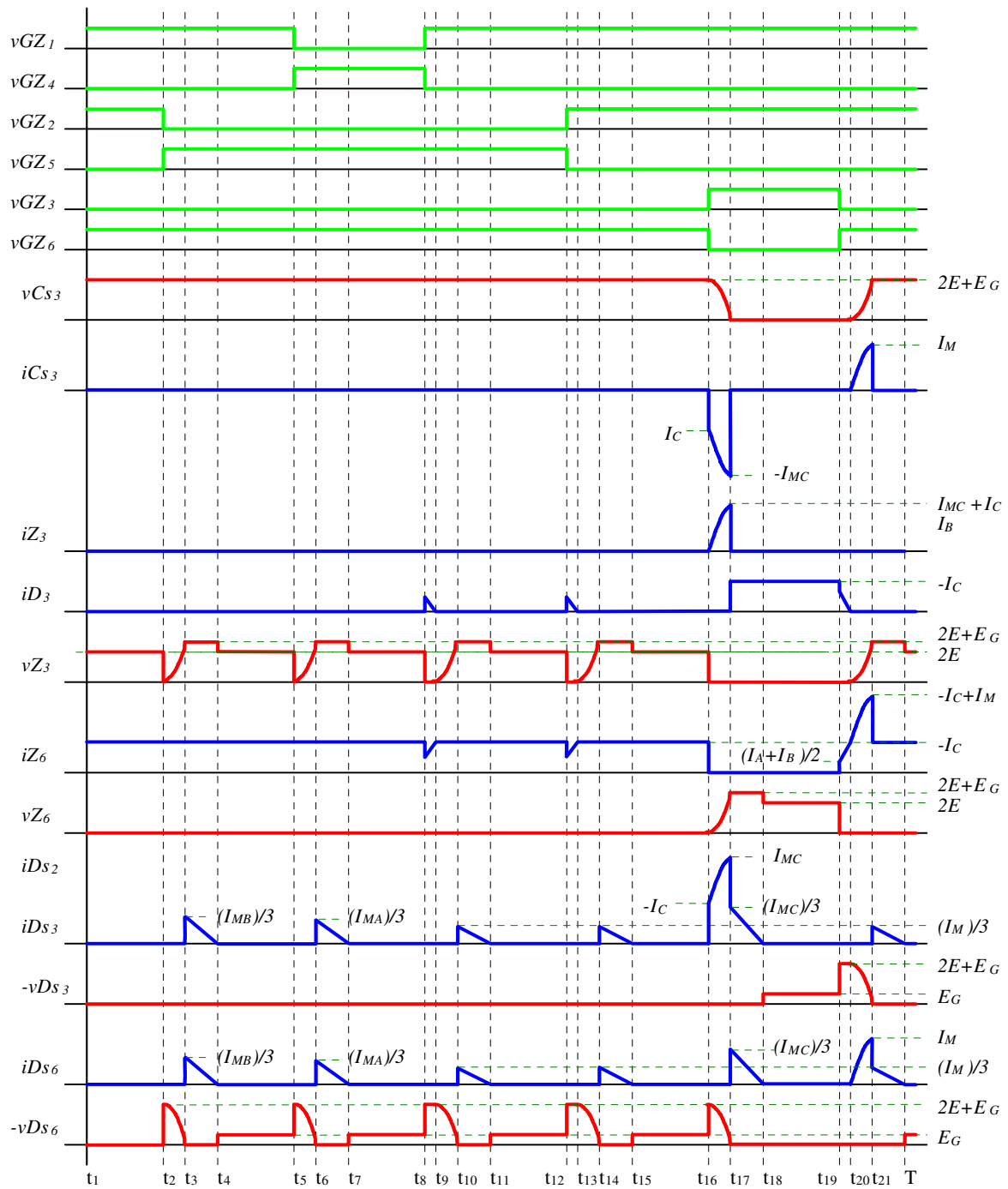


Figura 9 – Formas de Onda para os elementos do terceiro braço do Inversor.

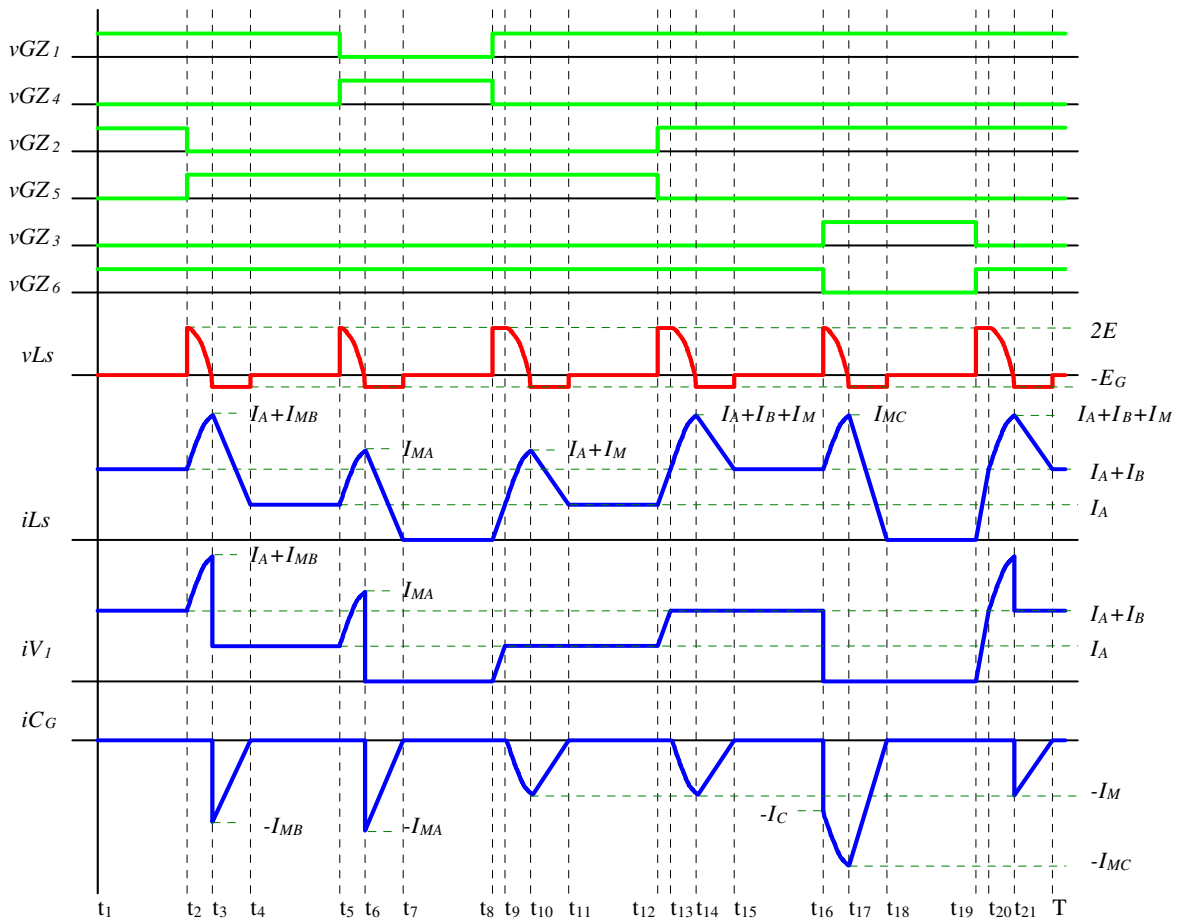


Figura 10 – Formas de Onda para os demais elementos do Inversor.

Com base nas formas de onda e nos circuitos equivalentes podem-se determinar os esforços nos componentes, de modo a poder dimensionar e escolher componentes adequados para a montagem do conversor.

2.3. ANÁLISE QUANTITATIVA

Visto que os tempos das etapas ressonantes que envolvem o *Snubber de Undeland* têm tempo de duração muito menor que as demais etapas, para determinação de algumas correntes, tais etapas poderão ser desconsideradas sem que o erro acrescentado seja relevante aos cálculos envolvidos.

2.3.1. Derivadas de tensão e corrente

Uma das funções do *snubber* é limitar as derivadas de corrente e tensão no circuito de potência, reduzindo as perdas de comutação e diminuindo possíveis interferências eletromagnéticas geradas durante a comutação. Do ponto de vista das perdas, é importante que se tenha controle sobre a tensão da chave durante o bloqueio. A tensão deve aumentar somente depois que a corrente se extinguir, sendo importante dominar as derivadas de subida da tensão. Da mesma maneira para a corrente, é interessante que a corrente suba depois que a tensão sobre a chave chegue próximo de zero, ou seja, que se tenha controle sobre a subida da corrente quando a chave entrar em condução. Tendo conhecimento dos valores máximos das derivadas de corrente e tensão existentes no circuito, deseja-se alterá-las de acordo com as especificações de projeto.

2.3.1.1. Derivada de corrente

Pode-se observar através da Figura 7 que a subida da corrente para a chave Z_1 segue dois comportamentos, de acordo com as etapas oito e nove e para a chave Z_4 , de acordo com a etapa cinco. Na etapa 8, a corrente sobre o indutor cresce com derivada constante, pois a tensão sobre o indutor L_s é $2E$ durante toda a etapa. A derivada de corrente durante esta etapa é dada por:

$$\frac{di}{dt} = \frac{2 \cdot E}{L_s} \quad (2.9)$$

Para a etapa nove, a corrente sobre o indutor L_s ou sobre a chave pode ser descrita pela seguinte equação:

$$i_{L_s}(t) = i_i + I_M \cdot \text{sen}(\omega_{RSN} \cdot t) \quad (2.10)$$

onde:

$$\omega_{RSN} = \frac{1}{\sqrt{L_s \cdot C_s}} \quad (2.11)$$

$$I_M = 2 \cdot E \cdot \sqrt{\frac{C_S}{L_S}} \quad (2.12)$$

e i_i é a corrente no início da etapa. Neste caso a derivada de corrente é dada por:

$$\frac{di}{dt} = I_M \cdot \omega_{RSN} \cdot \cos(\omega_{RSN} \cdot t) \quad (2.13)$$

O valor da derivada é máximo para $t = 0$, onde a função cosseno vale um. Logo:

$$\frac{di}{dt}_{\max} = I_M \cdot \omega_{RSN} = \frac{2 \cdot E}{L_S} \quad (2.14)$$

Para a chave Z_4 na etapa cinco, a corrente obedece a seguinte equação:

$$i_{Z_4}(t) = I_M \cdot \sin(\omega_{RSN} \cdot t) + iL_A \cdot [\cos(\omega_{RSN} \cdot t) - 1] \quad (2.15)$$

Neste caso a derivada de corrente é dada por:

$$\frac{di}{dt} = I_M \cdot \omega_{RSN} \cdot \cos(\omega_{RSN} \cdot t) - iL_A \cdot \omega_{RSN} \cdot \sin(\omega_{RSN} \cdot t) \quad (2.16)$$

Contudo, o valor iL_A varia com os períodos de chaveamento. É possível verificar que o valor da derivada é máximo quando $iL_A = 0$. Observa-se porém que este caso é idêntico ao apresentado para a etapa nove da chave Z_1 . Desta maneira, pode-se observar que a derivada de corrente máxima é a mesma para as etapas analisadas. Deste modo, pode-se definir L_S em função da derivada máxima definida durante o projeto, ou seja:

$$L_S = \frac{2 \cdot E}{\frac{di}{dt}_{\max}} \quad (2.17)$$

2.3.1.2. Derivadas de tensão

Como se pode observar através das formas de onda de tensão sobre as chaves da Figura 7 até a Figura 10, existem apenas dois comportamentos para as subidas da tensão nos momentos do bloqueio, conforme as etapas cinco e nove para a chave Z_1 e Z_4 , respectivamente, na Figura 7. Na etapa cinco o capacitor C_{S1} carrega-se de maneira ressonante. A tensão sobre a chave Z_1 durante essa etapa é a mesma sobre o capacitor C_{S1} . Para esta etapa, a equação que rege a tensão do capacitor é:

$$vC_{s1}(t) = \frac{iL_A}{C_s \cdot \omega_{RSN}} \cdot \text{sen}(\omega_{RSN} \cdot t) + 2 \cdot E \cdot [1 - \cos(\omega_{RSN} \cdot t)] \quad (2.18)$$

cujá derivada é:

$$\frac{dv}{dt} = \frac{iL_A}{C_s} \cdot \cos(\omega_{RSN} \cdot t) + 2 \cdot E \cdot \omega_{RSN} \cdot \text{sen}(\omega_{RSN} \cdot t) \quad (2.19)$$

que pode ser reescrita da seguinte forma:

$$\frac{dv}{dt} = K \cdot \text{sen}(\omega_{RSN} \cdot t + \phi) \quad (2.20)$$

onde:

$$K = \sqrt{\left(\frac{iL_A}{C_s}\right)^2 + (2 \cdot E)^2 \cdot \omega_{RSN}^2} \quad (2.21)$$

Pode-se observar que, para um período da rede, a derivada será máxima quando a corrente iL_A for máxima e quando o valor do seno for igual a um, ou seja:

$$\frac{dv}{dt}_{\text{máx}} = \sqrt{\left(\frac{Ip}{C_s}\right)^2 + 4 \cdot E^2 \cdot \omega_{RSN}^2} \quad (2.22)$$

Para a etapa nove, o capacitor C_s descarrega-se de maneira ressonante. A corrente que circula pelo capacitor durante esta etapa é a mesma que circula através do capacitor C_G durante a etapa, conforme pode ser avaliado pelos circuitos equivalentes e pelas formas de onda da Figura 10. A corrente durante esta etapa apresenta a seguinte equação:

$$iC_G = iC_s = I_M \cdot \text{sen}(\omega_{rsn} \cdot t) \quad (2.23)$$

Sabendo que:

$$iC_s = C_s \cdot \frac{dv}{dt} \therefore \frac{dv}{dt} = \frac{I_M \cdot \text{sen}(\omega_{RSN} \cdot t)}{C_s} \quad (2.24)$$

a maior derivada de tensão acontece quando $\omega_{RSN} \cdot t = 0,5 \cdot \pi$. Assim:

$$\frac{dv}{dt}_{\text{máx}} = \frac{I_M}{C_s} \quad (2.25)$$

Desta maneira, para o valor desejado de derivada de tensão, pode-se escolher Cs de modo a obter o valor desejado. De acordo com as equações 2.22 e 2.25, isolando-se o valor Cs, e tomando o valor máximo, chega-se à equação 2.26:

$$Cs = \max \left(\frac{1}{2 \cdot \left(\frac{dv}{dt}_{\max} \right)^2} \cdot \left[\frac{4 \cdot E^2}{Ls} + \sqrt{\frac{16 \cdot E^4}{Ls^2} + 4 \cdot \left(\frac{dv}{dt}_{\max} \right)^2 \cdot Ip^2} \right], \left(\frac{2 \cdot E}{\sqrt{Ls} \cdot \frac{dv}{dt}_{\max}} \right)^2 \right) \quad (2.26)$$

2.3.2. Índice de modulação e razões cíclicas

Nos inversores, como as tensões de saída são senoidais, fica desconexo o uso da razão cíclica para representar a relação de tensão de entrada e saída do conversor, uma vez que a tensão de saída é senoidal e a tensão de entrada é contínua e as razões cíclicas variam constantemente no tempo. Assim, faz-se uso de uma outra grandeza capaz de expressar de maneira mais adequada essa relação. O índice de modulação apresenta a relação entre a tensão de pico de saída e a tensão de barramento, neste caso:

$$\alpha = \frac{Vp}{E} \quad (2.27)$$

Para o circuito da Figura 1, a tensão média instantânea no ponto A, ou média em um período de chaveamento, pode ser dada por:

$$vA_{med_Ts} = \frac{1}{T_s} \int_0^{T_s} vA(t) dt \quad (2.28)$$

$$vA_{med_Ts} = \frac{1}{T_s} \left[\int_0^{D \cdot T_s} E \cdot dt + \int_{D \cdot T_s}^{T_s} (-E) \cdot dt \right] \quad (2.29)$$

$$vA_{med_Ts} = E \cdot D - E \cdot (1 - D) = E \cdot (2D - 1) \quad (2.30)$$

No entanto, para um período da rede, a tensão média instantânea no ponto A varia senoidalmente. Então, desprezando a queda de tensão sobre o indutor do filtro de saída, a tensão vA , para um período da rede, pode ser calculada da seguinte maneira:

$$vA(\omega t) = V_o(t) = Vp \cdot \sin(\omega t) \quad (2.31)$$

Logo, a tensão de pico no ponto A é $vA_{pico}(\omega t) = Vp$.

Utilizando na equação 2.31 o índice de modulação definido na equação 2.27, determina-se:

$$vA(\omega t) = E \cdot \alpha \cdot \text{sen}(\omega t) \quad (2.32)$$

Para determinar vA_{med} em qualquer instante de tempo, deve-se definir $vA(\omega t)$ em função da razão cíclica $d(\omega t)$. Substituindo a razão cíclica na equação 2.30, tem-se

$$vA(\omega t) = E \cdot (2 \cdot d(\omega t) - 1) \quad (2.33)$$

Igualando-se as equações 2.32 e 2.33:

$$d(\omega t) = \frac{\alpha \cdot \text{sen}(\omega t) + 1}{2} \quad (2.34)$$

Observa-se da equação 2.34 que a razão cíclica para as chaves de um determinado braço do conversor está relacionada diretamente à fase da tensão de saída. Desta maneira, pode-se estender a dedução da razão cíclica para as demais saídas do inversor:

$$d_A(\omega t) = \frac{\alpha \cdot \text{sen}(\omega t) + 1}{2} \quad (2.35)$$

$$d_B(\omega t) = \frac{\alpha \cdot \text{sen}\left(\omega t - \frac{2\pi}{3}\right) + 1}{2} \quad (2.36)$$

$$d_C(\omega t) = \frac{\alpha \cdot \text{sen}\left(\omega t + \frac{2\pi}{3}\right) + 1}{2} \quad (2.37)$$

2.3.3. Filtro de Saída

O correto dimensionamento do filtro de saída do inversor é um ponto importante para o adequado funcionamento do mesmo. Um método de projeto dos elementos do filtro de saída é apresentado em [24], enfatizando o correto dimensionamento do indutor e capacitor do filtro sob a presença de cargas não lineares. Neste trabalho será utilizada uma metodologia mais simples para o projeto dos elementos do filtro de saída. Como demonstrado em [24], a ondulação de corrente no indutor é máxima quando a tensão de saída é zero e, nesta condição,

a razão cíclica é igual a meio. Desta maneira, é fácil verificar que há uma relação definida entre a ondulação de corrente com a indutância. Uma vez que se defina qual o maior valor admissível de ondulação de corrente no indutor do filtro de saída, pode-se obter o valor de indutância a partir da equação 2.38:

$$L_{A,B,C} = \frac{E}{2 \cdot fs \cdot \Delta I_L} \quad (2.38)$$

Para a escolha do capacitor, sintoniza-se o filtro de saída para a frequência de corte desejada, tendo em vista a banda passante desejada para o conversor. A equação 2.39 apresenta o cálculo do capacitor do filtro de saída com base na frequência de corte do filtro e no valor do indutor do filtro de saída:

$$C_{A,B,C} = \frac{1}{4 \cdot \pi^2 \cdot f_{CO}^2 \cdot L_{A,B,C}} \quad (2.39)$$

2.3.4. Chaves Principais do Inversor

Observando-se as formas de onda para as chaves, pode-se observar que as etapas ressonantes e que envolvem o *snubber* têm tempo de duração muito menor que as etapas de transferência de energia e de roda livre. Desta maneira, para o cálculo das correntes nas chaves serão desconsideradas as etapas de duração pequena, ou seja, no cálculo da corrente da chave Z_1 , não serão levadas em consideração as etapas 8, 9 e 19.

2.3.4.1. Corrente média

A corrente média nas chaves dentro de um ciclo de chaveamento pode ser definida como sendo:

$$iZ_{med_Ts} = \frac{1}{2\pi} \cdot \int_0^{D \cdot Ts} iZ \cdot dt = I_A \cdot D \quad (2.40)$$

Expandindo a análise da corrente média para um ciclo de rede, com o auxílio das equações 2.1 e 2.35 tem-se:

$$iZ_{med} = \frac{1}{2\pi} \cdot \int_0^{\pi} \left(\frac{2 \cdot P_o}{3 \cdot V_p} \right) \cdot \text{sen}(\omega t) \cdot \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \cdot d\omega t \quad (2.41)$$

$$iZ_{med} = \frac{P_o \cdot (4 + \alpha \cdot \pi)}{12 \cdot \pi \cdot V_p} \quad (2.42)$$

2.3.4.2. Corrente eficaz

A corrente eficaz nas chaves dentro de um ciclo de chaveamento pode ser definida como sendo:

$$iZ_{ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \int_0^{D \cdot Ts} iZ^2 \cdot dt} = I_A \cdot \sqrt{D} \quad (2.43)$$

Expandindo a análise da corrente eficaz para um ciclo de rede, com o auxílio das equações 2.1 e 2.35 tem-se:

$$iZ_{ef} = \sqrt{\frac{1}{2\pi} \cdot \int_0^{\pi} \left(\frac{2 \cdot P_o}{3 \cdot V_p} \right)^2 \cdot \text{sen}^2(\omega t) \cdot \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \cdot d\omega t} \quad (2.44)$$

$$iZ_{ef} = \frac{\sqrt{6}}{18} \cdot \frac{P_o}{V_p} \cdot \sqrt{\frac{8 \cdot \alpha + 3 \cdot \pi}{\pi}} \quad (2.45)$$

Através da observação das formas de onda, pode-se verificar que as correntes média e eficaz calculadas para uma chave podem ser consideradas para todas as chaves do inversor, uma vez que há simetria nas formas de onda.

2.3.5. Diodos principais do Inversor

Da mesma maneira como é feito para as chaves do inversor, o cálculo das correntes nos diodos do inversor levará em consideração somente as etapas de maior relevância, ou seja, serão desconsideradas as etapas que envolvem o *snubber*, que tem tempo de duração muito menor que as demais etapas.

2.3.5.1. Corrente média

O procedimento para o cálculo da corrente média nos diodos dentro de um ciclo de chaveamento pode ser definido como sendo:

$$iD_{med_Ts} = \frac{1}{2\pi} \cdot \int_{D \cdot Ts}^{Ts} iD \cdot dt = I_A \cdot (1-D) \quad (2.46)$$

Expandindo a análise da corrente média para um ciclo de rede, com o auxílio das equações 2.1 e 2.35 tem-se:

$$iD_{med} = \frac{1}{2\pi} \cdot \int_0^\pi \left(\frac{2 \cdot P_o}{3 \cdot V_p} \right) \cdot \text{sen}(\omega t) \cdot \left[1 - \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \right] \cdot d\omega t \quad (2.47)$$

$$iD_{med} = \frac{P_o \cdot (4 + \alpha \cdot \pi)}{12 \cdot \pi \cdot V_p} \quad (2.48)$$

2.3.5.2. Corrente eficaz

Seguindo um procedimento de análise similar ao que foi apresentado para as chaves, a corrente eficaz nos diodos dentro de um ciclo de chaveamento pode ser definida como sendo:

$$iD_{ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \int_{D \cdot Ts}^{Ts} iD^2 \cdot dt} = I_A \cdot \sqrt{(1-D)} \quad (2.49)$$

Expandindo a análise da corrente eficaz para um ciclo de rede, com o auxílio das equações 2.1 e 2.35 tem-se:

$$iD_{ef} = \sqrt{\frac{1}{2\pi} \cdot \int_0^\pi \left(\frac{2 \cdot P_o}{3 \cdot V_p} \right)^2 \cdot \text{sen}^2(\omega t) \cdot \left[1 - \frac{1}{2} \cdot (\alpha \cdot \text{sen}(\omega t) + 1) \right] \cdot d\omega t} \quad (2.50)$$

$$iD_{ef} = \frac{1}{18} \cdot \frac{P_o}{V_p} \cdot \sqrt{\frac{6}{\pi} \cdot (3 \cdot \pi - 8 \cdot \alpha)} \quad (2.51)$$

2.3.6. Diodos do *snubber*

Pode-se observar através das formas de onda de corrente no diodo que a corrente tem um comportamento bastante similar entre todos os diodos. Pode-se observar ainda, confrontando as formas de onda do primeiro, segundo e terceiro braços, levando em consideração o sentido de corrente de saída, que quando a corrente do braço é positiva, a corrente que circula pelos diodos superiores do *snubber* (DS_1 , DS_2 e DS_3) tem comportamento similar, apresentando sempre as mesmas etapas e seguindo sempre o modelo de iDs_I na

Figura 7. Quando a corrente de saída é negativa ela obedece ao modelo da corrente iDs_4 da Figura 7, como pode ser observado nas formas de onda do terceiro braço. Seguindo o mesmo raciocínio, as mesmas conclusões podem ser encontradas para os diodos inferiores do *snubber* (Ds_4 , Ds_5 e Ds_6).

Do ponto de vista de baixa frequência (frequência da rede), devido à simetria das correntes, pode-se concluir que os valores médios e eficazes das correntes serão os mesmos em todos os diodos do *snubber*. Desta maneira, basta calcular a corrente em um dos diodos e estender aos demais.

2.3.6.1. Corrente média

A corrente média em Ds_1 , para a região de operação analisada nas formas de onda, pode ser dada por:

$$iDs_{1_med_Ts} = \frac{1}{Ts} \cdot \int_{t_1}^{Ts} iDs_1(t) \cdot dt \quad (2.52)$$

$$iDs_{1_med_Ts} = \frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iDs_1 \cdot dt + \int_{t_6}^{t_7} iDs_1 \cdot dt + \int_{t_9}^{t_{10}} iDs_1 \cdot dt + \int_{t_{10}}^{t_{11}} iDs_1 \cdot dt + \int_{t_{14}}^{t_{15}} iDs_1 \cdot dt + \int_{t_{17}}^{t_{18}} iDs_1 \cdot dt + \int_{t_{21}}^T iDs_1 \cdot dt \right] \quad (2.53)$$

Como as etapas 10, 14 e 21 são idênticas:

$$iDs_{1_med_Ts} = \frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iDs_1 \cdot dt + \int_{t_6}^{t_7} iDs_1 \cdot dt + \int_{t_9}^{t_{10}} iDs_1 \cdot dt + 3 \cdot \int_{t_{10}}^{t_{11}} iDs_1 \cdot dt + \int_{t_{17}}^{t_{18}} iDs_1 \cdot dt \right] \quad (2.54)$$

onde:

$$\int_{t_3}^{t_4} iDs_1 \cdot dt = \int_{t_3}^{t_4} \left(\frac{I_{MB}}{3} - \frac{E_G}{3 \cdot Ls} \cdot (t - t_3) \right) \cdot dt = \int_0^{\Delta t_{3-4}} \left(\frac{I_{MB}}{3} - \frac{E_G}{3 \cdot Ls} \cdot t \right) \cdot dt = \frac{I_{MB} \cdot \Delta t_{3-4}}{6} = \frac{I_{MB}^2 \cdot Ls}{6 \cdot E_G} \quad (2.55)$$

$$\int_{t_6}^{t_7} iDs_1 \cdot dt = \int_{t_6}^{t_7} \left(\frac{I_{MA}}{3} - \frac{E_G}{3 \cdot Ls} \cdot (t - t_6) \right) \cdot dt = \int_0^{\Delta t_{6-7}} \left(\frac{I_{MA}}{3} - \frac{E_G}{3 \cdot Ls} \cdot t \right) \cdot dt = \frac{I_{MA} \cdot \Delta t_{6-7}}{6} = \frac{I_{MA}^2 \cdot Ls}{6 \cdot E_G} \quad (2.56)$$

$$\int_{t_9}^{t_{10}} iDs_1 \cdot dt = \int_{t_9}^{t_{10}} I_M \cdot \text{sen}(\omega_{RSN} \cdot (t - t_9)) \cdot dt = \int_0^{\Delta t_{9-10}} I_M \cdot \text{sen}(\omega_{RSN} \cdot t) \cdot dt = Cs \cdot (2 \cdot E + E_G) \quad (2.57)$$

$$\int_{t_{10}}^{t_{11}} iDs_1 \cdot dt = \int_{t_{10}}^{t_{11}} \left(\frac{I_M}{3} - \frac{E_G}{3 \cdot Ls} \cdot (t - t_{10}) \right) \cdot dt = \int_0^{\Delta t_{10-11}} \left(\frac{I_M}{3} - \frac{E_G}{3 \cdot Ls} \cdot t \right) \cdot dt = \frac{I_M \cdot \Delta t_{10-11}}{6} = \frac{I_M^2 \cdot Ls}{6 \cdot E_G} \quad (2.58)$$

$$\int_{t_{17}}^{t_{18}} iDs_1 dt = \int_{t_{17}}^{t_{18}} \left(\frac{-I_{MC}}{3} - \frac{E_G}{3Ls} (t - t_{17}) \right) dt = \int_0^{\Delta t_{17-18}} \left(\frac{-I_{MC}}{3} - \frac{E_G}{3Ls} t \right) dt = \frac{I_{MC} \cdot \Delta t_{17-18}}{6} = \frac{I_{MC}^2 \cdot Ls}{6 \cdot E_G} \quad (2.59)$$

e:

$$\Delta t_{3-4} = \frac{I_{MB} \cdot Ls}{E_G} \quad (2.60)$$

$$\Delta t_{6-7} = \frac{I_{MA} \cdot Ls}{E_G} \quad (2.61)$$

$$\Delta t_{9-10} = \frac{1}{\omega_{RSN}} \cdot \arccos \left(-\frac{E_G}{Ls \cdot I_M \cdot \omega_{RSN}} \right) \quad (2.62)$$

$$\Delta t_{10-11} = \frac{I_M \cdot Ls}{E_G} \quad (2.63)$$

$$\Delta t_{17-18} = \frac{I_{MC} \cdot Ls}{E_G} \quad (2.64)$$

$$I_M = 2 \cdot E \cdot \sqrt{\frac{Cs}{Ls}} \quad (2.65)$$

$$I_{MA} = \sqrt{I_M^2 + I_A^2} \quad (2.66)$$

$$I_{MB} = \sqrt{I_M^2 + I_B^2} \quad (2.67)$$

$$I_{MC} = \sqrt{I_M^2 + I_C^2} \quad (2.68)$$

Assim, pode-se escrever:

$$iDs_{1_med_Ts} = \frac{1}{Ts} \cdot \left[\frac{Ls}{6 \cdot E_G} \cdot (I_{MA}^2 + I_{MB}^2 + I_{MC}^2 + 3I_M^2) + Cs \cdot (2 \cdot E + E_G) \right] \quad (2.69)$$

A corrente média em Ds_4 , para a região de operação analisada nas formas de onda, pode ser dada por:

$$iDs_{4_med_Ts} = \frac{1}{Ts} \cdot \int_{t_1}^{Ts} iDs_4(t) \cdot dt \quad (2.70)$$

A diferença para o cálculo da corrente em Ds_4 em relação a Ds_1 está nas etapas 5 e 9, como se pode verificar na Figura 7. Contudo, o cálculo exato das correntes para a etapa 5 em Ds_4 dá um resultado muito extenso, sendo que a duração dessa etapa é bem menor que as demais etapas. Desta forma essa etapa pode ser aproximada pela etapa 9 de Ds_1 sem que o

erro acrescentado pela simplificação seja considerável no resultado final. Logo, pode-se verificar que a corrente média para os diodos superiores e inferiores do *snubber* será, por aproximação, idêntica em um período de chaveamento.

Do ponto de vista da frequência da rede, a corrente média no diodo DS_1 pode ser escrita como:

$$iDS_{1_med} = \frac{1}{T_r} \cdot \int_0^{T_r} iDS_1(t) \cdot dt \quad (2.71)$$

Como a corrente média nos diodos do *snubber* independe do sentido da corrente, (uma vez que as correntes têm seus termos elevados ao quadrado), pode-se reescrever a corrente em DS_1 da seguinte forma:

$$iDS_{med} = \frac{1}{\pi} \cdot \int_0^{\pi} iDS_{1_med_Ts}(\omega t) \cdot d\omega t \quad (2.72)$$

$$iDS_{med} = \frac{1}{\pi} \cdot \int_0^{\pi} \frac{1}{Ts} \cdot \left[\frac{Ls}{6 \cdot E_G} \cdot (I_{MA}(\omega t)^2 + I_{Mb}(\omega t)^2 + I_{MC}(\omega t)^2 + 3 \cdot I_M^2) + Cs \cdot (2 \cdot E + E_G) \right] \cdot d\omega t \quad (2.73)$$

$$iDS_{med} = \frac{4 \cdot Cs \cdot (4 \cdot E^2 + 2 \cdot E_G \cdot E + E_G^2) + Ip^2 \cdot Ls}{4 \cdot Ts \cdot E_G} \quad (2.74)$$

2.3.6.2. Corrente eficaz

Seguindo o mesmo raciocínio utilizado para o cálculo do valor médio, para o diodo DS_1 chega-se à:

$$iDS_{1_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iDS_1^2 \cdot dt + \int_{t_6}^{t_7} iDS_1^2 \cdot dt + \int_{t_9}^{t_{10}} iDS_1^2 \cdot dt + 3 \cdot \int_{t_{10}}^{t_{11}} iDS_1^2 \cdot dt + \int_{t_{14}}^{t_{15}} iDS_1^2 \cdot dt + \int_{t_{17}}^{t_{18}} iDS_1^2 \cdot dt + \int_{t_{21}}^T iDS_1^2 \cdot dt \right]} \quad (2.75)$$

$$\int_{t_3}^{t_4} iDS_1^2 \cdot dt = \int_0^{\Delta_{3-4}} \left(\frac{I_{MB}}{3} - \frac{E_G}{3Ls} \cdot t \right)^2 \cdot dt = \frac{I_{MB}^3 \cdot Ls}{27 \cdot E_G} \quad (2.76)$$

$$\int_{t_6}^{t_7} iDS_1^2 \cdot dt = \int_0^{\Delta_{6-7}} \left(\frac{I_{MA}}{3} - \frac{E_A}{3Ls} \cdot t \right)^2 \cdot dt = \frac{I_{MA}^3 \cdot Ls}{27 \cdot E_G} \quad (2.77)$$

$$\int_{t_9}^{t_{10}} iDs_1^2 \cdot dt = \int_0^{\Delta t_{9-10}} \left[I_M \cdot \sin(\omega_{RSN} \cdot t) \right]^2 \cdot dt =$$

$$\frac{Cs}{2} \cdot \sqrt{\frac{Cs}{Ls}} \cdot \left\{ E_G \cdot \sqrt{4 \cdot E^2 - E_G^2} + 4 \cdot E^2 \cdot \left[\pi - \arccos\left(\frac{E_G}{2 \cdot E}\right) \right] \right\} \quad (2.78)$$

$$\int_{t_{10}}^{t_{11}} iDs_1^2 \cdot dt = \int_0^{\Delta t_{10-11}} \left(\frac{I_M}{3} - \frac{E_G}{3 \cdot Ls} \cdot t \right)^2 \cdot dt = \frac{I_M^3 \cdot Ls}{27 \cdot E_G} \quad (2.79)$$

$$\int_{t_{17}}^{t_{18}} iDs_1^2 \cdot dt = \int_0^{\Delta t_{17-18}} \left(\frac{I_{Mc}}{3} - \frac{E_G}{3 \cdot Ls} \cdot t \right)^2 \cdot dt = \frac{I_{Mc}^3 \cdot Ls}{27 \cdot E_G} \quad (2.80)$$

Assim:

$$iDs_{1_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\left(I_{MA}^3 + I_{MB}^3 + I_{MC}^3 + 3 \cdot I_M^3 \right) \cdot \frac{Ls}{27 \cdot E_G} + \frac{Cs}{2} \cdot \sqrt{\frac{Cs}{Ls}} \cdot \left\{ E_G \cdot \sqrt{4 \cdot E^2 - E_G^2} + 4 \cdot E^2 \cdot \left[\pi - \arccos\left(\frac{E_G}{2 \cdot E}\right) \right] \right\} \right]} \quad (2.81)$$

Utilizando-se das mesmas considerações feitas para a corrente média, observa-se que a corrente eficaz também terá o mesmo valor para Ds_1 e Ds_4 .

Expandindo para um período da rede, deve-se notar que os elementos envolvidos no cálculo da corrente eficaz são todos positivos, pois os termos com possibilidade de serem negativos são todos elevados ao quadrado. Assim sendo, pode-se realizar a integração sem que seja necessário fazer considerações sobre o sentido das correntes de saída, ou seja:

$$iDs_{ef} = \sqrt{\frac{1}{Tr} \cdot \int_0^{Tr} iDs_{1_ef_Ts}^2 \cdot dt} \quad (2.82)$$

2.3.7. Capacitor C_G

Para o capacitor C_G , é interessante saber os valores de corrente a fim de poder determinar as condições de trabalho do conversor *Buck-Boost*, responsável pela regeneração de energia do *snubber*, como será visto no capítulo 3.

2.3.7.1. Corrente Média

Levando em consideração que o capacitor de grampeamento C_G , na análise realizada até agora, comporta-se como uma fonte de tensão cujo valor não varia no tempo, é

conveniente calcular seu valor de corrente média. Na prática, a corrente média no capacitor será igual à zero, pois a tensão média sobre o capacitor deverá ser constante. Este cálculo da corrente média no capacitor se justifica pelo fato de permitir determinar potência média fornecida pelo *Snubber de Undeland* para o capacitor. No circuito final, a energia fornecida pelo *snubber* para o capacitor será inteiramente processada por um circuito auxiliar, garantindo a corrente média nula no capacitor e a constância da sua tensão média.

A corrente média em um período de chaveamento, para a região analisada, pode ser obtida da seguinte maneira:

$$iC_{G_med_Ts} = \frac{1}{Ts} \cdot \int_{t_1}^{Ts} iC_G(t) \cdot dt \quad (2.83)$$

$$iC_{G_med_Ts} = \frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iC_G \cdot dt + \int_{t_6}^{t_7} iC_G \cdot dt + \int_{t_9}^{t_{10}} iC_G \cdot dt + \int_{t_{10}}^{t_{11}} iC_G \cdot dt + \int_{t_{13}}^{t_{14}} iC_G \cdot dt + \int_{t_{14}}^{t_{15}} iC_G \cdot dt + \int_{t_{16}}^{t_{17}} iC_G \cdot dt + \int_{t_{17}}^{t_{18}} iC_G \cdot dt + \int_{t_{21}}^T iC_G \cdot dt \right] \quad (2.84)$$

As etapas 9, 13 e 16 têm tempo de duração bem menor que as demais etapas. Dessa forma, seu valor representa pouca influência no cálculo da corrente. Além disso, o cálculo da etapa 16 é bastante complicado, uma vez que o valor inicial da etapa, o valor máximo e o tempo de duração são variáveis em função do valor instantâneo da corrente de saída. Desta forma esta etapa será aproximada ao comportamento das etapas 9 e 13. Como as etapas 9 e 13 e as etapas 10, 14 e 21 são idênticas, pode-se escrever:

$$iC_{G_med_Ts} = \frac{1}{Ts} \left[\int_{t_3}^{t_4} iC_G dt + \int_{t_6}^{t_7} iC_G dt + 2 \int_{t_9}^{t_{10}} iC_G dt + 3 \int_{t_{10}}^{t_{11}} iC_G dt + \int_{t_{16}}^{t_{17}} iC_G dt + \int_{t_{17}}^{t_{18}} iC_G dt \right] \quad (2.85)$$

onde:

$$\int_{t_3}^{t_4} iC_G \cdot dt = \int_0^{\Delta t_{3-4}} \left(I_{MB} - \frac{E_G}{L_S} \cdot t \right) \cdot dt = \frac{I_{MB} \cdot \Delta t_{3-4}}{2} = \frac{I_{MB}^2 \cdot L_S}{2 \cdot E_G} \quad (2.86)$$

$$\int_{t_6}^{t_7} iC_G \cdot dt = \int_0^{\Delta t_{6-7}} \left(I_{MA} - \frac{E_G}{L_S} \cdot t \right) \cdot dt = \frac{I_{MA} \cdot \Delta t_{6-7}}{2} = \frac{I_{MA}^2 \cdot L_S}{2 \cdot E_G} \quad (2.87)$$

$$\int_{t_9}^{t_{10}} iC_G \cdot dt = \int_0^{\Delta t_{9-10}} I_M \cdot \sin(\omega_{RSN} \cdot t) \cdot dt = C_S \cdot (2 \cdot E + E_G) \quad (2.88)$$

$$\int_{t_{10}}^{t_{11}} iC_G \cdot dt = \int_0^{\Delta t_{10-11}} \left(I_M - \frac{E_G}{3 \cdot Ls} \cdot t \right) \cdot dt = \frac{I_M \cdot \Delta t_{10-11}}{2} = \frac{I_M^2 \cdot Ls}{2 \cdot E_G} \quad (2.89)$$

$$\int_{t_{16}}^{t_{17}} iC_G \cdot dt \cong \int_0^{\Delta t_{16-17}} I_C \cdot dt = Cs \cdot (2 \cdot E + E_G) \quad (2.90)$$

$$\int_{t_{17}}^{t_{18}} iC_G \cdot dt = \int_0^{\Delta t_{17-18}} \left(I_{MC} - \frac{E_G}{Ls} \cdot t \right) dt = \frac{I_{MC} \cdot \Delta t_{17-18}}{2} = \frac{I_{MC}^2 \cdot Ls}{2 \cdot E_G} \quad (2.91)$$

e:

$$\Delta t_{16-17} \cong \frac{Cs \cdot (2 \cdot E + E_G)}{I_C} \quad (2.92)$$

Assim, pode-se escrever:

$$iC_{G_med_Ts} = \frac{1}{Ts} \cdot \left[\frac{Ls}{2 \cdot E_G} \cdot (I_{MA}^2 + I_{MB}^2 + I_{MC}^2 + 3 \cdot I_M^2) + 3 \cdot Cs \cdot (2 \cdot E + E_G) \right] \quad (2.93)$$

Expandindo para um período da rede, pode-se observar que as correntes estão elevadas ao quadrado. Desta forma, para os intervalos que as correntes são negativas, elas ficam automaticamente positivas, sendo desnecessário fazer qualquer consideração para o cálculo da integral. Logo, pode-se escrever a corrente média no capacitor C_G , para um período de rede, da seguinte maneira:

$$iC_{G_med} = \frac{1}{Tr} \cdot \int_0^{Tr} iC_{G_med_Ts}(t) \cdot dt = \frac{1}{\pi} \cdot \int_0^{\pi} iC_{G_med_Ts}(t) \cdot dt \quad (2.94)$$

$$iC_{G_med} = \frac{3 \cdot \left[Ip^2 \cdot Ls + 4 \cdot Cs \cdot (4 \cdot E^2 + 2 \cdot E_G \cdot E + E_G^2) \right]}{4 \cdot Ts \cdot E_G} \quad (2.95)$$

2.3.7.2. Corrente Eficaz

De maneira semelhante, a corrente eficaz em C_G , em um período de chaveamento, pode ser definida da seguinte maneira:

$$iC_{G_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \int_{t_1}^{Ts} iC_G^2(t) \cdot dt} \quad (2.96)$$

$$iC_{G_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iC_G^2 \cdot dt + \int_{t_6}^{t_7} iC_G^2 \cdot dt + \int_{t_9}^{t_{10}} iC_G^2 \cdot dt + \int_{t_{10}}^{t_{11}} iC_G^2 \cdot dt + \right.} \quad (2.97)$$

$$\left. \int_{t_{13}}^{t_{14}} iC_G^2 \cdot dt + \int_{t_{14}}^{t_{15}} iC_G^2 \cdot dt + \int_{t_{16}}^{t_{17}} iC_G^2 \cdot dt + \int_{t_{17}}^{t_{18}} iC_G^2 \cdot dt + \int_{t_{21}}^T iC_G^2 \cdot dt \right]$$

Tomando as mesmas premissas adotadas para o cálculo da corrente média, a corrente eficaz no capacitor C_G pode ser obtida da seguinte forma:

$$iC_{G_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_{t_3}^{t_4} iC_G^2 \cdot dt + \int_{t_6}^{t_7} iC_G^2 \cdot dt + 2 \cdot \int_{t_9}^{t_{10}} iC_G^2 \cdot dt + 3 \cdot \int_{t_{10}}^{t_{11}} iC_G^2 \cdot dt + \int_{t_{16}}^{t_{17}} iC_G^2 \cdot dt + \int_{t_{17}}^{t_{18}} iC_G^2 \cdot dt \right]} \quad (2.98)$$

onde:

$$\int_{t_3}^{t_4} iC_G^2 \cdot dt = \int_0^{\Delta t_{3-4}} \left(I_{MA} - \frac{E_G}{Ls} \cdot t \right)^2 \cdot dt = \frac{I_{MA}^3 \cdot Ls}{3 \cdot E_G} \quad (2.99)$$

$$\int_{t_6}^{t_7} iC_G^2 \cdot dt = \int_0^{\Delta t_{6-7}} \left(I_{MB} - \frac{E_G}{Ls} \cdot t \right)^2 \cdot dt = \frac{I_{MB}^3 \cdot Ls}{3 \cdot E_G} \quad (2.100)$$

$$\int_{t_{10}}^{t_{11}} iC_G^2 \cdot dt = \int_0^{\Delta t_{10-11}} \left(I_M - \frac{E_G}{Ls} \cdot t \right)^2 \cdot dt = \frac{I_M^3 \cdot Ls}{9 \cdot E_G} \quad (2.101)$$

$$\begin{aligned} \int_{t_9}^{t_{10}} iC_G^2 \cdot dt &= \int_0^{\Delta t_{13-14}} \left[I_M \cdot \sin(\omega_{RSN} \cdot t) \right]^2 \cdot dt = \\ &= \frac{Cs}{2} \cdot \sqrt{\frac{Cs}{Ls}} \cdot \left\{ E_G \cdot \sqrt{4 \cdot E^2 - E_G^2} + 4 \cdot E^2 \cdot \left[\pi - \arccos\left(\frac{E_G}{2 \cdot E}\right) \right] \right\} \end{aligned} \quad (2.102)$$

$$\int_{t_{16}}^{t_{17}} iC_G^2 \cdot dt \cong \int_{t_9}^{t_{10}} iC_G^2 \cdot dt \quad (2.103)$$

$$\int_{t_{17}}^{t_{18}} iC_G^2 \cdot dt = \int_0^{\Delta t_{17-18}} \left(I_{MC} - \frac{E_G}{Ls} \cdot t \right)^2 \cdot dt = \frac{I_{MC}^3 \cdot Ls}{3 \cdot E_G} \quad (2.104)$$

Expandindo para um período de rede, pode-se observar que as integrais das equações 2.99 até 2.104 levam em consideração apenas elementos com valores positivos. Além disso, devido à simetria existente para as correntes, é suficiente realizar a integração para um intervalo de apenas 60° , uma vez que as correntes se repetem com o mesmo formato nesse período. Desta forma, pode-se obter a corrente eficaz no capacitor C_G da seguinte forma:

$$iC_{G_ef} = \sqrt{\frac{1}{Tr} \cdot \int_0^{Tr} iC_{G_ef_Ts}^2 \cdot dt} = \sqrt{\frac{3}{\pi} \cdot \int_{\frac{3\pi}{6}}^{\frac{5\pi}{6}} iC_{G_ef_Ts}^2 \cdot d\omega t} \quad (2.105)$$

Com o auxílio de softwares matemáticos, como Matlab, Maple, Mathcad, etc., é relativamente simples a obtenção do valor eficaz. Este resultado será suprimido do texto devido ao fato de ser muito extenso.

2.3.8. Capacitores Cs

Para os capacitores do *snubber*, é interessante saber o valor da corrente eficaz que circula durante um período da rede, a fim de se poder determinar suas condições de trabalho e de se ter condições para escolher o componente mais adequado.

2.3.8.1. Corrente Eficaz

A corrente eficaz em Cs_1 em um período de chaveamento, para a região analisada, apresenta apenas duas etapas de operação. As etapas apresentam tempo de duração semelhante, mas comportamento bastante diferente. Na etapa cinco a corrente apresenta condição inicial, o que não acontece com a etapa nove. Qualquer aproximação mais trivial para a etapa 5 irá representar um erro significativo no cálculo da corrente eficaz do capacitor. A integração para a etapa nove é bastante simples e já foi apresentada no cálculo dos outros elementos do circuito.

A corrente sobre o capacitor na etapa cinco segue a seguinte equação:

$$iCs_{1_{(5-6)}}(t) = I_{MA} \cdot \text{sen}(\omega_{RSN} \cdot t + \phi_{CS}) \quad (2.106)$$

onde:

$$I_{MA} = \sqrt{I_M^2 + I_A^2} \quad (2.107)$$

$$\phi_{CS} = \arctan\left(\frac{I_A}{I_M}\right) \quad (2.108)$$

O tempo de duração da etapa também é variável e ao substituir seu valor na integral de cálculo da corrente para essa etapa, o resultado torna-se bastante extenso e pouco prático. Desta forma, o tempo de duração da etapa será aproximado para um valor que tem relação com o tempo de duração da etapa nove, na equação 2.62, conforme pode ser visto na equação 2.109.

$$\Delta t_{5-6} \cong \Delta t_{9-10} - \frac{\phi_{CS}}{\omega_{RSN}} \quad (2.109)$$

Logo, a corrente eficaz no capacitor pode ser obtida da seguinte maneira:

$$iC_{s_{ef_Ts}} = \sqrt{\frac{1}{T_S} \cdot \int_{t_1}^{T_S} iC_{s_1}(t)^2 \cdot dt} = \sqrt{\frac{1}{T_S} \cdot \left[\int_{t_5}^{t_6} iC_{s_1} \cdot dt + \int_{t_9}^{t_{10}} iC_{s_1} \cdot dt \right]} \quad (2.110)$$

onde:

$$\begin{aligned} \int_{t_5}^{t_6} iC_{s_1}^2 \cdot dt &= \int_0^{\Delta t_{5-6}} \left[I_{MA} \cdot \text{sen}(\omega_{RSN} \cdot t - \phi_{CS}) \right]^2 \cdot dt = \\ &= \frac{(I_A^2 \cdot L_S + 4 \cdot E^2 \cdot C_S)}{2} \cdot \sqrt{\frac{C_S}{L_S}} \cdot \left\{ \begin{aligned} &\cos(\phi_{CS}) \cdot \text{sen}(\phi_{CS}) + \pi - \phi_{CS} \\ &-\arccos\left(\frac{E_G}{2 \cdot E}\right) + \frac{E_G}{4 \cdot E^2} \cdot \sqrt{4 \cdot E^2 - E_G^2} \end{aligned} \right\} \end{aligned} \quad (2.111)$$

$$\begin{aligned} \int_{t_9}^{t_{10}} iC_{s_1} \cdot dt &= \int_0^{\Delta t_{9-10}} \left[I_{MA} \cdot \text{sen}(\omega_{RSN} \cdot t) \right]^2 \cdot dt = \\ &= \frac{C_S}{2} \cdot \sqrt{\frac{C_S}{L_S}} \cdot \left\{ E_G \cdot \sqrt{4 \cdot E^2 + E_G^2} + 4 \cdot E^2 \cdot \left[\pi - \arccos\left(\frac{E_G}{2 \cdot E}\right) \right] \right\} \end{aligned} \quad (2.112)$$

Expandindo para um período de rede, tem-se:

$$iC_{s_{ef}} = \sqrt{\frac{1}{T_r} \cdot \int_0^{T_r} iC_{s_{1_ef_Ts}}^2 \cdot dt} \quad (2.113)$$

Como se pode observar comparando-se as formas de onda para os três braços do inversor, as etapas de operação para os três capacitores do *snubber* são as mesmas, exceto pelo sentido da corrente, e têm o mesmo formato para os três braços. Desta maneira, é necessário apenas saber a corrente em um dos capacitores. Além disso, como as correntes de saída são simétricas e equilibradas, basta fazer a integral para um quarto do período da rede, ou seja:

$$iC_{s_{ef}} = \sqrt{\frac{2}{\pi} \cdot \int_0^{\frac{\pi}{2}} iC_{s_{1_ef_Ts}}^2 \cdot d\omega t} \quad (2.114)$$

O resultado será suprimido do texto por ser muito extenso.

2.3.9. Indutor Ls

Para o Indutor do *snubber*, é interessante conhecer o valor da corrente eficaz que circula durante um período da rede, a fim de se poder determinar as condições de trabalho do componente e de se ter informações suficientes para o correto dimensionamento do mesmo.

2.3.9.1. Corrente Eficaz:

A corrente eficaz em Ls em um período de chaveamento, para a região analisada, pode ser obtida da seguinte maneira:

$$iLs_{ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \int_{t_1}^{Ts} iLs(t)^2 \cdot dt} \quad (2.115)$$

Considerando que o tempo de duração das etapas ressonantes é muito menor que as demais etapas, pode-se assumir que sua colaboração na corrente eficaz pode ser desprezada sem que o erro adicionado seja relevante. Desta maneira:

$$iLs_{ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_{t_1}^{t_2} (I_A + I_B)^2 \cdot dt + \int_{t_2}^{t_3} (I_A)^2 \cdot dt + \int_{t_3}^{t_4} (iLs)^2 \cdot dt + \int_{t_4}^{t_5} (I_A)^2 \cdot dt \right.} \quad (2.116)$$

$$\left. + \int_{t_6}^{t_7} (iLs)^2 \cdot dt + \int_{t_8}^{t_{10}} (I_A)^2 \cdot dt + \int_{t_{10}}^{t_{11}} (iLs)^2 \cdot dt + \int_{t_{11}}^{t_{12}} (I_A)^2 \cdot dt \right.$$

$$\left. + \int_{t_{12}}^{t_{14}} (I_A + I_B)^2 \cdot dt + \int_{t_{14}}^{t_{15}} (iLs)^2 \cdot dt + \int_{t_{15}}^{t_{16}} (I_A + I_B)^2 \cdot dt \right.$$

$$\left. + \int_{t_{17}}^{t_{18}} (iLs)^2 \cdot dt + \int_{t_{19}}^{t_{21}} (I_A + I_B)^2 \cdot dt + \int_{t_{21}}^T (iLs)^2 \cdot dt \right]$$

A equação 2.116 pode ser reescrita da seguinte forma:

$$iLs_{ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_0^{\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{15-16} + \Delta t_{19-21}} (-I_C)^2 \cdot dt + \int_0^{\Delta t_{2-3} + \Delta t_{4-5} + \Delta t_{8-10} + \Delta t_{11-12}} (I_A)^2 \cdot dt \right.} \quad (2.117)$$

$$\left. + \int_{t_3}^{t_4} (iLs)^2 \cdot dt + \int_{t_6}^{t_7} (iLs)^2 \cdot dt + \int_{t_{10}}^{t_{11}} (iLs)^2 \cdot dt \right.$$

$$\left. + 2 \cdot \int_{t_{14}}^{t_{15}} (iLs)^2 \cdot dt + \int_{t_{17}}^{t_{18}} (iLs)^2 \cdot dt \right]$$

onde:

$$\int_0^{\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{15-16} + \Delta t_{19-21}} (-I_C)^2 \cdot dt = I_C^2 \cdot [(D_B - D_C) \cdot Ts - 2 \cdot \Delta t_{10-11}] \quad (2.118)$$

$$\int_0^{\Delta t_{2-3} + \Delta t_{4-5} + \Delta t_{8-10} + \Delta t_{11-12}} (I_A)^2 \cdot dt = I_A^2 \cdot [(D_A - D_B) \cdot Ts - \Delta t_{10-11} - \Delta t_{3-4}] \quad (2.119)$$

$$\int_{t_3}^{t_4} (iLs)^2 \cdot dt = \frac{\left(I_A + \sqrt{I_B^2 + \frac{4 \cdot E^2 \cdot Cs}{Ls}} \right)^3 \cdot Ls - I_A^3 \cdot Ls}{3 \cdot E_G} \quad (2.120)$$

$$\int_{t_6}^{t_7} (iLs)^2 \cdot dt = \frac{\left(\sqrt{I_A^2 + \frac{4 \cdot E^2 \cdot Cs}{Ls}} \right)^3 \cdot Ls}{3 \cdot E_G} \quad (2.121)$$

$$\int_{t_{10}}^{t_{11}} (iLs)^2 \cdot dt = \frac{\left(I_A^2 + 2 \cdot E \cdot \sqrt{\frac{Cs}{Ls}} \right)^3 \cdot Ls - I_A^3 \cdot Ls}{3 \cdot E_G} \quad (2.122)$$

$$\int_{t_{14}}^{t_{15}} (iLs)^2 \cdot dt = \frac{\left(I_A + I_B + 2 \cdot E \cdot \sqrt{\frac{Cs}{Ls}} \right)^3 \cdot Ls - (I_A + I_B)^3 \cdot Ls}{3 \cdot E_G} \quad (2.123)$$

$$\int_{t_{17}}^{t_{18}} (iLs)^2 \cdot dt = \frac{\left(\sqrt{I_C^2 + \frac{4 \cdot E^2 \cdot Cs}{Ls}} \right)^3 \cdot Ls}{3 \cdot E_G} \quad (2.124)$$

com:

$$\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{15-16} + \Delta t_{19-21} = (D_B - D_C) \cdot Ts - 2 \cdot \Delta t_{10-11} \quad (2.125)$$

$$\Delta t_{2-3} + \Delta t_{4-5} + \Delta t_{8-10} + \Delta t_{11-12} = (D_A - D_B) \cdot Ts - \Delta t_{10-11} - \Delta t_{3-4} \quad (2.126)$$

Expandindo-se para um período de rede, tem-se:

$$iLs_{ef} = \sqrt{\frac{1}{Tr} \cdot \int_0^{Tr} iLs_{ef-Ts}^2 \cdot dt} \quad (2.127)$$

Devido à simetria, pode-se calcular o valor da corrente eficaz utilizando-se um intervalo de apenas 30 graus. Desta maneira:

$$iLs_{ef} = \sqrt{\frac{6}{\pi} \cdot \int_{\frac{4\pi}{6}}^{\frac{5\pi}{6}} iLs_{ef-Ts}^2 \cdot d\omega t} \quad (2.128)$$

2.3.10. Fontes V

Para as fontes de alimentação do conversor, é interessante conhecer o valor da corrente eficaz que circula durante um período da rede, a fim de se poder determinar suas condições de trabalho e de se ter informações suficientes para o seu correto dimensionamento. Na prática, tais fontes são compostas por capacitores.

2.3.10.1. Corrente Eficaz:

A corrente eficaz nas fontes V em um período de chaveamento, para a região analisada, pode ser obtida da seguinte maneira:

$$iV_{1_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \int_{t_1}^{Ts} iV_1(t)^2 \cdot dt} \quad (2.129)$$

Considerando que o tempo de duração das etapas ressonantes tem tempo de duração muito menor que as demais etapas, pode-se assumir que sua colaboração na corrente eficaz pode ser desprezada sem que o erro adicionado seja relevante. Desta maneira:

$$iV_{1_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_{t_1}^{t_2} (I_A + I_B)^2 \cdot dt + \int_{t_2}^{t_5} (I_A)^2 \cdot dt + \int_{t_8}^{t_{12}} (I_A)^2 \cdot dt + \int_{t_{12}}^{t_{16}} (I_A + I_B)^2 \cdot dt + \int_{t_{19}}^T (I_A + I_B)^2 \cdot dt \right]} \quad (2.130)$$

A equação 2.130 pode ser reescrita da seguinte forma:

$$iV_{1_ef_Ts} = \sqrt{\frac{1}{Ts} \cdot \left[\int_0^{\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{19-T}} (-I_C)^2 \cdot dt + \int_0^{\Delta t_{2-5} + \Delta t_{8-12}} (I_A)^2 \cdot dt \right]} \quad (2.131)$$

onde:

$$\int_0^{\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{19-T}} (I_C)^2 \cdot dt = I_C^2 \cdot (D_B - D_C) \cdot Ts \quad (2.132)$$

$$\int_0^{\Delta t_{2-5} + \Delta t_{8-12}} (I_A)^2 \cdot dt = I_A^2 \cdot (D_A - D_B) \cdot Ts \quad (2.133)$$

com:

$$\Delta t_{1-2} + \Delta t_{12-14} + \Delta t_{19-T} = (D_B - D_C) \cdot Ts \quad (2.134)$$

$$\Delta t_{2-5} + \Delta t_{8-12} = (D_A - D_B) \cdot Ts \quad (2.135)$$

Expandindo para um período de rede, tem-se:

$$iV_{1_ef} = \sqrt{\frac{1}{Tr} \cdot \int_0^{Tr} iV_{1_ef_Ts}^2 \cdot dt} \quad (2.136)$$

Devido à simetria, pode-se calcular o valor da corrente eficaz utilizando um intervalo de apenas 60 graus. Desta maneira:

$$iV_{1_ef} = \sqrt{\frac{3}{\pi} \cdot \int_{\frac{3\pi}{6}}^{\frac{5\pi}{6}} iV_{1_ef_Ts}^2 \cdot d\omega} \quad (2.137)$$

$$iV_{1_ef} = \frac{\sqrt{5}}{2} \cdot Ip \cdot \sqrt{\frac{\sqrt{3} \cdot ma}{\pi}} \quad (2.138)$$

2.4. PROJETO DO CONVERSOR

O projeto do conversor consiste em utilizar o equacionamento desenvolvido para obter os esforços nos componentes a partir de uma especificação de projeto. Desta maneira, podem-se escolher os componentes adequados para a confecção do protótipo que será utilizado para realização dos testes de controle. A Tabela 1 apresenta as especificações às quais o inversor deve atender.

Tabela 1 – Dados de projeto para o circuito do Inversor.

$E = 320V$	Tensão de meio barramento
$E_G = 50V$	Tensão de grampeamento do <i>snubber</i>
$V_o = 127V$ a $220V$	Faixa de tensão de saída com potência nominal
$P_o = 4,5kVA$	Potência nominal de saída
$f_s = 50kHz$	Frequência de comutação
$f_r = 60Hz$	Frequência da tensão de saída do inversor
$\frac{di}{dt}_{\max} = 130 A/\mu s$	Máxima derivada de corrente nos interruptores
$\frac{dv}{dt}_{\max} = 5000V/\mu s$	Máxima derivada de tensão no interruptores
$f_{CO} = 3kHz$	Frequência de ressonância do filtro de saída
$\Delta I_L = 15\%$	Ondulação de corrente no indutor de saída
$K_{CR} = 3,2$	Fator de crista da corrente de saída

A partir dos dados fornecidos é possível projetar o estágio de potência. Inicialmente, determinam-se os valores de pico de tensão e corrente de saída, considerando-se o pior caso, ou seja, quando a corrente de saída é máxima e a tensão de saída é mínima:

Da equação 2.7:

$$I_p = 16,7A \quad (2.139)$$

Da equação 2.8:

$$V_p = 179,6V \quad (2.140)$$

Determinam-se, então, os valores dos componentes do *snubber* (indutor e capacitor), o índice de modulação, a frequência de ressonância natural do *snubber* e a máxima corrente ressonante no circuito do *snubber*:

Da equação 2.17:

$$L_s = 5\mu H \quad (2.141)$$

Da equação 2.26:

$$C_s = 4,7nF \quad (2.142)$$

Da equação 2.27:

$$\alpha = 0,561 \quad (2.143)$$

Da equação 2.11:

$$\omega_{RSN} = 6,52 \cdot 10^6 \text{ rad} / s \quad (2.144)$$

Da equação 2.65:

$$I_M = 19,6A \quad (2.145)$$

Visando a possibilidade de conexão de cargas não lineares na saída do conversor, será utilizado um Fator de Crista elevado, que é a relação entre o valor de pico da corrente e seu valor eficaz. Desta forma:

$$iL_{A,B,C_max} = K_{CR} \cdot \frac{Po}{3 \cdot Vo} \quad (2.146)$$

A partir da equação 2.146 se obtém:

$$iL_{A,B,C_max} = 37,8A \quad (2.147)$$

e:

$$\Delta I_L = 5,67A \quad (2.148)$$

Determinam-se, deste modo, os elementos do filtro de saída:

Da equação 2.38:

$$L_{A,B,C} = 566\mu H \quad (2.149)$$

Da equação 2.39:

$$C_{A,B,C} = 5\mu F \quad (2.150)$$

A Tabela 2 apresenta os esforços nos componentes calculados segundo o equacionamento apresentado.

Tabela 2 – Esforços teóricos para os componentes do inversor.

Componente	Calculado	
	Médio	Efícaz
Z	3,83A	7,17A
D	1,49A	4,27A
Ds	2,44A	3,67A
Cs		2,62A
Ls		17,72A
C _G	7,31A	10,31A
V _{1,2}		10,39A

2.4.1. Determinação dos componentes

Uma vez que os esforços em todos os componentes do inversor foram determinados, é possível fazer a especificação dos componentes utilizados no projeto. A correta definição do tipo de componente vai muito além de uma simples verificação de capacidade de tensão ou corrente do componente. É necessário um amplo conhecimento dos tipos e características das famílias de componentes, bem como do seu emprego em cada aplicação. Após uma pesquisa nos principais *websites* de fabricantes de componentes e após uma comparação das possibilidades encontradas, chegou-se à configuração apresentada a seguir.

2.4.1.1. Chaves e diodos principais do inversor

Para as chaves do inversor, foi escolhido o componente IRG4PF50WD. Como este transistor já apresenta diodo interno ultra-rápido, seus diodos serão utilizados como diodos

principais do inversor. Suas principais características são apresentadas na Tabela 3 e na Tabela 4.

Tabela 3 – Características das chaves do inversor.

Tecnologia	IGBT
Máxima Tensão Emissor-Coletor	900V
Máxima Corrente Contínua de Coletor, @100°C	24A
Máxima Corrente Pulsada	204A
Resistência Térmica Junção-Cápsula	0,64°C/W
Tensão de Saturação Emissor-Coletor, @ 28A	2,25V
Máxima Dissipação de Potência @100°C	78W

Tabela 4 – Características dos diodos principais do inversor.

Tecnologia	HEXFRED
Máxima Corrente Direta	16A
Pico de Corrente Máxima	204A
Resistência Térmica Junção-Cápsula	0,83°C/W
Queda de tensão direta, @ 16A	2,5V
Tempo de recuperação reversa, @ 125°C, 200A/μs	164ns

2.4.1.2. Diodos do *snubber*

Para os diodos do *snubber*, foram utilizados os componentes MUR8100. Suas características podem ser vistas na Tabela 5.

Tabela 5 – Características dos diodos do *snubber*

Tecnologia	Ultra Rápido
Máxima Tensão Reversa	1000V
Máxima Corrente Direta	8A
Pico de Corrente Repetitiva	16A
Pico de Corrente Não Repetitiva	100A
Resistência Térmica Junção-Cápsula	2,0°C/W
Queda de tensão direta, @ 8A	1,8V
Tempo de recuperação reversa, @50A/μs	100ns

2.4.2. Determinação das potências dissipadas nos semicondutores

As perdas nos semicondutores são compostas basicamente por duas parcelas. Parte das perdas ocorre durante o tempo que os semicondutores estão conduzindo uma determinada

corrente (perdas por condução) e parte ocorre nos instantes em que os semicondutores estão realizando as transições entre condução e bloqueio (perdas de comutação). A maior parcela da potência dissipada no circuito é proveniente das chaves e diodos do inversor, que é onde se processa a maior quantidade de potência. Todavia, devido à presença do *Snubber de Undeland*, torna-se impraticável determinar algebricamente as perdas de comutação existentes no circuito. Desta maneira, as perdas nos semicondutores serão determinadas através de simulação, utilizando-se os modelos de componentes existentes nos programas de simulação e também os modelos fornecidos pelos fabricantes, quando não estiverem disponíveis diretamente nos programas de simulação.

2.5. CONCLUSÃO

O estudo do circuito de potência do inversor trifásico, juntamente com o *Snubber de Undeland Modificado*, possibilitou a obtenção de um equacionamento capaz de determinar os esforços em todos os componentes. A simetria existente entre as regiões de operação proporcionou uma significativa redução no esforço de análise necessário, já que foi possível realizar a análise para uma única região de operação e estender a análise para as demais regiões, com as devidas considerações necessárias.

A obtenção das equações algébricas das correntes em diversos componentes teve soluções bastante extensa, propiciando, inicialmente, certa dificuldade de utilização de tais equações que, desta forma, foram suprimidas do texto. Todavia, a obtenção dos valores numéricos é bastante simples através da utilização de softwares de cálculo matemático.

A possibilidade de obtenção de ábacos normalizados seria uma alternativa interessante para facilitar o projeto de conversores com a mesma estrutura de potência, mas com diferentes especificações. Contudo, o intuito deste trabalho está focado no controle digital do inversor trifásico. A análise algébrica e numérica do funcionamento do estágio de potência foi

necessária para que fosse possível especificar componentes para a montagem do protótipo experimental, posteriormente utilizado para validação da técnica de controle, justificando, assim, sua necessidade neste trabalho.

A utilização do *Snubber de Undeland* modificado é uma alternativa muito interessante, pois com a inclusão de alguns componentes passivos em um circuito simples, podem-se melhorar as condições de comutação das chaves principais do inversor.

Uma desvantagem da topologia é que o estudo teórico torna-se complicado, uma vez que o número de etapas passa de seis para vinte e uma, contando com algumas etapas ressonantes com condição inicial, onde o equacionamento exato torna-se extenso e trabalhoso.

De modo geral, pode-se dizer que a estrutura é promissora e espera-se que, com o auxílio do equacionamento apresentado neste trabalho, o projeto deste inversor possa tornar-se um pouco mais simplificado.

3. ESTUDO DO CONVERSOR AUXILIAR BUCK-BOOST QSC-ZVS

3.1. INTRODUÇÃO

A utilização do *Snubber de Undeland* nos inversores trifásicos propicia que a energia retirada da comutação das chaves do inversor seja transferida para o capacitor de grameamento C_G e dissipada no resistor de carga R_G acoplado ao capacitor de grameamento, conforme pode ser observado na Figura 11.

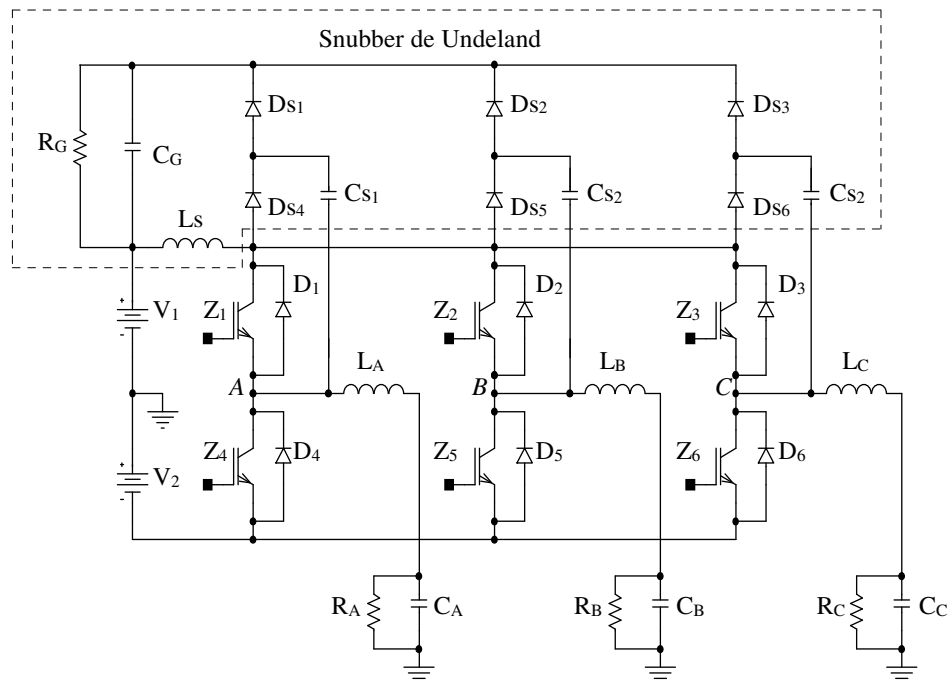


Figura 11 – *Snubber de Undeland* modificado em inversor trifásico.

Visando melhorar o rendimento do *Snubber de Undeland* e, conseqüentemente, do inversor trifásico, pode-se fazer uso de um conversor auxiliar para regeneração da energia processada pelo *snubber*. O circuito para regeneração pode ser visto na Figura 12. Essa solução mostrou-se atrativa devido à simplicidade do comando e a quantidade reduzida de componentes. Quando operado em condução descontínua, a desvantagem está no aparecimento de oscilações nas tensões e correntes no conversor *Buck-Boost* durante o bloqueio do diodo de roda livre, gerando interferência eletromagnética. Fazendo-se uma

pequena alteração na maneira de acionar a chave do conversor *Buck-Boost*, pode-se contornar essa desvantagem.

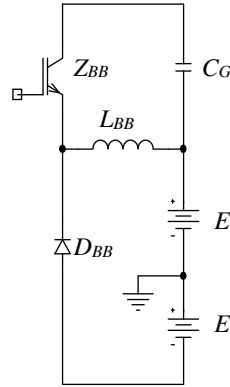


Figura 12 – Circuito para regeneração da energia do *snubber*.

Desta forma, propõe-se a utilização do conversor *Buck-Boost* QSC-ZVS (*Quasi-Square-Wave Converter, Zero-Voltage Switching*) para regeneração de energia do *Snubber de Undeland* modificado, aplicado ao inversor trifásico. O conversor *Buck-Boost* é bem conhecido na literatura [14] e uma análise completa de vários conversores QSC-ZVS é apresentada em [25]. Os conversores QSC caracterizam-se por apresentarem formas de onda praticamente quadradas, onde as etapas de transição são ressonantes. Utilizando a característica de recuperação reversa do diodo de roda livre, pode-se fazer o conversor *Buck-Boost* operar em modo ZVS e apresentar as mesmas características dos conversores QSC.

3.2. ANÁLISE QUALITATIVA

O funcionamento do conversor *Buck-Boost* QSC-ZVS pode ser descrito em cinco etapas de operação.

Para efeito de análise, será considerado que a tensão no capacitor C_G não varia durante um período de funcionamento do conversor auxiliar. As fontes V_1 e V_2 serão substituídas por uma única fonte, sem perda de generalidade. O circuito para análise das etapas de operação pode ser visto na Figura 13. Os circuitos equivalentes das etapas de operação podem ser

vistos na Figura 14. As principais formas de onda nos componentes do circuito podem ser vistas na Figura 15.

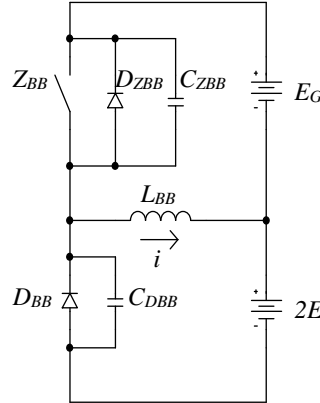


Figura 13 – Circuito completo para análise do conversor *Buck-Boost*.

1ª Etapa ($t_0 < t < t_1$): A chave Z_{BB} encontra-se fechada. No instante t_0 a corrente $i_{L_{BB}}$ é igual à zero. A energia do capacitor C_G é transferida para o indutor L_{BB} . A corrente $i_{L_{BB}}$ cresce linearmente, com derivada E_G/L_{BB} até atingir seu máximo em $t = t_1$, quando a chave é comandada a bloquear.

2ª Etapa ($t_1 < t < t_2$): Em t_1 a chave Z_{BB} é aberta. A corrente armazenada no indutor circula de forma ressonante pelos capacitores C_{ZBB} e $C_{D_{BB}}$. A corrente no indutor permanece praticamente constante durante a etapa. A tensão $v_{C_{D_{BB}}}$ decresce linearmente até zero. A tensão $v_{C_{ZBB}}$ cresce linearmente até atingir $E_G + 2E$ em $t = t_2$.

3ª Etapa ($t_2 < t < t_3$): Em t_2 a tensão $v_{D_{BB}}$ é zero. A corrente no indutor coloca o diodo em condução, circulando através do diodo para a fonte $2E$, descarregando o indutor. A corrente decresce linearmente com derivada $-2E/L_{BB}$. A corrente passa por zero e cresce negativamente enquanto há transferência da energia da recuperação reversa do diodo para o indutor. No instante t_3 , quando toda a energia é transferida para o indutor, o diodo D_{BB} bloqueia. Neste ponto, a corrente no indutor apresenta valor igual à $-I_R$.

4ª Etapa ($t_3 < t < t_4$): Em t_3 o diodo D_{BB} bloqueia-se e a corrente no indutor L_{BB} circula de forma ressonante pelos capacitores C_{ZBB} e $C_{D_{BB}}$. A corrente no indutor aumenta

negativamente de forma ressonante. A tensão $v_{C_{ZBB}}$ decresce aproximadamente de maneira linear até zero. A tensão $v_{C_{DBB}}$ cresce de forma complementar até atingir $2E + E_G$ em $t = t_4$. No final da etapa, a corrente no indutor tem valor $-I_{LBB_min}$.

5ª Etapa ($t_4 < t < T$): Em t_4 a tensão $v_{D_{ZBB}}$ é igual à zero. A corrente armazenada no indutor L_{BB} coloca o diodo D_{ZBB} em condução, transferindo a energia armazenada no indutor para o capacitor C_G . Durante esta etapa a chave Z_{BB} deve ser comandada a conduzir, para que possa entrar em condução com tensão nula. Em T_s a energia armazenada no indutor é completamente transferida para o capacitor C_G e a corrente no diodo chega à zero, encerrando a etapa.

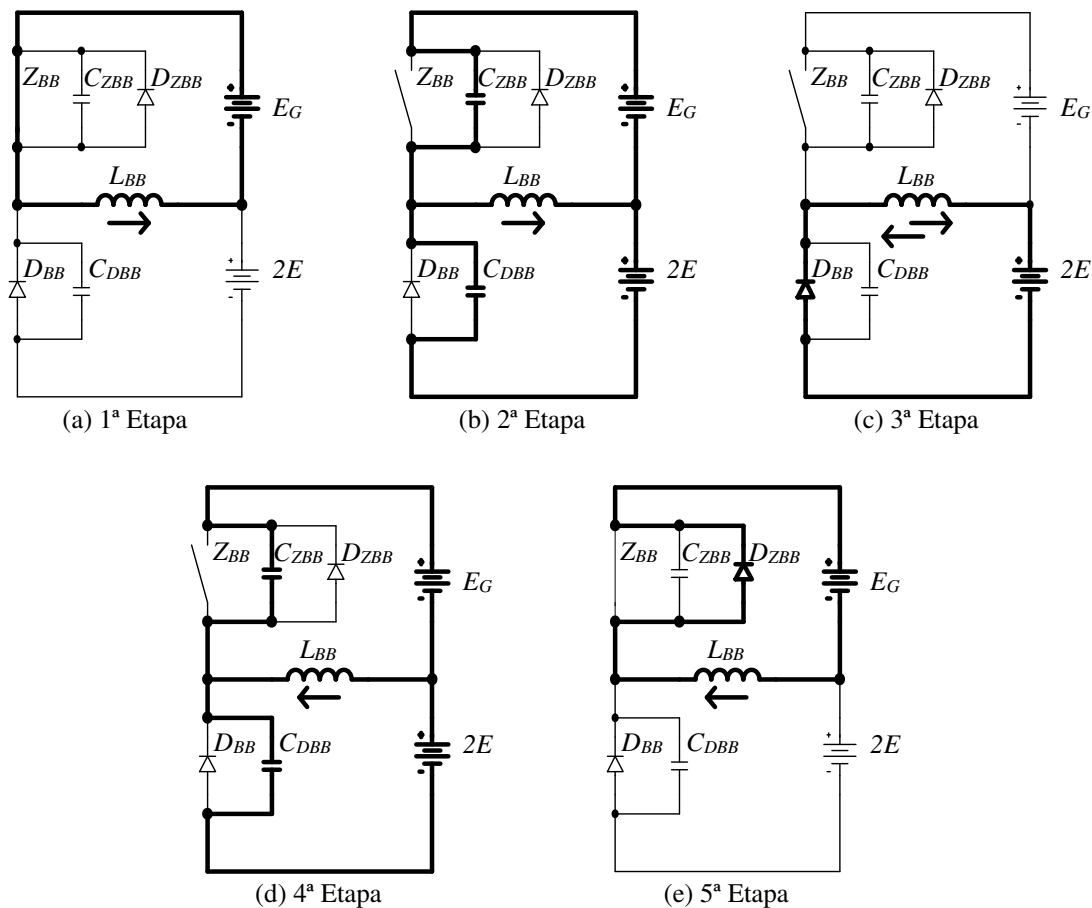


Figura 14 – Etapas de Operação do conversor auxiliar

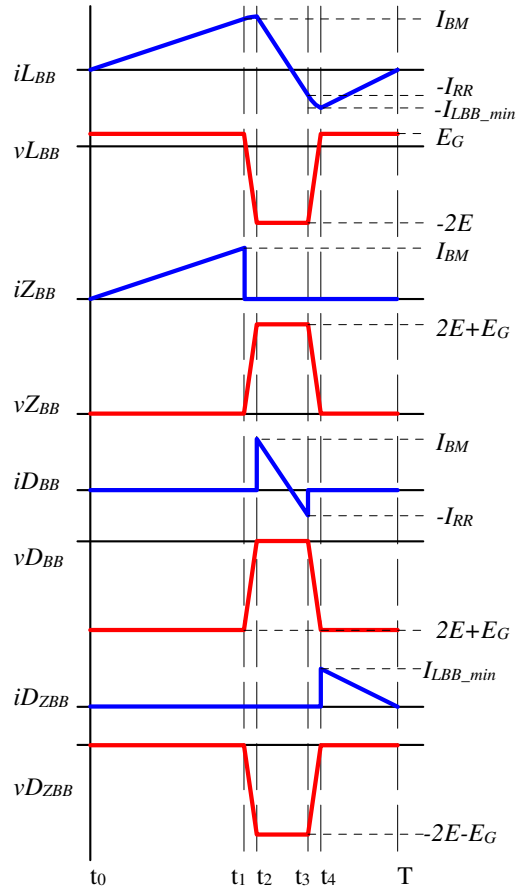


Figura 15 – Formas de onda teóricas nos componentes do conversor auxiliar

3.3. ANÁLISE QUANTITATIVA

Quando operando em modo ZVS, o conversor tem comportamento análogo à operação em condução contínua, apesar da corrente no indutor passar por zero. Pode-se observar isto através da tensão sob o indutor, que nunca permanece em zero. Um equacionamento detalhado do modo de condução contínua convencional é apresentado em [14]. Considerando-se a tensão média sobre o indutor sendo sempre igual a zero e, inicialmente, que as etapas 2 e 4 podem ser desconsideradas por terem tempo de duração extremamente menor que as demais etapas, chega-se à razão cíclica, conforme a equação 3.1.

$$d_{BB_ef} = \frac{2E}{2E + E_G} \quad (3.1)$$

O tempo de recuperação reversa do diodo, de acordo com [26], pode ser encontrado através da equação 3.2.

$$t_{rr} = \sqrt{\frac{3 \cdot Q_{rr}}{di/dt}} = \sqrt{\frac{3 \cdot Q_{rr} \cdot L_{BB}}{2E}} \quad (3.2)$$

O pico de corrente da recuperação reversa do diodo, dado em função da energia de recuperação reversa, conforme [26], pode ser obtido de acordo com a equação 3.3, onde Q_{rr} é a carga armazenada no diodo durante a condução, fornecida pelo fabricante do componente.

$$I_{RR} = \sqrt{\frac{4}{3} Q_{rr} \frac{2E}{L_{BB}}} \quad (3.3)$$

Quando a corrente de recuperação reversa é pequena, a corrente com que o indutor carrega as capacitâncias no final da 4ª etapa também é pequena. Desta forma, não se pode desprezar o efeito da etapa ressonante no cálculo da corrente mínima no indutor. A corrente no indutor, no final da 4ª etapa, pode ser calculada pela equação 3.4:

$$I_{LBB_min} = \frac{2 \cdot E}{L_{BB} \cdot \omega_{BB}} \cdot \text{sen}(\omega_{BB} \cdot \Delta t_4) + I_{RR} \cdot \text{cos}(\omega_{BB} \cdot \Delta t_4) \quad (3.4)$$

onde:

$$\Delta t_4 = \frac{\arcsen\left(\frac{E_G}{\sqrt{(I_{RR} \cdot \omega_{BB} \cdot L_{BB})^2 + 4 \cdot E^2}}\right) - \arctan\left(\frac{-2 \cdot E}{I_{RR} \cdot \omega_{BB} \cdot L_{BB}}\right)}{\omega_{BB}} \quad (3.5)$$

$$\omega_{BB} = \frac{1}{\sqrt{L_{BB} \cdot (C_{DDB} + C_{ZBB})}} \quad (3.6)$$

Desta maneira, pode-se determinar aproximadamente o tempo de duração da 5ª etapa, conforme a equação 3.7:

$$\Delta t_5 = T - t_4 = \frac{I_{LBB_min} \cdot L_{BB}}{E_G} \quad (3.7)$$

Como a chave deve ser fechada antes do final da 5ª etapa, pode-se definir a razão cíclica mínima para que ocorra comutação suave, de acordo com a equação 3.8, sendo f_s a frequência de chaveamento do conversor *Buck-Boost*.

$$d_{BB_min} = d_{BB_ef} - f_s \cdot \Delta t_5 \quad (3.8)$$

A razão cíclica efetiva aplicada à chave deve estar compreendida entre o intervalo definido pela equação 3.9.

$$d_{BB_min} < d_{BB} < d_{BB_ef} \quad (3.9)$$

A corrente máxima I_{BM} , conforme pode ser observado graficamente na Figura 15, pode ser obtida pela equação 3.10.

$$I_{BM} = \frac{d_{BB_ef} \cdot E_G}{f_s \cdot L_{BB}} - I_{LBB_min} \quad (3.10)$$

O valor da corrente média na fonte E é definida pela equação 3.11.

$$I_{BB_med} = (I_{BM} - I_{LBB_min}) \cdot \frac{(1 - d_{BB_ef})}{2} \quad (3.11)$$

Através da tensão e corrente média na fonte E, pode-se determinar a potência processada pelo conversor *Buck-Boost*, conforme a equação 3.12.

$$P_{BB} = I_{BB_med} \cdot 2 \cdot E \quad (3.12)$$

Para garantir que aconteça comutação suave é necessário garantir que a energia armazenada no indutor no final da 3ª etapa seja suficiente para realizar a carga e descarga dos capacitores C_{ZBB} e C_{DBB} durante a 4ª etapa. Igualando-se as energias, chega-se à equação 3.13.

$$Q_{rr} > \frac{3(C_{DBB} + C_{ZBB}) \cdot (E_G + 2E)^2}{8 \cdot E} \quad (3.13)$$

3.4. METODOLOGIA DE PROJETO

Com o equacionamento apresentado na seção anterior, podem-se determinar os principais elementos do circuito, bem como as principais informações sobre seu funcionamento. Para tal, é necessário informar alguns parâmetros do circuito, como as tensões E e E_G , a potência processada P_{BB} e a carga de recuperação do diodo. Q_{rr} pode ser obtido através da equação 3.2, informando-se t_{rr} e di/dt do catálogo do componente.

Com estas informações, a partir da equação 3.1, determina-se a razão cíclica D_{ef} . Com a equação 3.12 determina-se a corrente média I_{BB_med} . Como I_{BB_med} é a corrente média sobre o diodo, pode-se escolher o diodo que será utilizado no circuito.

A partir das equações 3.3, 3.10 e 3.11 pode-se encontrar o valor da indutância, chegando-se às equações 3.14, 3.15 e 3.16.

$$L_{BB} = \left(a - \sqrt{a^2 - b} \right) \cdot 2 \cdot E \cdot (1 - D)^2 \quad (3.14)$$

$$a = \frac{1}{2 \cdot f_s \cdot I_{BB_med}} + \frac{4 \cdot Q_{rr}}{6 \cdot I_{BB_med}^2} \quad (3.15)$$

$$b = \frac{1}{4 \cdot f_s^2 \cdot I_{BB_med}^2} \quad (3.16)$$

Calcula-se a corrente na chave de modo a poder escolhê-la. Verifica-se a equação 3.13, para garantir que o circuito tenha condições de operar com comutação suave. Caso a condição não seja atendida, deve-se escolher outro diodo, com novos valores de Q_{rr} e C_{DDB} ou outra chave, com um novo valor de C_{ZBB} .

A partir da equação 3.8 verifica-se a faixa de razão cíclica que deve ser aplicada à chave para que o circuito opere com comutação suave. Cabe lembrar que o valor escolhido pode ser fixo e deve estar dentro da faixa prevista na equação 3.8.

Quando a potência do inversor é mais baixa, o *Snubber de Undeland* transfere menos energia para o capacitor C_G , resultando em uma redução na tensão E_G . Desta maneira, as derivadas de subida da corrente (E_G/L_{BB}) ficam menores e, conseqüentemente, a corrente máxima I_{BM} assume valores menores. Além disso, o tempo da 5ª etapa aumenta, conforme mostra a equação 3.7. Pode-se, desta forma, afirmar que o circuito irá operar com comutação suave mesmo quando o inversor processar potências menores.

3.5. PROJETO DO CONVERSOR

Os dados para o projeto do circuito de regeneração são mostrados na Tabela 6.

Tabela 6 – Dados do projeto do conversor auxiliar.

Dados	
$E = 320V$	$E_G = 30V$
$C_{DBB} = 60pF$	$t_{rr_d} = 100ns (50A/\mu s)$
$f_s = 50kHz$	$P_{BB} = 50W$

A Tabela 7 mostra os principais componentes utilizados no protótipo do Inversor

Tabela 7 – Dados dos principais componentes utilizados no Inversor

$Z_{1,2,3,4,5,6} = \text{IRG4PF50WD}$	$D_{1,2,3,4,5,6} = \text{diodo interno}$
$C_{A,B,C} = 5\mu F$	$L_{A,B,C} = 566\mu H$
$C_{S1,2,3} = 4,7nF$	$L_s = 5\mu H$
$D_{S1,2,3,4,5,6} = \text{MUR 8100}$	$C_G = 2 \times 470\mu F$

Seguindo a metodologia apresentada na Seção 3.4, realiza-se o projeto do conversor *Buck-Boost*. Assim, a partir da equação 3.1:

$$d_{BB_ef} = \frac{640}{640 + 30} = 0,955 \quad (3.17)$$

Utilizando a equação 3.11:

$$I_{BB_med} = \frac{365}{640} = 78,1mA \quad (3.18)$$

A partir da equação 3.2:

$$Q_{rr} = \frac{(100 \cdot 10^{-9})}{3} \cdot \frac{50}{10^{-6}} = 166,7nC \quad (3.19)$$

Utilizando as equações 3.14, 3.15 e 3.16 :

$$a = 146,2 \frac{\mu s}{A} \quad (3.20)$$

$$b = 1638 \frac{\mu s^2}{A^2} \quad (3.21)$$

$$L_{BB} = 97\mu H \quad (3.22)$$

Para o cálculo da corrente na chave são necessários alguns passos. Inicialmente, calcula-se o pico de recuperação reversa, de acordo com a equação 3.3:

$$I_{RR} = \sqrt{\frac{4}{3} \cdot \frac{640}{97 \cdot 10^{-6}} \cdot 166,7 \cdot 10^{-9}} = 1,21A \quad (3.23)$$

Determina-se a frequência natural de oscilação do conversor *Buck-Boost*, de acordo com a equação 3.6. Para isso deve-se definir um valor para capacitância da chave. Neste caso, será utilizado $C_{ZBB} = 200pF$. Assim

$$\omega_{BB} = \frac{1}{\sqrt{97 \cdot 10^{-6} \cdot (60 + 200) \cdot 10^{-12}}} = 6299 \frac{krad}{s} \quad (3.24)$$

Determina-se o tempo de duração da 4ª etapa de acordo com a equação 3.5:

$$\Delta t_4 = 118,1ns \quad (3.25)$$

Define-se, então, o valor da corrente no final da 4ª etapa de acordo com a equação 3.4:

$$I_{LBB_min} = 1,6A \quad (3.26)$$

Determina-se, então o valor máximo da corrente de acordo com a equação 3.10:

$$I_{BM} = \frac{0,955 \cdot 30}{50 \cdot 10^3 \cdot 97 \cdot 10^{-6}} - 1,6 = 4,31A \quad (3.27)$$

Calcula-se em seguida o tempo de duração da quinta etapa conforme a equação 3.7:

$$\Delta t_5 = \frac{1,6 \cdot 97 \cdot 10^{-6}}{30} = 5,17\mu s \quad (3.28)$$

Calcula-se a corrente eficaz e média na chave conforme as equações 3.29 e 3.30:

$$iZ_{BB_ef} = \sqrt{\frac{1}{T_s} \int_0^{D_{BB_ef} \cdot T_s - \Delta t_5} \left(\frac{E_G}{L_{BB}} \cdot t \right)^2 dt} = 2,08A \quad (3.29)$$

$$iZ_{BB_med} = \frac{1}{T_s} \int_0^{D_{BB_ef} \cdot T_s - \Delta t_5} \frac{E_G}{L_{BB}} \cdot t dt = 1,50A \quad (3.30)$$

Por simplicidade de projeto, será utilizada a mesma chave do inversor para o conversor *Buck-Boost*. A escolha da chave do conversor auxiliar teve como parâmetro a disponibilidade do componente no laboratório, já que é a mesma utilizada no circuito de potência do inversor. Os dados da chave encontram-se na Tabela 8.

Verifica-se, então, a condição para comutação suave, ou seja, a equação 3.13:

$$Q_{rr} > \frac{3(60 \cdot 10^{-12} + 200 \cdot 10^{-12}) \cdot (670)^2}{8 \cdot 640} = 129nC \quad (3.31)$$

Assim, pode-se verificar que a comutação suave estará garantida, uma vez que $Q_{rr} = 166,7nC$, atendendo a equação 3.13.

Verifica-se, ainda, a faixa de razão cíclica que a chave deve ser comutada, de acordo com as equações 3.8 e 3.9:

$$d_{BB_min} = 0,955 - 50 \cdot 10^3 \cdot 5,17 \cdot 10^{-6} = 0,697 \quad (3.32)$$

$$0,697 < d_{BB} < 0,955 \quad (3.33)$$

A Tabela 8 apresenta os resultados obtidos com a metodologia de projeto apresentada.

Tabela 8 – Resultados do projeto do conversor auxiliar.

$Q_{rr} = 166,7nC$	$I_{BB_med} = 78mA$
$d_{BB_ef} = 0,955$	$L_{BB} = 97\mu H$
$I_{LBB_min} = 1,60A$	$I_{BM} = 4,31A$
$t_{rr} = 194,3ns$	$\Delta t_5 = 5,17\mu s$
$0,697 \leq d_{BB} \leq 0,955$	$iZ_{BB_ef} = 2,08A$
$iZ_{BB_med} = 1,50A$	$iD_{ZBB_med} = 207mA$
$C_{ZBB} = 200pF$	$iD_{BB_med} = 78mA$
Diodo: MUR 8100	Chave: IRG4PF50WD

3.6. CONCLUSÃO

Com a inclusão do conversor *Buck-Boost*, pode-se melhorar o rendimento do inversor, uma vez que parte da energia que seria perdida durante as comutações é devolvida ao barramento do inversor.

Para o correto funcionamento do conversor auxiliar não há necessidade de nenhum tipo de controle. A única restrição é que a razão cíclica aplicada à chave esteja dentro da faixa para comutação suave.

Verificou-se também que o conversor auxiliar não apresenta as oscilações características do modo de operação descontínua e sua operação no modo ZVS é conseguida através da metodologia de projeto, sem a inclusão de novos componentes. Como seu

funcionamento é ZVS, as perdas de comutação são reduzidas, possibilitando a operação do conversor em frequências mais elevadas. Desta maneira, obteve-se indutores com volumes reduzidos e ausência de ruído audível. Uma vez que a entrada em condução ocorre sob tensão nula, as únicas perdas por comutação ocorrem no bloqueio da chave do conversor auxiliar. Desta maneira é aconselhável a utilização de transistores do tipo MOSFET, que apresentam tempo de bloqueio menor que o IGBT e também não apresentam corrente de calda. Todavia, para esta aplicação em questão, a utilização do IGBT se justifica pelos níveis de tensão e corrente envolvidos, porque, neste caso, as perdas de condução para um MOSFET tornam-se significativas devido aos altos valores de resistência em condução.

A metodologia apresentada é simples e de fácil obtenção. Seguindo-se os passos apresentados, obtêm-se todas as informações necessárias para o correto projeto do conversor auxiliar.

4. MODELAGEM E CONTROLE DOS CONVERSORES

4.1. INTRODUÇÃO

Com o crescente aumento da capacidade dos processadores digitais, bem como a evolução da integração dos semicondutores, vem surgindo como possibilidade atraente a utilização do DSP (*digital signal processor*) para realização de controle digital de conversores chaveados. Como principal vantagem desse tipo de controle, pode-se destacar a flexibilidade de alteração da técnica de controle, a possibilidade de implementação de algoritmos mais complexos, que não podem ser executados com controladores analógicos e menor sensibilidade ao ruído e ao envelhecimento dos componentes. Como desvantagem, aparece a necessidade de um condicionamento mais criterioso dos sinais analógicos antes de convertê-los em sinais digitais. Além disso, podem ser considerados como limitações adicionais, o atraso de amostragem, a resolução dos conversores analógicos/digitais, o número de bits dos registradores e o ciclo de tempo das instruções. Atualmente, os processadores otimizados para atividades de controle têm buscado melhorias de desempenho, eficiência de código, integração de periféricos de controle numa única pastilha, redução do custo de fabricação e produção de ferramentas computacionais para facilitar a produção de novos códigos.

O projeto dos controladores digitais pode ser realizado de várias maneiras diferentes. Para todas elas é necessário o conhecimento da planta a controlar e das especificações de projeto. A seguir, serão mostrados detalhadamente os passos para obtenção das funções de transferência, bem como o projeto dos controladores digitais baseados na resposta em frequência para um controle por valores médios instantâneos de tensão de saída de inversores.

4.2. VISÃO GERAL DO DIAGRAMA DE CONTROLE.

Quando o controle de tensão de saída de inversores trifásicos é realizado totalmente no modo contínuo, o diagrama de blocos simplificado, para uma fase do sistema, pode ser visto na Figura 16.

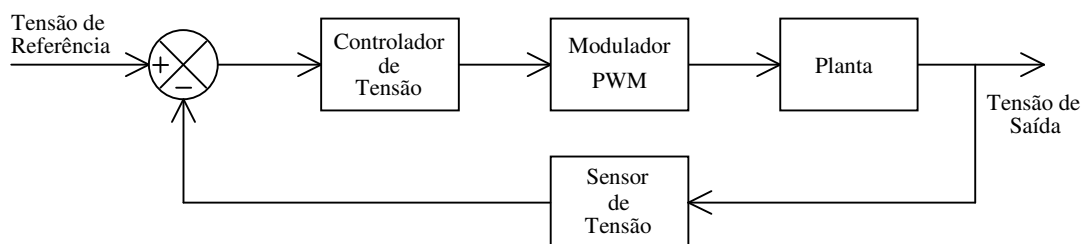


Figura 16 – Diagrama de Blocos para uma fase do Sistema Contínuo.

Como as três fases apresentam controle independente, com os mesmos e com as mesmas características, pode-se projetar o controle para uma das fases e replicá-lo nas demais fases, sem que seja necessária nenhuma consideração adicional no projeto dos controladores.

Para realização do controle digital há a necessidade de se amostrar os sinais analógicos e transportá-los para o sistema discreto interno ao DSP. Deste modo aparecem no diagrama os blocos referentes aos amostradores, retentores de ordem zero e o ganho dos conversores analógico/digital (A/D).

Para finalizar esta transferência da estrutura de controle do modo analógico para o modo discreto, são necessários filtros *anti-aliasing*. Estes filtros têm como finalidade básica limitar o espectro de frequência do sinal amostrado para evitar problemas de sub-amostragem e *aliasing*, o que pode levar a uma interpretação equivocada do sinal com base nos dados amostrados. A frequência de corte do filtro deverá ser pelo menos duas vezes menor que a frequência de amostragem, conforme teorema de Nyquist. Maiores informações sobre os filtros *anti-aliasing* podem ser obtidas nas referências bibliográficas [27 - 33]. Acrescentando os conversores e filtros necessários, chega-se ao diagrama de blocos apresentado na Figura 17.

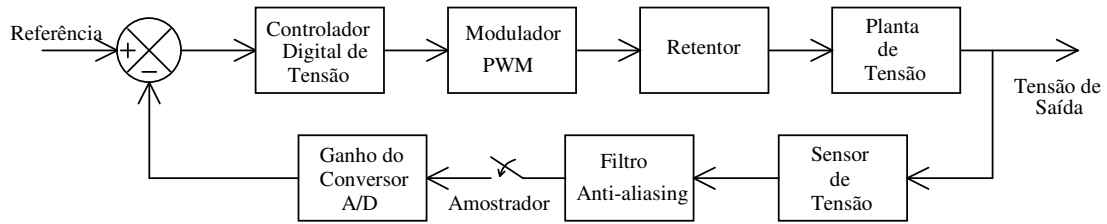


Figura 17 – Diagrama de blocos do Sistema com Controle Digital.

Escrevendo os blocos para as três fases e levando em consideração o fato de que os conversores A/D bem como os retentores fazem parte do DSP, pode-se chegar ao diagrama da Figura 18, que é o diagrama completo para o sistema de controle do inversor trifásico.

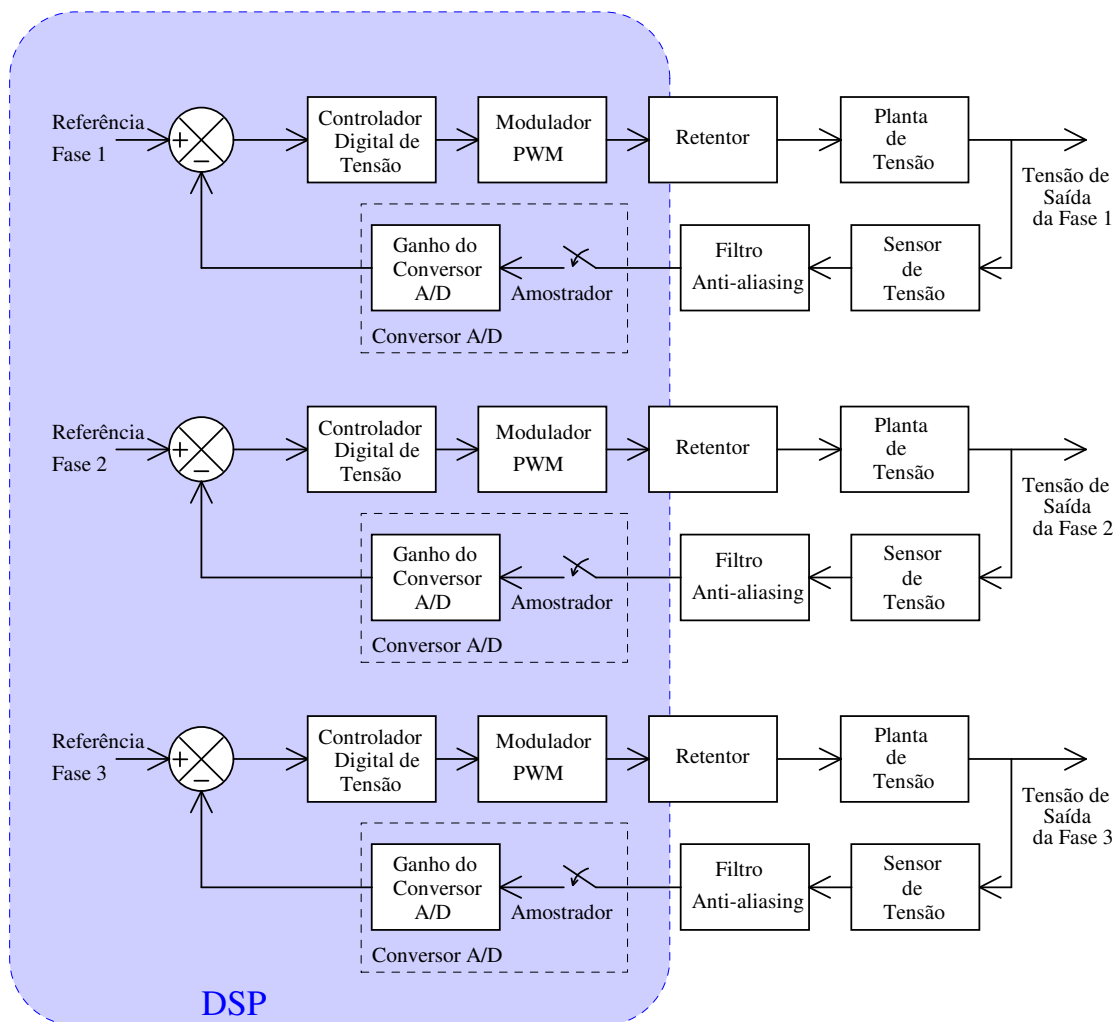


Figura 18 – Diagrama completo do sistema de controle do inversor trifásico.

Uma vez que o diagrama está completo, basta definir quais são as funções de transferência de cada um dos blocos. De posse de todas as funções, realiza-se o projeto dos controladores.

4.3. DETERMINAÇÃO DOS MODELOS DO SISTEMA

Conforme proposta indicada por Tomaselli [33], o projeto do controlador é dividido em duas partes fundamentais. A primeira delas é obter um modelo matemático que descreva o processo a controlar e a segunda parte é o projeto dos controles para que a planta atenda aos requisitos de projeto. Seguindo este pressuposto, devem-se definir as funções de transferência para os diagramas de blocos do controle da Figura 17.

4.3.1. Modelo da planta de tensão

Na Figura 19 é apresentado o circuito equivalente simplificado para uma fase do inversor. A partir deste modelo, pode-se assumir que as chaves comportam-se como fontes de tensão controladas, com uma tensão média sobre si correspondente à tensão média em um período de chaveamento, procedimento semelhante ao encontrado em [34]. Essa abordagem da independência das fases é válida e está embasada no fato do sistema apresentar o barramento com ponto médio e a carga alimentada a quatro fios, ou seja, com o neutro. Desta maneira, assegura-se que não haverá influência entre as fases.

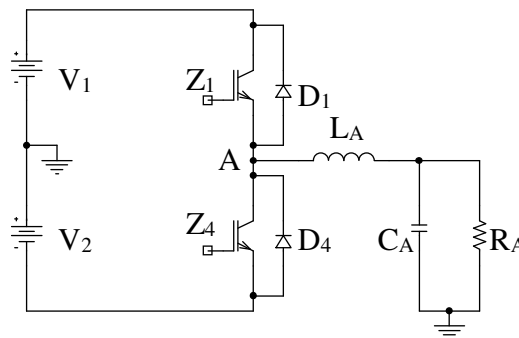


Figura 19 – Circuito simplificado do inversor para uma fase.

Considerando que V_1 e V_2 têm valor E , a tensão no ponto “A” na Figura 19 tem o formato apresentado na Figura 20.

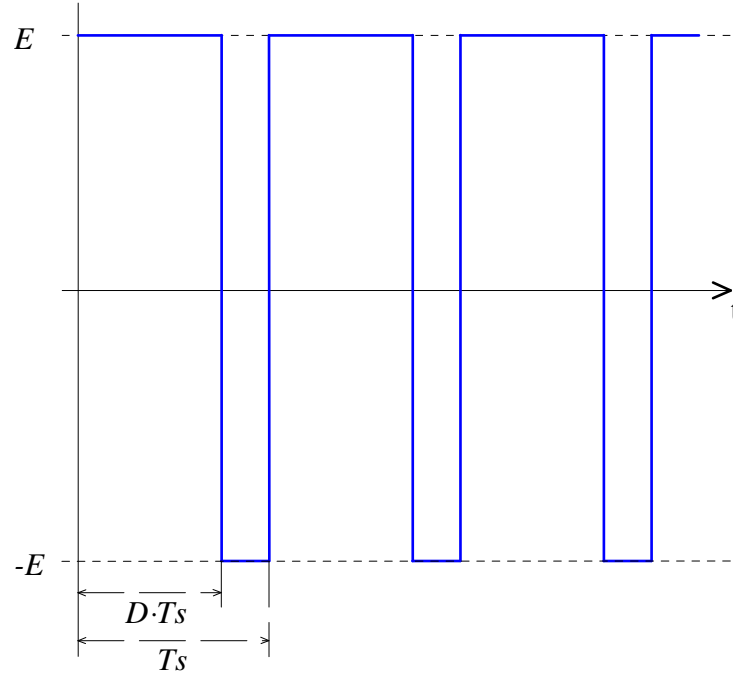


Figura 20 – Tensão instantânea no ponto A da Figura 19.

Calculando-se o valor médio instantâneo da tensão v_A , ou seja, o valor médio em um período de chaveamento, chega-se à equação 4.1.

$$v_A = E(2D - 1) \quad (4.1)$$

Pode-se redesenhar o circuito conforme apresentado na Figura 21.

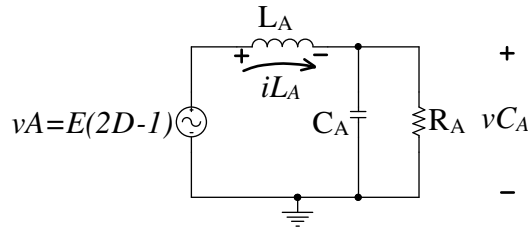


Figura 21 – Modelo da Planta para uma fase.

Pela análise das malhas do circuito simplificado, pode-se chegar à equação 4.2.

$$v_A = L_A C_A \frac{d^2 v_{C_A}}{dt^2} + \frac{L_A}{R_A} \frac{dv_{C_A}}{dt} + v_{C_A} = E(2D - 1) \quad (4.2)$$

Aplicando o princípio da modelagem para pequenos sinais, onde as variáveis em questão podem ser consideradas como uma parcela constante mais uma pequena variação, pode-se chegar à equação 4.3. Sabendo que se $D = D_Q + \Delta D$, obrigatoriamente $vC_A = vC_{A-Q} + \Delta vC_A$. Assim:

$$\left(\begin{array}{l} L_A \cdot C_A \frac{d^2 vC_{A-Q}}{dt^2} + \frac{L_A}{R_A} \cdot \frac{dvC_{A-Q}}{dt} + vC_{A-Q} + \\ L_A \cdot C_A \frac{d^2 \Delta vC_A}{dt^2} + \frac{L_A}{R_A} \cdot \frac{d\Delta vC_A}{dt} + \Delta vC_A \end{array} \right) = E \cdot (2 \cdot D_Q - 1) + 2 \cdot E \cdot \Delta D \quad (4.3)$$

Comparando as equações 4.2 e 4.3 e separando somente o termo responsável pela variação, chega-se à equação 4.4:

$$L_A \cdot C_A \frac{d^2 \Delta vC_A}{dt^2} + \frac{L_A}{R_A} \cdot \frac{d\Delta vC_A}{dt} + \Delta vC_A = 2 \cdot E \cdot \Delta D \quad (4.4)$$

Aplicando-se a transformada de Laplace e considerando condições iniciais nulas, obtém-se:

$$G_v(s) = \frac{\Delta vC_A(s)}{\Delta D(s)} = \frac{2 \cdot E}{L_A \cdot C_A} \cdot \frac{1}{s^2 + \frac{1}{R_A \cdot C_A} \cdot s + \frac{1}{L_A \cdot C_A}} \quad (4.5)$$

A equação 4.5 representa a função de transferência da planta de tensão.

4.3.2. Modelo do modulador PWM

Com relação ao modulador PWM, a função de transferência é obtida utilizando as mesmas considerações apresentadas por Barbi [35], porém, utiliza-se como portadora uma onda triangular, com valor mínimo nulo e valor máximo igual a V_T . A razão cíclica é definida como o tempo em que a tensão de controle $vCont$ é maior do que o valor da portadora (ver Figura 22), conforme equação 4.6.

$$D = \frac{T_{11} + T_{12}}{T_s} \quad (4.6)$$

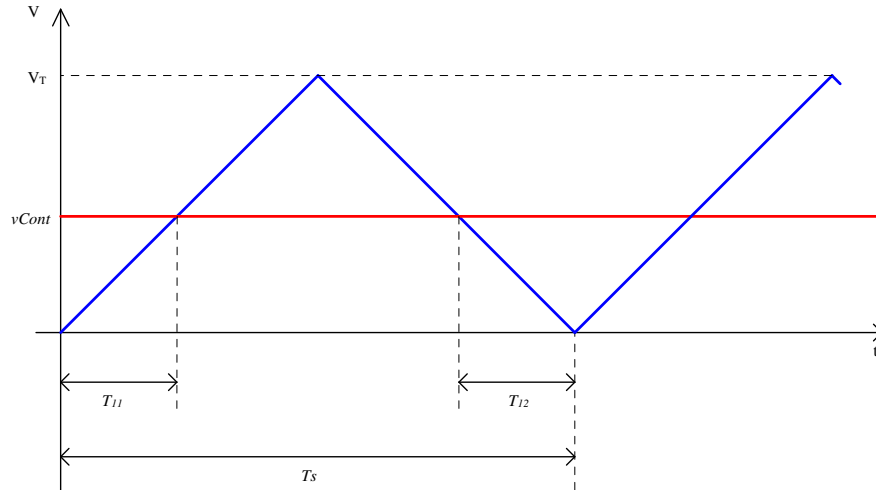


Figura 22 – Sinal de controle e portadora triangular.

Com uma pequena manipulação matemática baseada em proporção de triângulos e trigonometria, pode-se chegar a uma relação entre a razão cíclica $D(s)$ e a tensão de comparação $vCont(s)$, como mostra a equação 4.7.

$$\frac{D(s)}{vCont(s)} = \frac{1}{V_T} \quad (4.7)$$

A forma de onda considerada para o projeto é uma portadora triangular simétrica entre as rampas de subida e descida, com valor mínimo nulo e máximo igual a V_T e é gerada discretamente a partir do DSP, a uma taxa igual à frequência de *clock* ($f_{CK} = 1/T_{CK}$), como mostra a Figura 23.

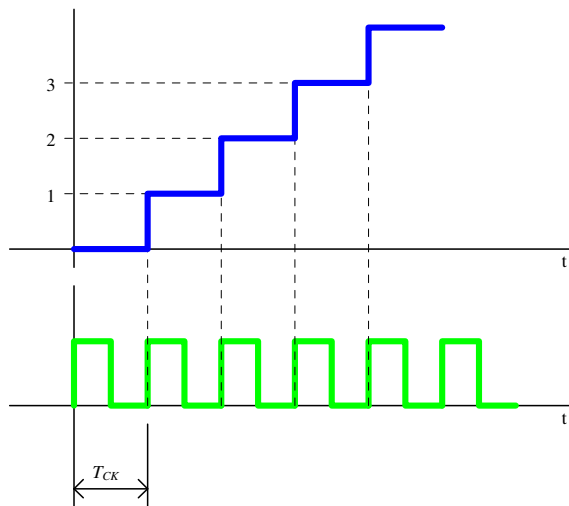


Figura 23 – Geração da onda triangular.

Também se pode destacar o fato da tensão de comparação poder ser atualizada no início e no meio do período da portadora, possibilitando que se use uma frequência de amostragem duas vezes maior que a frequência de chaveamento dos interruptores de potência. Isto é possível devido ao fato de usar-se uma portadora triangular, onde a alteração do valor de comparação no início e no meio do período da portadora representa, para cada uma das alterações do valor de comparação, uma mudança no valor da razão cíclica. Desta maneira, para cada amostra ocorrerá uma alteração do sinal de controle e haverá uma nova comparação com a portadora triangular, tanto na subida quanto na descida da portadora. Neste caso, tem-se a condição apresentada na Figura 24.

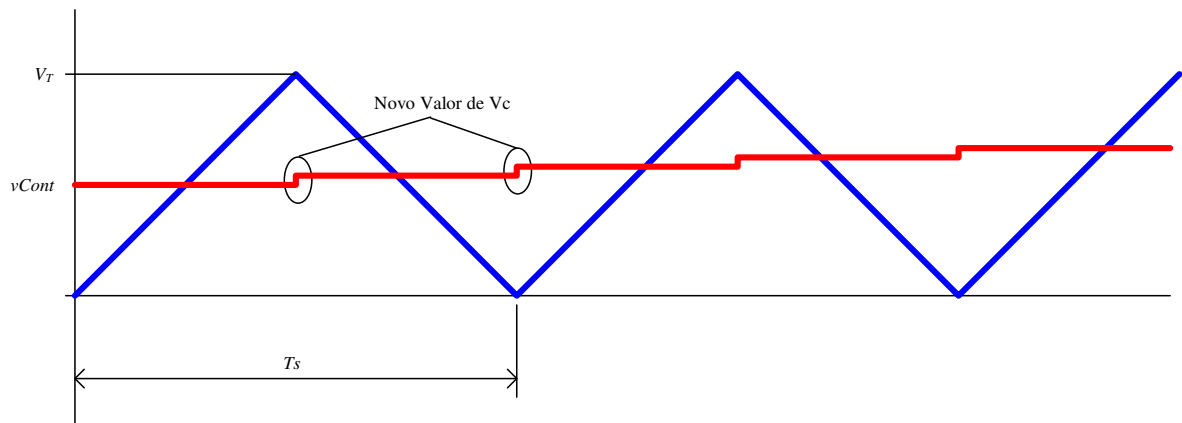


Figura 24 – Atualização do valor de comparação

Pela análise das condições apresentadas acima, pode-se facilmente determinar a contagem máxima que o DSP consegue atingir, determinando assim o valor de V_T . V_T é obtido a partir da seguinte relação:

$$\begin{aligned} 1 &\rightarrow T_{CK} \\ V_T &\rightarrow \frac{T_s}{2} \end{aligned} \quad (4.8)$$

A partir deste ponto, pode-se determinar V_T como sendo:

$$V_T = \frac{1}{2} \cdot \frac{T_s}{T_{CK}} = \frac{1}{2} \cdot \frac{f_{CK}}{f_s} \quad (4.9)$$

A partir da equação 4.9, verifica-se que o valor de V_T depende exclusivamente da frequência de clock do DSP e da frequência de chaveamento do conversor.

Considera-se também o modulador PWM utilizado para gerar os sinais de comando das chaves como parte integrante do controlador DSP.

4.3.3. Modelo do filtro *anti-aliasing*

O filtro *anti-aliasing* é inserido no projeto de modo a atenuar as componentes de frequência superior à metade da frequência de amostragem, para evitar interpretações errôneas dos dados amostrados devido ao efeito de sub-amostragem. De um modo mais genérico, o filtro *anti-aliasing* é um filtro passa baixas analógico que limita o espectro de frequência do sinal amostrado com uma função de transferência semelhante à apresentada na equação 4.10.

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{\frac{\omega_a}{2}}{s + \frac{\omega_a}{2}} \quad (4.10)$$

onde ω_a é a frequência de amostragem em radianos por segundo.

Será utilizado como filtro *anti-aliasing* o filtro analógico de primeira ordem apresentado na Figura 25. É importante salientar que para cada variável monitorada será necessário o uso de um filtro. Para este estudo, serão considerados todos com a mesma topologia, e com a mesma frequência de corte, pois a frequência de amostragem é igual para todo o circuito.

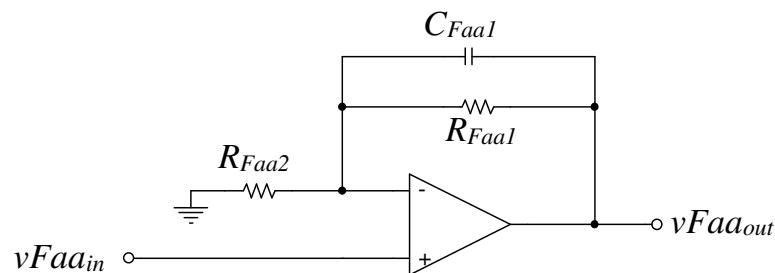


Figura 25 – Filtro anti-aliasing considerado.

Para o filtro *anti-aliasing*, pode-se obter a função de transferência apresentada na equação 4.11.

$$\frac{vFaa_{out}(s)}{vFaa_{in}(s)} = \frac{R_{Faa1}}{R_{Faa2}} \cdot \frac{1}{s \cdot C_{Faa1} \cdot R_{Faa1} + 1} \quad (4.11)$$

Se $R_{Faa1} = R_{Faa2}$:

$$G_{Faa}(s) = \frac{vFaa_{out}(s)}{vFaa_{in}(s)} = \frac{1}{s \cdot C_{Faa1} \cdot R_{Faa1} + 1} = \frac{\frac{1}{C_{Faa1} \cdot R_{Faa1}}}{s + \frac{1}{C_{Faa1} \cdot R_{Faa1}}} \quad (4.12)$$

Igualando-se as equações 4.10 e 4.12, chega-se a:

$$fa = \frac{1}{\pi \cdot C_{Faa1} \cdot R_{Faa1}} \quad (4.13)$$

4.3.4. Modelo do conversor A/D

Para tornar possível a digitalização do sinal amostrado pelos transdutores, é necessário que estes sinais sejam pré-condicionados tornando-os compatíveis com as necessidades operacionais do DSP.

O DSP, em geral, possui conversores A/D que permitem a digitalização de sinais analógicos compreendidos no intervalo de tensões de 0V até uma tensão máxima V_{HI} . Dentro deste intervalo, o DSP digitaliza o sinal e lhe confere um valor dentro de um dos 2^n valores possíveis, onde n é o número de bits do conversor A/D do DSP.

Como o pré-condicionamento do sinal analógico é feito de modo a ter uma excursão total de sinal similar à excursão máxima possível na entrada do conversor A/D e a quantização dos sinais amostrados é feita linearmente, pode-se afirmar que:

$$vAD_{DIG} = vAD_{IN} \cdot \frac{2^n}{V_{HI}} \quad (4.14)$$

Logo, o ganho do conversor A/D pode ser definido como:

$$K_{AD} = \frac{vAD_{DIG}}{vAD_{IN}} = \frac{2^n}{V_{HI}} \quad (4.15)$$

4.3.5. Modelo do sensor de tensão

Por simplicidade de projeto, o sensor de tensão será composto por um divisor resistivo, de modo que a relação entre as tensões seja adequada às necessidades do conversor A/D. O circuito básico do sensor de tensão pode ser visto na Figura 26. A equação 4.16 apresenta a função de transferência do sensor de tensão.

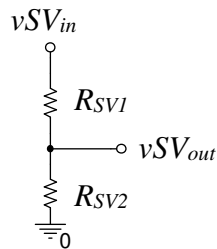


Figura 26 – Modelo do sensor de tensão

$$K_V = \frac{vSV_{out}}{vSV_{in}} = \frac{R_{SV2}}{R_{SV1} + R_{SV2}} \quad (4.16)$$

4.3.6. Retentor

A definição da equação do amostrador-retentor é apresentada por Ogata [31] e Barczak [27], onde Ta é o período de amostragem do sinal.

$$G_{Hold}(s) = \frac{1 - e^{-sTa}}{s} \quad (4.17)$$

4.4. PROCEDIMENTO DE PROJETO DOS CONTROLADORES DIGITAIS

Ao se iniciar o projeto de um sistema de controle discreto, costuma-se listar as especificações segundo as quais o projeto será desenvolvido, semelhante às de sistemas contínuos de controle. Embora os controladores sejam especificados para controlar diferentes tipos de instalações, as orientações gerais de como proceder com o projeto são as mesmas.

Considerando que a proposta a ser seguida para a definição do controlador baseia-se na metodologia de projeto através da resposta em frequência para o plano discreto w , onde o ganho e a fase são determinados em função da frequência, os requisitos de projeto são consoantes com a metodologia de projeto para sistemas contínuos no plano s e são citadas por Barbi [35], Tomazelli [33] e Ogata [31]:

- Margem de fase entre 30° e 90° ;
- A inclinação da curva de ganho para o sistema em malha aberta na passagem por 0dB deve ser de -20dB/década ;
- Erro estático nulo;
- A frequência de cruzamento da curva de ganho para o sistema em malha aberta deve ser pelo menos quatro vezes menor do que a frequência de chaveamento do modulador PWM;

Ogata [31] aborda como realizar o projeto em frequência para sistemas contínuos que, por sua vez, servirá de referência para traçar paralelos entre a modelagem discreta e analógica e para as nomenclaturas utilizadas.

4.4.1. Projeto do Controlador de Tensão

Como ponto de partida para o projeto do controlador de tensão, tem-se o diagrama de blocos da malha de controle apresentada na Figura 17 e representada na Figura 27, em função das funções de transferência de cada bloco.

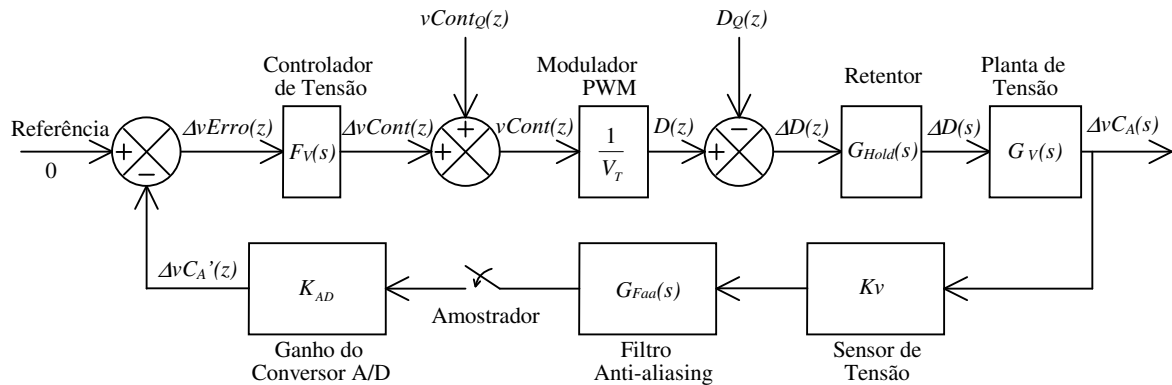


Figura 27 – Malha de controle de tensão.

Considerando que a frequência de amostragem é alta de modo a tornar possível o projeto do filtro *anti-aliasing* com uma frequência de corte suficientemente alta para não influenciar na análise do sistema na faixa de frequência de interesse, este pode ser suprimido da análise. Outra simplificação que pode ser feita é a junção dos blocos do modulador PWM e da planta de tensão do inversor, dando origem à função $G_{V2}(s)$.

$$G_{V2}(s) = \frac{2 \cdot E}{V_T \cdot L_1 \cdot C_1} \cdot \frac{1}{s^2 + \frac{1}{R_1 \cdot C_1} \cdot s + \frac{1}{L_1 \cdot C_1}} \quad (4.18)$$

Seguindo o mesmo princípio, podem-se unir os dos blocos referentes ao ganho do sensor de tensão e o ganho do conversor A/D. A Figura 28 apresenta as simplificações descritas e apresenta o controlador de tensão como uma função $F_V(z)$.

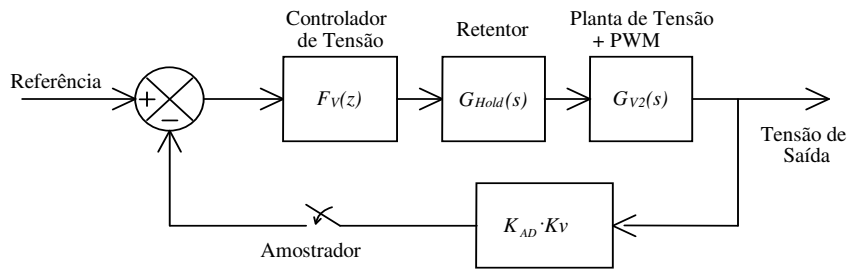


Figura 28 – Malha de controle de tensão simplificada.

Numa próxima etapa, deve-se realizar a conversão das funções de transferência do domínio contínuo s para o domínio discreto z . Esta transformação é feita a partir da relação $z = e^{s \cdot T_a}$. Neste caso, pode-se definir $G_V(z)$ da seguinte maneira:

$$G_V(z) = \mathbb{Z} \left\{ \left(\frac{1 - e^{-s \cdot T_a}}{s} \right) \cdot \frac{2 \cdot E}{V_T \cdot L_A \cdot C_A} \cdot \frac{1}{s^2 + \frac{1}{R_A \cdot C_A} \cdot s + \frac{1}{L_A \cdot C_A}} \right\} \quad (4.19)$$

$$G_V(z) = \mathbb{Z} \left\{ \frac{2 \cdot E \cdot (1 - e^{-s \cdot T_a})}{V_T \cdot L_A \cdot C_A} \cdot \frac{1}{\left(s^2 + \frac{1}{R_A \cdot C_C} \cdot s + \frac{1}{L_A \cdot C_A} \right) \cdot s} \right\} \quad (4.20)$$

Expandindo em frações parciais e com algumas manipulações matemáticas, tem-se:

$$G_v(z) = \frac{2 \cdot E}{V_T} \cdot \mathbb{Z} \left\{ (1 - e^{-s \cdot Ta}) \cdot \left[\frac{1}{s} - \frac{s + a_1}{(s + a_1)^2 + b_1^2} - \frac{a_1}{b_1} \cdot \frac{b_1}{(s + a_1)^2 + b_1^2} \right] \right\} \quad (4.21)$$

onde:

$$a_1 = \frac{1}{2 \cdot R_A \cdot C_A} \quad (4.22)$$

$$b_1 = \sqrt{\frac{1}{L_A \cdot C_A} - \frac{1}{4 \cdot R_A^2 \cdot C_A^2}} \quad (4.23)$$

Fazendo a transformada Z, obtém-se:

$$G_v(z) = \frac{2 \cdot E}{V_T} \cdot (1 - z^{-1}) \cdot \left\{ \frac{z}{z - 1} - \frac{z^2 - z \cdot e^{-a \cdot Ta} \cdot [\cos(b_1 \cdot Ta) + \text{sen}(b_1 \cdot Ta)]}{z^2 - 2 \cdot z \cdot e^{-a \cdot Ta} \cdot \cos(b_1 \cdot Ta) + 2 \cdot e^{-2 \cdot a \cdot Ta}} \right\} \quad (4.24)$$

Para possibilitar o uso do método de projeto de controladores a partir da resposta em frequência, deve-se fazer a conversão da função de transferência $G_v(z)$ do plano z para o plano w , dando origem a $G_v(w)$ através da transformada bilinear, onde:

$$z = \frac{1 + \frac{Ta}{2} w}{1 - \frac{Ta}{2} w} \quad (4.25)$$

Obtém-se, então:

$$G_v(w) = \frac{2 \cdot E}{b_1 \cdot V_T} \cdot \frac{Ta \cdot k_1 \cdot w^2 - (2 \cdot b_1 \cdot Ta \cdot k_2 + 2 \cdot k_1) \cdot w + 4 \cdot b_1 \cdot k_2}{w^2 + k_3 \cdot w + 4 \cdot k_2} \quad (4.26)$$

onde:

$$k_1 = \frac{1}{Ta} \cdot \frac{b_1 \cdot e^{-2 \cdot a_1 \cdot Ta} + 2 \cdot a_1 \cdot e^{-a_1 \cdot Ta} \cdot \text{sen}(b_1 \cdot Ta) - b_1}{1 + 2 \cdot e^{-a_1 \cdot Ta} \cdot \cos(b_1 \cdot Ta) + e^{-2 \cdot a_1 \cdot Ta}} \quad (4.27)$$

$$k_2 = \frac{1}{Ta^2} \cdot \frac{1 - 2 \cdot e^{-a_1 \cdot Ta} \cdot \cos(b_1 \cdot Ta) + e^{-2 \cdot a_1 \cdot Ta}}{1 + 2 \cdot e^{-a_1 \cdot Ta} \cdot \cos(b_1 \cdot Ta) + e^{-2 \cdot a_1 \cdot Ta}} \quad (4.28)$$

$$k_3 = \frac{1}{Ta} \cdot \frac{4 \cdot (1 - e^{-2 \cdot a_1 \cdot Ta})}{1 + 2 \cdot e^{-a_1 \cdot Ta} \cdot \cos(b_1 \cdot Ta) + e^{-2 \cdot a_1 \cdot Ta}} \quad (4.29)$$

Pode-se redefinir a malha de controle de tensão para o plano w conforme mostrado na

Figura 29, onde o controlador de tensão é substituído pela função de transferência $F_v(w)$.

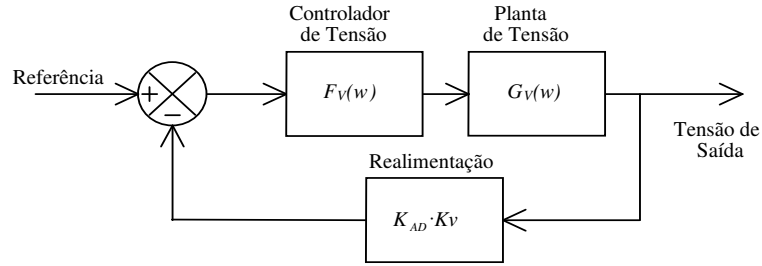


Figura 29 – Malha de controle de tensão no plano w .

Seguindo o roteiro de projeto, deve-se obter a função de transferência em malha aberta do controlador de tensão ($FTMA_V$), a qual é apresentada abaixo:

$$FTMA_V = F_V(w) \cdot G_V(w) \cdot H_V(w) \quad (4.30)$$

onde:

$$H_V(w) = K_V \cdot K_{AD} \quad (4.31)$$

Para continuar o projeto do controlador a partir deste ponto é necessário atribuir valores numérico às grandezas que compõe a $FTMA_V$. A

Tabela 9 apresenta os parâmetros de projeto do conversor. Logo,

$$FTMA_V = G_V(w) \cdot \frac{-1,2563 \cdot 10^{-7} \cdot w^2 - 758,2646 \cdot w + 1,5166 \cdot 10^8}{w^2 + 20,1777w + 3,55448 \cdot 10^8} \quad (4.32)$$

Para que possa ser traçado um paralelo entre as funções de transferência nos planos s e w , é necessário que se tenha em mente o fato de que o plano w apresenta uma distorção quando comparado com o plano s , principalmente para frequências próximas e acima da frequência de amostragem. A equação 4.33 quantifica o valor desta distorção conforme demonstrado em [32] e [36]. Para baixas frequências, quando comparadas à frequência de amostragem, a distorção pode ser desconsiderada, fazendo com que o mapeamento entre o plano s e w sejam similares. Porém, à medida que a frequência aumenta, aproximando-se da frequência de amostragem, a distorção aumenta, fazendo necessário o uso de correções para converter valores entre os planos s e w .

Tabela 9 – Dados de Projeto para os controladores de tensão.

$fa = 100kHz$	Frequência de amostragem
$fs = 50kHz$	Frequência de comutação
$E = 320V$	Tensão de meio barramento
$Kv = 4,594mV/V$	Ganho do sensor de Tensão
$K_{AD} = 2^{12}/3,0$	Ganho do conversor A/D
$L_A = 566\mu H$	Indutância do filtro de saída
$C_A = 5\mu F$	Capacitância do filtro de saída
$R_A = 10k\Omega$	Resistência de carga (circuito aberto)
$fck = 150MHz$	Frequência de clock do DSP
$V_T = \frac{1}{2} \cdot \frac{fck}{fs} = 1500$	Valor de pico da onda triangular do modulador PWM
$fc = fs/6 = 8,33kHz$	Frequência de cruzamento desejada para a FTMA _v

$$v = \frac{2}{Ta} \cdot \tan\left(\frac{\omega \cdot Ta}{2}\right) \quad (4.33)$$

onde:

ω é a frequência angular no plano s e

v é a frequência angular equivalente no plano w .

A Figura 30 apresenta um comparativo entre a função de transferência da planta de corrente analógica $G_V(s)$, equação 4.18, e a planta de corrente após a digitalização $G_V(w)$, equação 4.26. Pela análise da Figura 30, pode-se perceber que a resposta em frequência apresenta grande concordância entre ambas às funções até a frequência de 3 kHz, onde a

partir deste ponto, o erro na fase passa a ser considerável, devido à presença de um zero na função de transferência gerado pelo processo de amostragem.

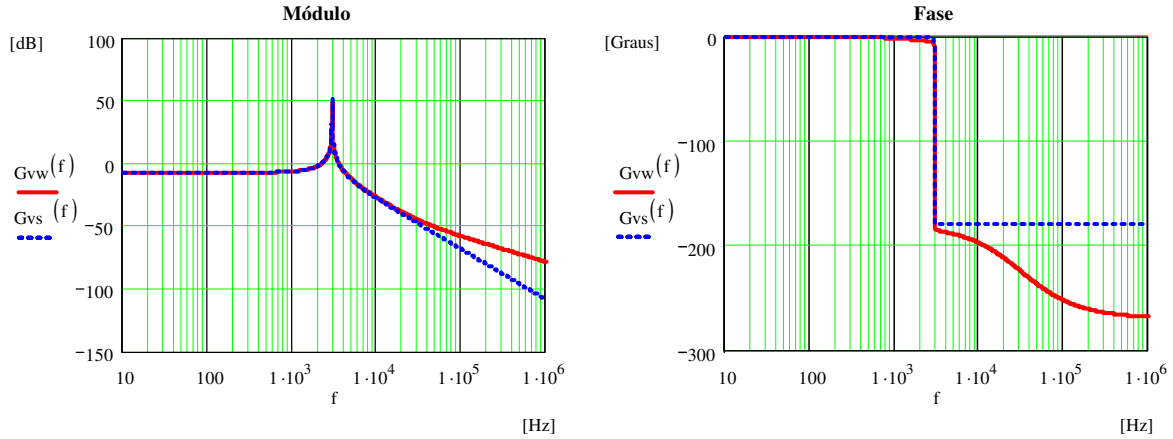


Figura 30 – Comparativo entre a resposta em frequência para a planta de tensão antes e após a digitalização.

Através de uma análise dos requisitos de desempenho do sistema operando com o controlador e da análise da função de transferência em laço aberto sem o controlador, pode-se tirar algumas conclusões que serão úteis para o projeto do controlador, visto que o correto dimensionamento dos controladores é o que garantirá a dinâmica esperada ao circuito.

Da função de transferência $G_V(w)$ pode-se concluir que o sistema é de fase não mínima, com zeros em $\omega_{zp1} = -5,99 \cdot 10^6 \text{ krad/s}$ e $\omega_{zp2} = 2 \cdot 10^2 \text{ krad/s}$ e com pólos em $\omega_{pp1} = (0,01 + j18,853) \text{ krad/s}$ e $\omega_{pp1} = (0,01 - j18,853) \text{ krad/s}$. Porém, a frequência de cruzamento, onde o ganho é 0dB, está em torno de 3,5 kHz, abaixo do esperado para a frequência de cruzamento de projeto, que é seis vezes menor que a frequência de comutação, ou seja, 8,33 kHz.

Para atender a característica de erro estático nulo, é necessário a inclusão de um integrador na FTMA_V, ou seja, um pólo em $\omega_{pc1} = 0 \text{ rad/s}$ (pólo na origem). Com a inclusão deste pólo, a FTMA_V (assintoticamente falando) passa a ter uma taxa de decrescimento de -60 dB/déc para as frequências acima da frequência do pólo da planta, onde se encontra a frequência de cruzamento de projeto.

Com relação à taxa de decrescimento na frequência de cruzamento de -20dB/déc., observa-se que será necessária a inclusão de dois zeros em algum ponto antes da frequência de cruzamento. Uma alternativa comum é a colocação desses zeros na mesma frequência dos pólos da planta (pólos relativos ao filtro de saída), cancelando seu efeito.

Além disso, pode-se incluir um pólo acima da frequência de chaveamento, aumentando a taxa de decrescimento do módulo da $FTMA_V$ para altas frequências. Desta maneira, consegue-se uma maior atenuação das altas frequências e uma maior imunidade a ruídos.

Logo, o controlador pode ser definido como:

$$F_V(w) = k_{F_V} \frac{(w + \omega_{zc1})(w + \omega_{zc1})}{w(w + \omega_{pc1})} \quad (4.34)$$

onde:

k_{F_V} é o ganho do controlador;

$$\omega_{zc1} = \omega_{zc2} = \omega_o ;$$

$$\omega_{pc1} = 40\omega_o = 754,134 \text{krad} / s ;$$

$\omega_o = 18,853 \text{krad} / s$ é a frequência de ressonância do filtro de saída;

Para determinação do valor de k_{F_V} , inicialmente usa-se $k_{F_V} = 1$. Substituindo F_V na equação 4.32, determina-se o valor do módulo da $FTMA_V$ na frequência de cruzamento de projeto, que é de aproximadamente -31,4dB. Desta maneira, o ganho k_{F_V} deve ser projetado de modo que o controlador apresente um ganho de 31,4dB na frequência de cruzamento. Assim:

$$k_{F_V} = 10^{31,4/20}$$

$$k_{F_V} = 37,186 \quad (4.35)$$

Logo, determina-se:

$$F_V(w) = \frac{37,186 \cdot w^2 + 1,40214 \cdot 10^6 \cdot w + 1,32172 \cdot 10^{10}}{w^2 + 754134 \cdot w} \quad (4.36)$$

A Figura 31 apresenta os diagramas de bode da $FTMA_v$ com controlador unitário, do controlador isolado e, também, da $FTMA_v$ com o controlador projetado. A resposta final da $FTMA_v$ apresenta frequência de cruzamento de $8,33kHz$ e margem de fase de $31,7^\circ$, estando dentro do valor desejado de projeto. Todavia, o projeto foi realizado para o pior caso, onde o sistema está sem carga. Quando se adiciona carga, o sistema apresenta um acréscimo significativo na margem de fase, melhorando a resposta do sistema.

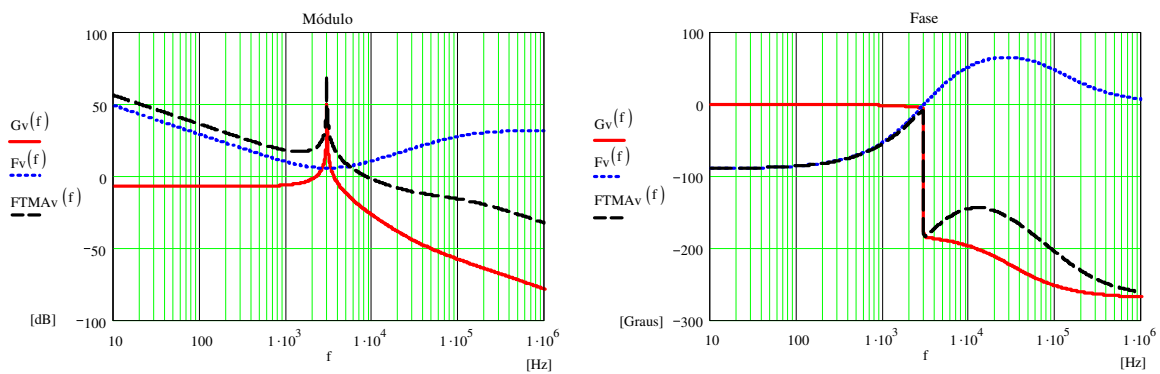


Figura 31 – Influência do controle na malha de tensão.

De posse de $F_V(w)$, calculado na equação 4.36, determina-se $F_V(z)$ utilizando-se a relação apresentada na equação 4.37:

$$w = \frac{2}{Ta} \cdot \frac{z-1}{z+1} \quad (4.37)$$

Então:

$$F_V(z) = \frac{9,3335 \cdot z^2 - 15,4509 \cdot z + 6,3944}{z^2 - 0,41923 \cdot z - 0,58077} \quad (4.38)$$

Pode-se representar a função de transferência do controlador $F_V(z)$ em função de seus parâmetros de entrada e saída, conforme mostra a Figura 32.

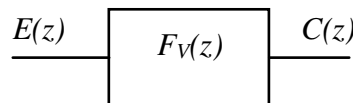


Figura 32 – Representação do bloco do controlador de tensão.

A partir da Figura 32:

$$F_v(z) = \frac{C(z)}{E(z)} = \frac{9,3335 \cdot z^2 - 15,4509 \cdot z + 6,3944}{z^2 - 0,41923 \cdot z - 0,58077} \quad (4.39)$$

$$C(z) \cdot (1 - 0,41923 \cdot z^{-1} - 0,58077 \cdot z^{-2}) = E(z) \cdot (9,3335 - 15,4509 \cdot z^{-1} + 6,3944 \cdot z^{-2}) \quad (4.40)$$

Transformando a equação 4.40 em uma equação de diferenças, tem-se:

$$c_{(k)} = 9,3335 \cdot e_{(k)} - 15,4509 \cdot e_{(k-1)} + 6,3944 \cdot e_{(k-2)} + 0,41923 \cdot c_{(k-1)} + 0,58077 \cdot c_{(k-2)} \quad (4.41)$$

A equação 4.41 é a equação de determina a ação de controle digital, baseada nas informações do erro atual e anteriores e dos esforços de controle anteriores. Esta equação será utilizada para implementação do controle no programa do DSP.

4.5. CONCLUSÃO

A abordagem de projeto de controladores por resposta em frequência é bastante conhecida na literatura [31], e é muito utilizada para projeto de controladores no tempo contínuo. Com a metodologia apresentada, foi possível projetar o controlador pela abordagem em frequência e, com o auxílio de algumas manipulações matemáticas, obteve-se o controlador discreto para o inversor trifásico. Com equações simples e com o auxílio de programas matemáticos é possível realizar a manipulação matemática necessária para levar as funções de transferências do plano s para o plano z e para o plano w e vice-versa sem muitos esforços. No MatLab existem funções próprias para realizar esta manipulação.

O fato de se utilizar a topologia de potência com ponto médio e ligação da carga com o neutro (ponto central), facilitou o projeto dos controladores, uma vez que foi possível realizar o projeto para uma única fase e aplicá-lo nas demais fases, sem que fosse necessária nenhuma consideração adicional.

Esse método de controle destaca-se ainda pela simplicidade de implementação, já que a equação obtida para cálculo do sinal de controle é simples e depende unicamente da

realimentação da tensão de saída, sem necessidade de nenhuma medição adicional e sem necessidade de estimação de nenhum outro parâmetro.

No projeto do controlador considerou-se o pior caso para o controle, onde a saída do conversor está sem carga. Foi considerada apenas uma carga mínima, equivalente à carga imposta pelo sensor de tensão resistivo. Com a inclusão de carga, a tendência é que o controle opere com melhores resultados, uma vez que nestas circunstâncias a margem de fase é aumentada.

5. SIMULAÇÃO NUMÉRICA

5.1. INTRODUÇÃO

A simulação numérica faz parte do processo de projeto dos mais variados dispositivos, principalmente na área eletrônica. Os programas de cálculo numérico simulam o comportamento do circuito e tentam criar as situações às quais o circuito estaria submetido na prática. Tal artifício é muito útil na validação inicial dos circuitos e facilita a localização de possíveis falhas de projeto, sem que sejam necessárias implementações práticas, montagens e custos de produção. Todavia, as limitações específicas de cada programa de simulação fazem com que essas validações sejam somente superficiais e sirvam apenas como parte da validação do trabalho desenvolvido.

Através da simulação, pretende-se verificar o equacionamento desenvolvido para a determinação dos esforços nos componentes, bem como a correta especificação dos requisitos do controle e da metodologia de projeto do controlador apresentados nas seções anteriores.

5.2. CIRCUITOS DE POTÊNCIA

Para a simulação dos circuitos de potência do inversor trifásico, e do conversor auxiliar, foi utilizado o programa PSpice, que é uma ferramenta bastante conhecida e muito útil para validação de projetos em eletrônica de potência e circuitos chaveados.

5.2.1. Inversor com *Snubber de Undeland*

Buscando coerência com as considerações realizadas para a obtenção do equacionamento do conversor, a simulação foi preparada com algumas particularidades no circuito de potência do conversor. Os filtros de saída foram removidos e substituídos por fontes de corrente; os capacitores do barramento e de grampeamento foram substituídos por fontes de tensão; foram utilizados diodos e chaves ideais; o circuito foi operado em malha

aberta, sem os controladores de tensão e, neste caso, foram aplicadas as razões cíclicas projetadas, com o índice de modulação calculado para a tensão de saída de projeto. O circuito simulado pode ser visto na Figura 33.

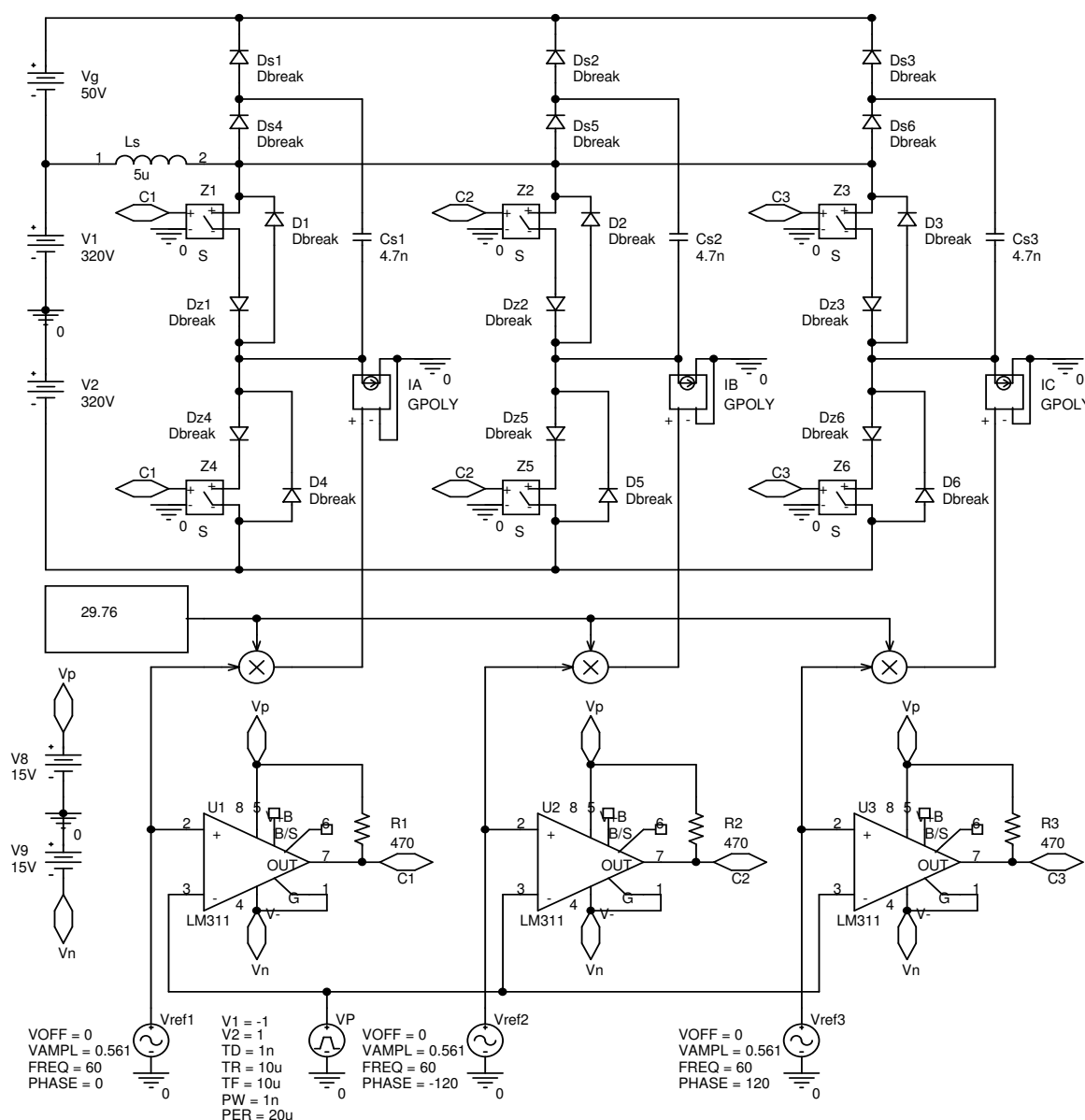


Figura 33 – Circuito simulado para o estágio de potência do inversor.

Pode-se observar na Figura 33 que as fontes de corrente de saída são do tipo controlada por tensão, de modo a facilitar alterações na simulação sem que sejam necessárias muitas mudanças no circuito. As tensões de referência são multiplicadas por um valor constante e então aplicadas nas fontes de corrente controladas, de modo que a saída apresente

corrente nominal e o mesmo formato da referência. Os sinais de comando para as chaves foram obtidos através de comparadores de tensão, que realizam a comparação da referência com uma portadora triangular com a mesma frequência de chaveamento. Foi enviado o mesmo comando para as duas chaves do mesmo braço e as chaves foram configuradas para operarem com tensões de comando diferente. As chaves superiores dos braços acionam com tensão maior que 1V e desligam com tensão menor que 0V. As chaves inferiores são acionadas quando sua tensão é menor que -1V e desligam quando a tensão é maior que 0V. Desta maneira, o sinal de saída dos comparadores apresenta tensão positiva e negativa, dependendo do estado da comparação. O tempo de simulação foi tomado de modo a contemplar um período da tensão de referência senoidal e então foram obtidos os valores médios e eficazes dos esforços nos componentes. A Tabela 10 apresenta os resultados teóricos e simulados para os esforços nos componentes do inversor.

Tabela 10 – Esforços teóricos e de simulação nos componentes do inversor

Componente	Teórico		Simulado		Erro %	
	Médio	Eficaz	Médio	Eficaz	Médio	Eficaz
Z	3,83A	7,17A	3,941A	7,399A	2,81%	3,02%
D	1,49A	4,27A	1,458A	4,220A	-1,92%	-1,26%
Ds	2,44A	3,67A	2,418A	3,934A	-0,75%	6,57%
Cs		2,62A		2,518A		-4,06%
Ls		17,72A		18,67A		5,09%
C _G	7,31A	10,31A	7,308A	11,00A	-0,75%	6,30%
V _{1,2}		10,39A		11,20A		7,24%

Para determinação do erro percentual, foi utilizada a seguinte equação:

$$Erro = \frac{Simulado - Teórico}{Simulado} \cdot 100\% \quad (4.42)$$

Conforme se pode observar, o maior erro está no valor eficaz para as fontes V₁ e V₂, onde o erro foi de 7,24%. Contudo, o erro é pequeno, uma vez que algumas etapas foram aproximadas durante o cálculo dos esforços dos componentes. Além disso, para a escolha dos componentes, normalmente é utilizado um fator de segurança em cima dos valores calculados.

A Figura 34 e a Figura 35 mostram o detalhe da comutação da chave Z_1 para a região analisada no equacionamento teórico. Pode-se observar que as perdas de comutação ficam minimizadas pela influência do *snubber*, já que o cruzamento da tensão e da corrente é mínimo.

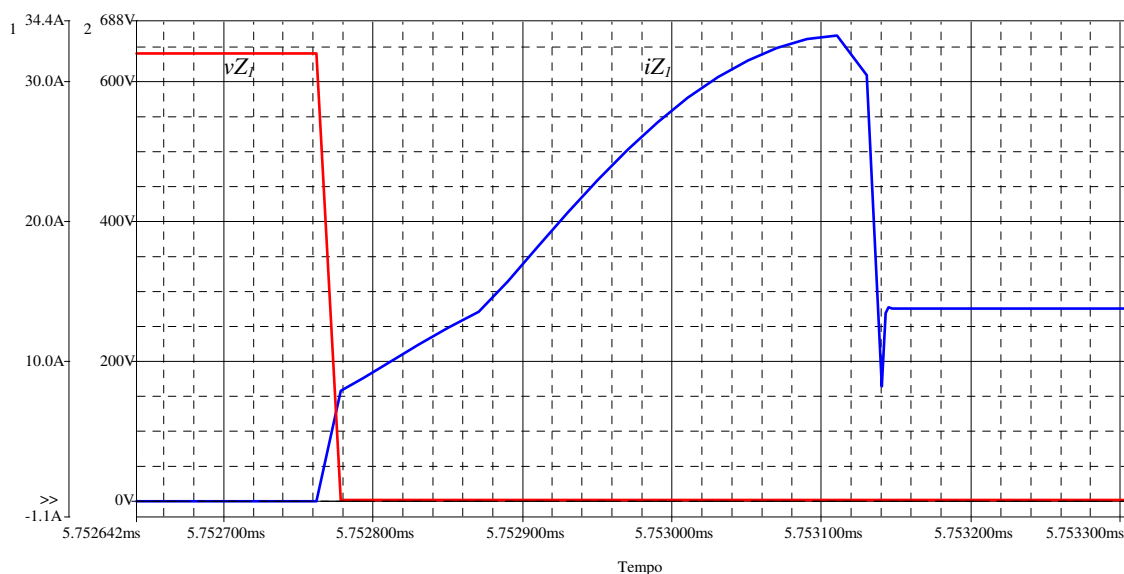


Figura 34 – Detalhe da comutação da chave Z_1 – Entrada em condução.

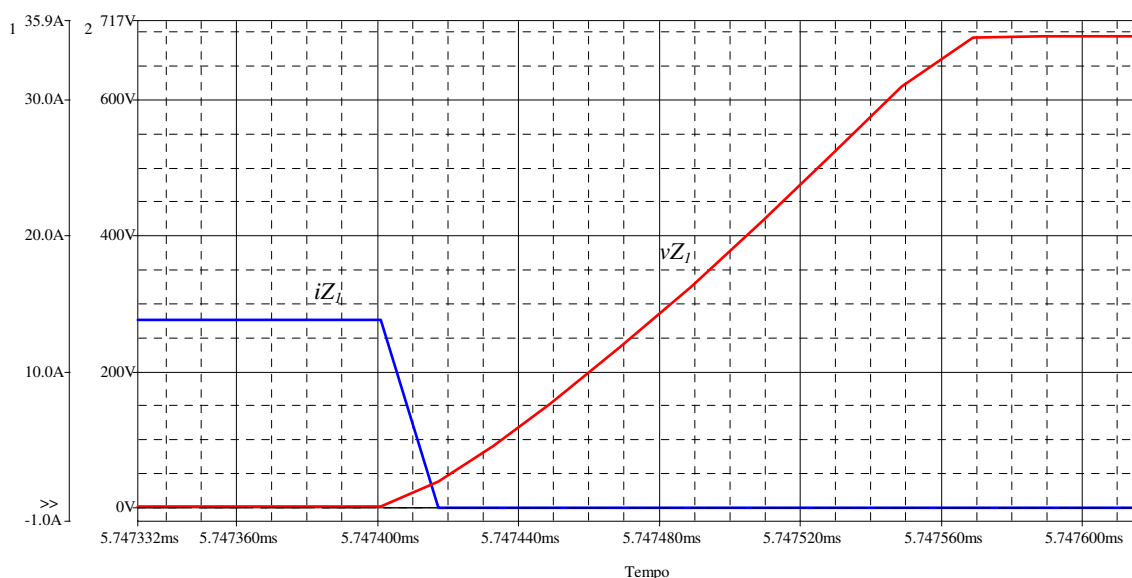


Figura 35 – Detalhe da comutação da chave Z_1 – Bloqueio.

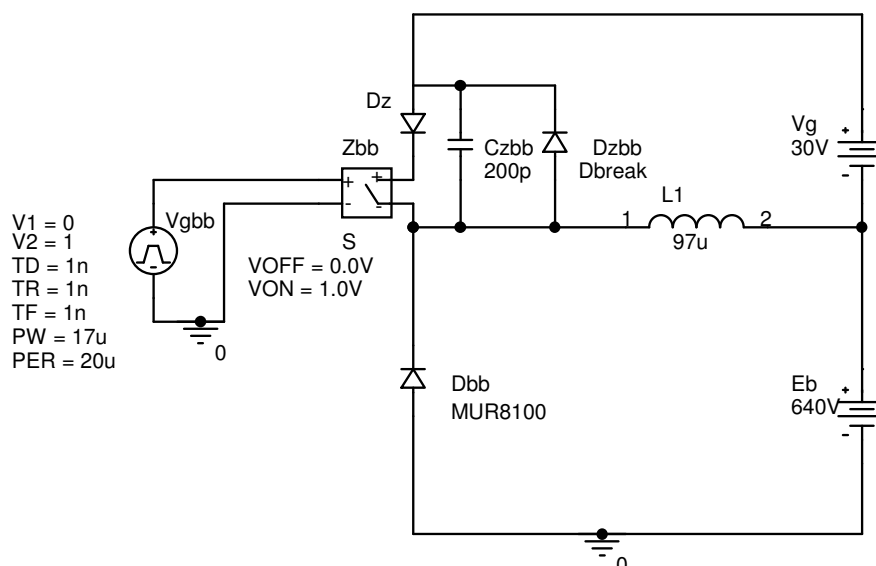
Para a determinação das potências dissipadas nos semicondutores, foram substituídos os componentes ideais por componentes comerciais. Desta maneira, obtiveram-se os dados apresentados na Tabela 11.

Tabela 11 – Potências dissipadas nos semicondutores do inversor.

Componente	Potência por componente
Chaves Principais (Z_n)	23,6W
Diodos Principais (D_n)	2,75W
Diodos do <i>snubber</i> (D_{s_n})	2,35W

5.2.2. Conversor auxiliar *Buck-Boost*

Da mesma maneira que foi feito para o circuito de potência do inversor, o conversor auxiliar também foi simulado para verificar a coerência com a metodologia de projeto. A Figura 36 apresenta o circuito utilizado na simulação do conversor *Buck-Boost*.

Figura 36 – Circuito utilizado para a simulação do conversor auxiliar *Buck-Boost*.

A Tabela 12 apresenta o comparativo dos valores teóricos e simulados para o conversor auxiliar.

Tabela 12 – Comparativo dos esforços nos componentes do conversor *Buck-Boost*.

Grandeza	Teórico	Simulado	Erro %
iZ_{BB_med}	1,501A	1,5A	-0,09%
iZ_{BB_ef}	2,077A	2,06A	-0,84%
iD_{BB_med}	78mA	58mA	-34,2%
iD_{ZBB_med}	207mA	189A	-9,09%
I_{BM}	4,31A	4,24A	-1,67%
I_{L_min}	1,60A	1,56A	-2,87%

Verificando-se os resultados de simulação, observa-se que quase todos os valores encontrados estão próximos dos encontrados no equacionamento, validando os resultados.

A Figura 37 mostra a corrente no indutor L_{BB} . Pode-se observar os valores máximo e mínimo, que são condizentes com os valores calculados. A Figura 38 apresenta a corrente no diodo D_{BB} . Observa-se o efeito da recuperação reversa, bem como o valor máximo de corrente reversa. Este valor é relativamente diferente do valor de corrente mínima no indutor, comprovando a influência da etapa ressonante no projeto do conversor.

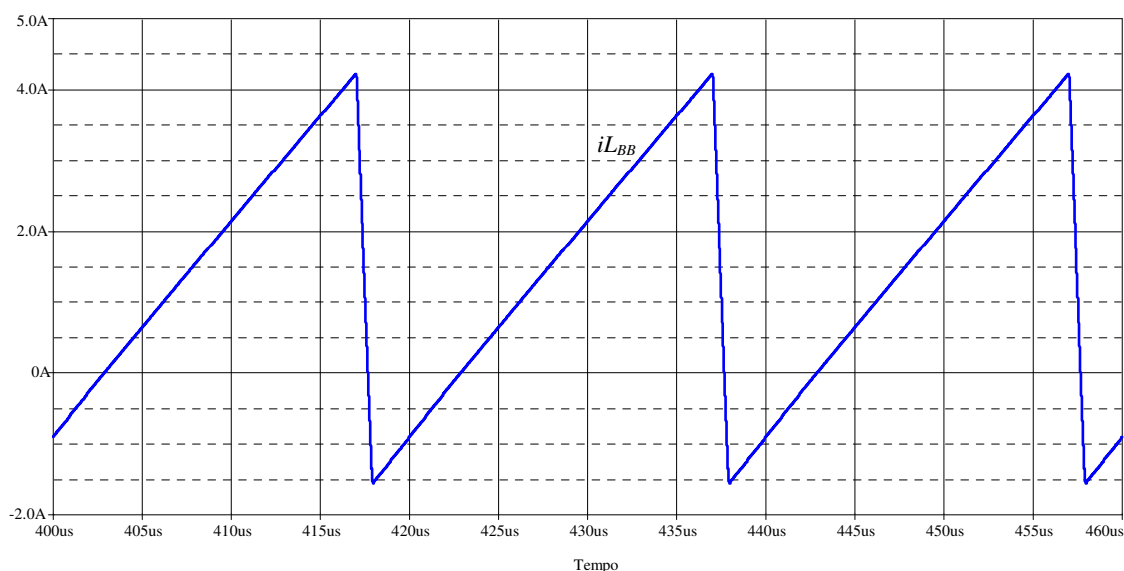


Figura 37 – Corrente no indutor L_{BB} .

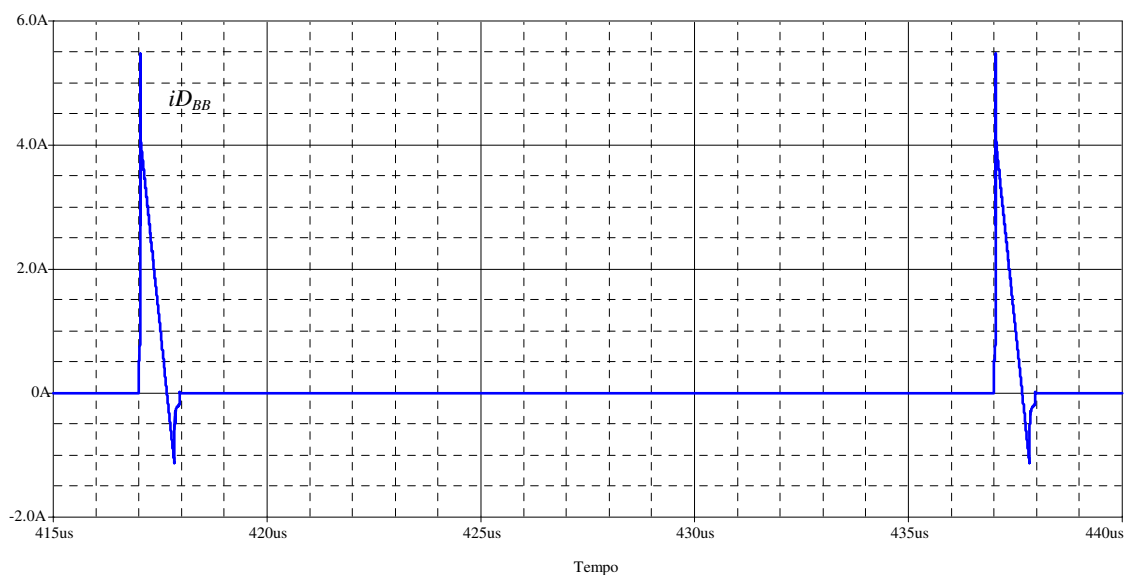


Figura 38 – Corrente no Diodo D_{BB} .

A Figura 39 apresenta as formas de onda de tensão e corrente na chave Z_{BB} . Na Figura 40 destaca-se o cruzamento mínimo no bloqueio.

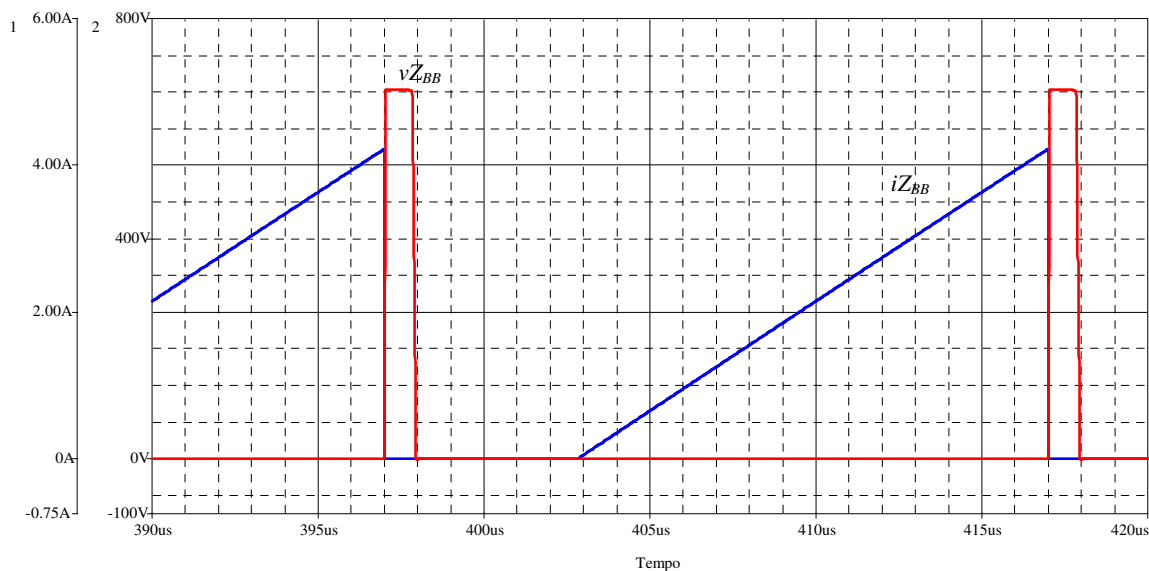


Figura 39 – Comutação na Chave Z_{BB}

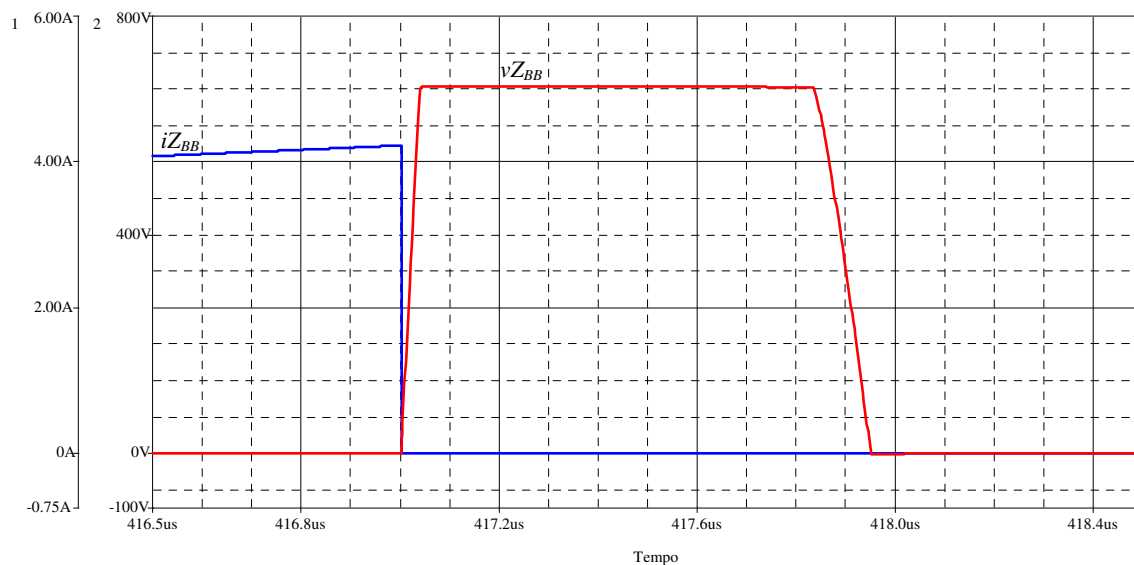


Figura 40 – Detalhe do bloqueio na Chave Z_{BB}

Para a determinação das potências dissipadas nos semicondutores, foram substituídos os componentes ideais por componentes comerciais. Desta maneira, obtiveram-se os dados apresentados na Tabela 13.

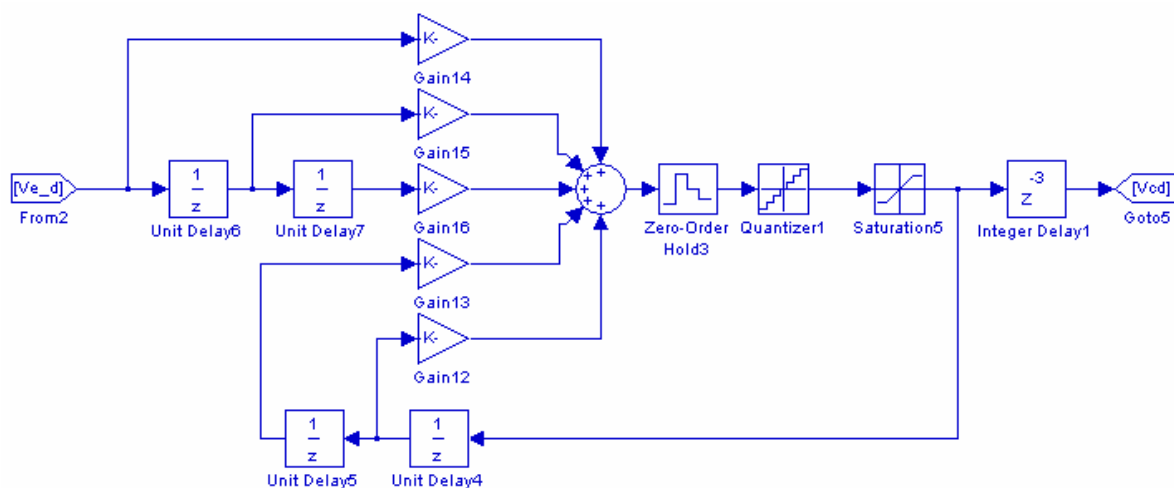


Figura 42 – Diagrama de blocos da simulação – equação a diferenças do controlador.

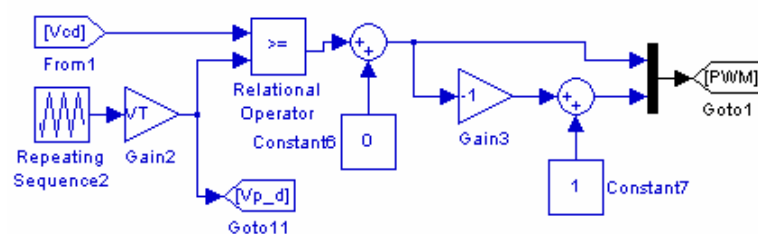


Figura 43 – Diagrama de blocos da simulação – modulador PWM.

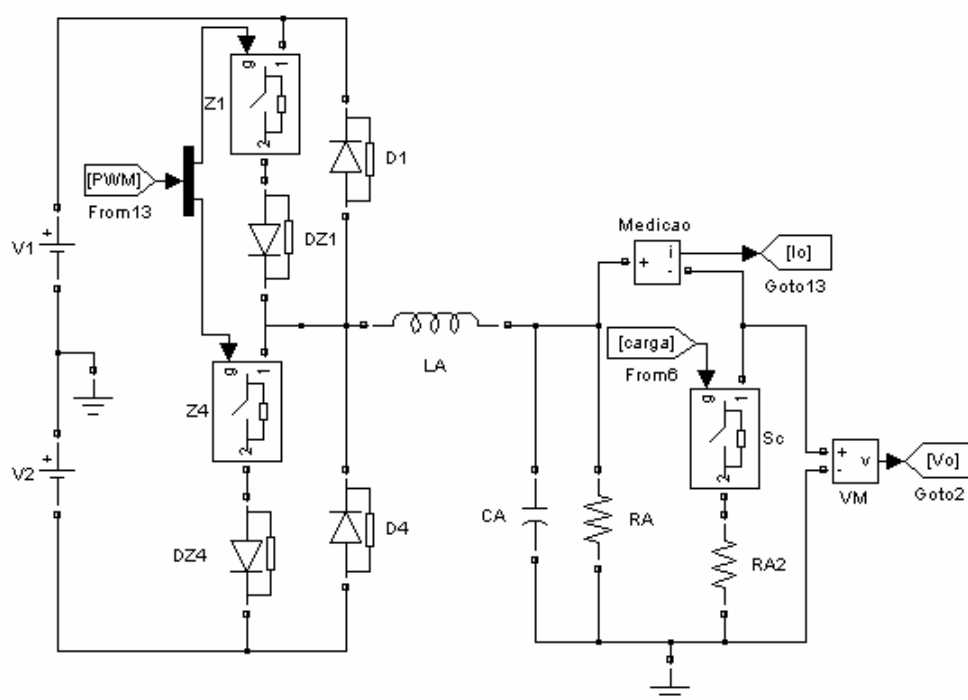


Figura 44 – Diagrama de blocos da simulação – circuito de potência.

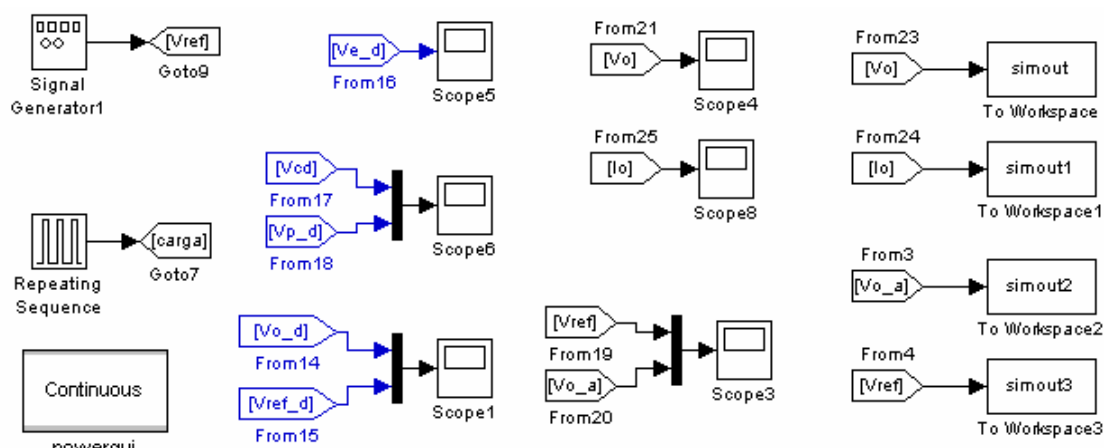


Figura 45 – Diagrama de blocos da simulação – medições.

A Figura 41 apresenta o diagrama de blocos do condicionamento de sinais, digitalização do sinal e obtenção do sinal de erro. Inicialmente, o sinal analógico passa pelo filtro *anti-aliasing*. Posteriormente, é somado um valor constante ao sinal, para que fique dentro da faixa admissível de entrada dos conversores A/D do DSP, uma vez que a tensão de saída do conversor pode assumir valores positivos e negativos e os conversores A/D do DSP somente convertem tensões positivas. Na sequência, o sinal passa pelo retentor de ordem zero, pelo quantizador e então é aplicado o fator relativo ao ganho do A/D. Finalmente, é subtraído o valor constante somado anteriormente, devidamente corrigido com o ganho do conversor A/D, e o sinal passa a ter novamente valores positivos e negativos.

A lei de controle é implementada conforme mostrado na Figura 42. É importante observar a necessidade do saturador na saída do controlador e a tomada dos valores para os cálculos do controle após o saturador, para que haja limitação da ação integrativa do controle durante as saturações, eliminando as oscilações provocadas por valores muito grandes na saída do controlador, que não podem ser repassados para a planta, uma vez que a razão cíclica deve permanecer no intervalo de zero até um. Antes de ser mandado para o modulador PWM, o sinal recebe um pequeno atraso, relativo ao atraso de processamento interno do DSP. Neste caso, o atraso foi da ordem de 30% do período de amostragem. Assim, o bloco responsável pelo atraso de processamento foi configurado com um tempo de amostragem dez vezes menor

e configurado para um atraso de 3 amostras, possibilitando a execução de um atraso fracionário da frequência de amostragem do controle.

O modulador PWM é apresentado na Figura 43. O sinal de controle é comparado ao sinal da portadora triangular, onde são gerados os pulsos complementares que serão enviados às chaves. A portadora triangular também foi defasada em 30% do período de amostragem do controle, garantindo que a atualização do valor de comparação aconteça exatamente no início e na metade do período da portadora triangular.

A Figura 44 mostra o circuito de potência chaveado. Um resistor de valor elevado está sempre conectado à saída, simulando a resistência do divisor resistivo de tensão de saída. Além disso, há a possibilidade de inclusão de um resistor de carga, de modo que se possa verificar o desempenho sob mudança de carga. A Figura 45 apresenta os demais blocos da simulação, bem como alguns blocos de medição e observação dos sinais de simulação.

Estabelecendo uma referência adequada para que se obtenha uma tensão de saída de 127V eficazes, pode-se observar, através da Figura 46, a tensão de saída do circuito, sem carga. A Figura 47 apresenta a amostra da tensão de saída e a tensão de referência. Pode-se observar o seguimento da referência após o transitório de estabilização inicial do controle.

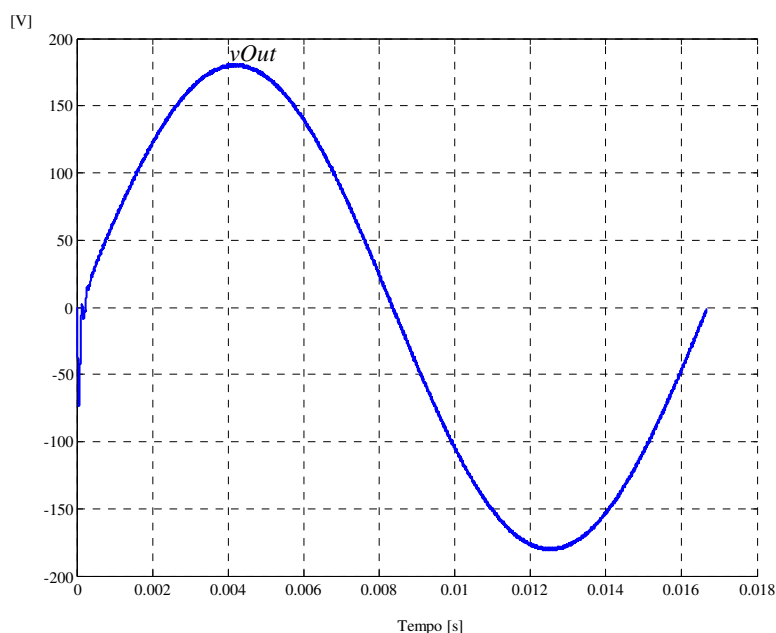


Figura 46 – Tensão de saída para o sistema sem carga.

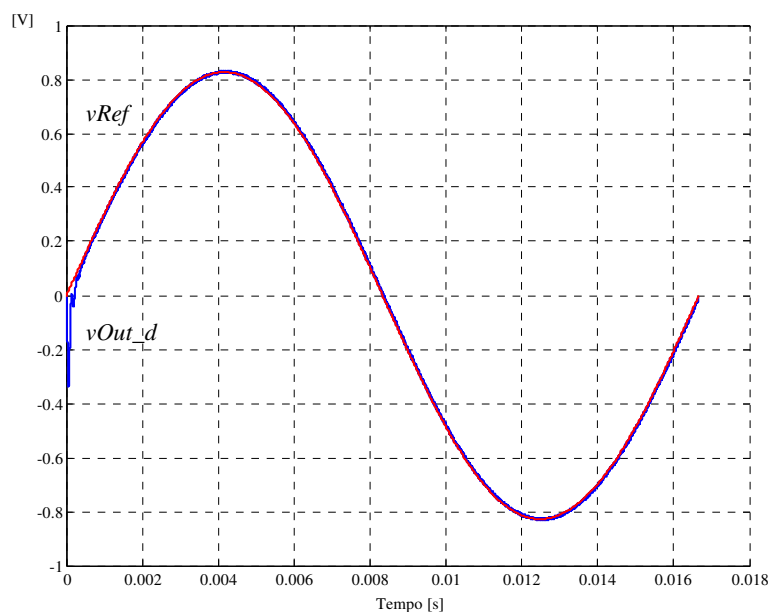


Figura 47 – Amostra da tensão de saída e tensão de referência.

Em $t = 20,8ms$ é acrescentada uma carga de $10,7\Omega$, na saída do conversor, colocando o circuito para operar com potência nominal. A Figura 48 apresenta tensão e corrente de saída quando a carga é acrescentada. Observa-se que após 2ms o controle corrige a presença da carga e a tensão de saída volta ao valor adequado.

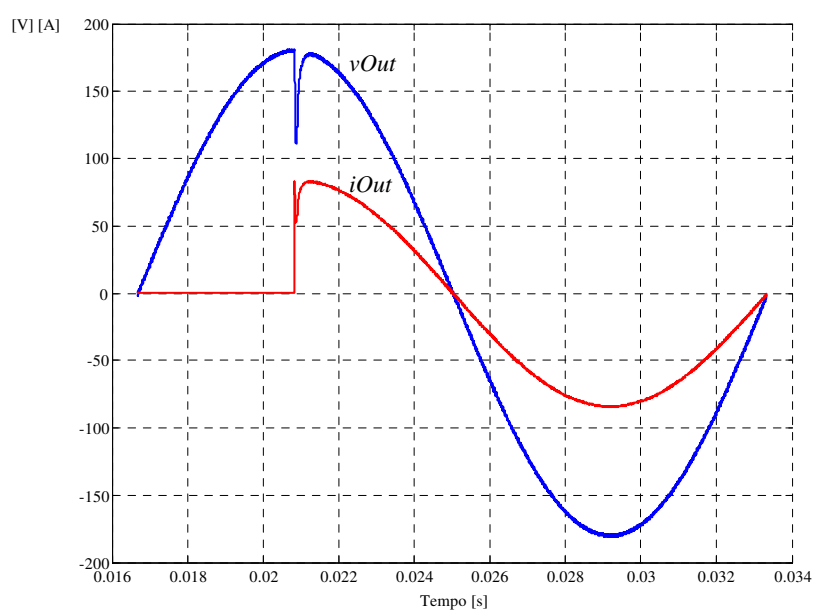


Figura 48 – Tensão e corrente (x5) de saída com a inclusão da carga.

A Figura 49 mostra detalhadamente o efeito da inclusão da carga na corrente e tensão de saída do circuito.

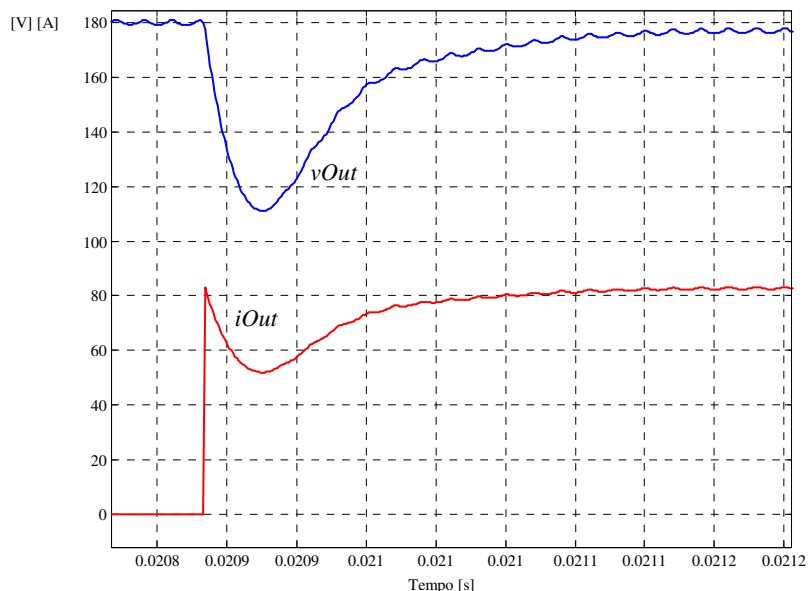


Figura 49 – Detalhe da tensão e corrente (x5) de saída com a inclusão da carga.

Em $t = 37,5ms$, a carga é retirada. A Figura 50 apresenta tensão e corrente de saída quando a carga é retirada. A Figura 51 apresenta detalhadamente o momento da retirada da carga. Com menos de 4ms a tensão estabiliza-se e assume seu valor adequado.

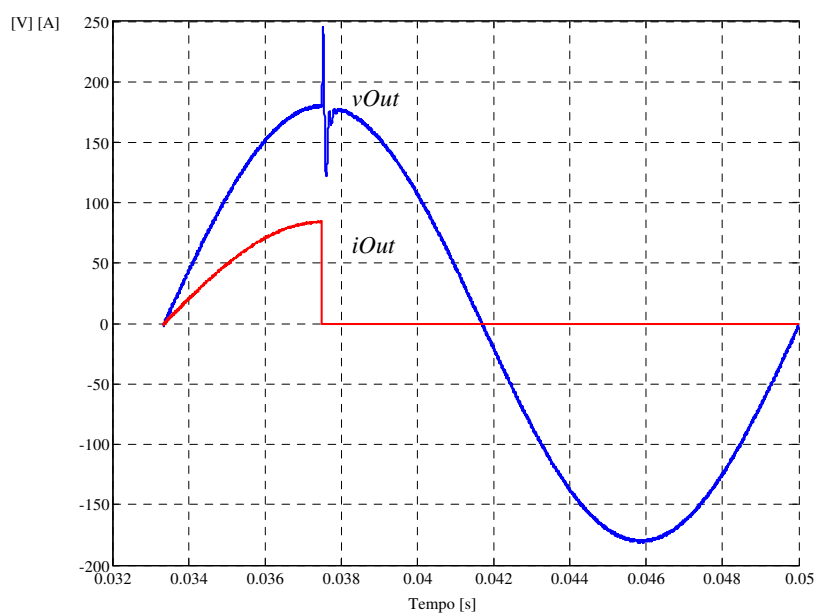


Figura 50 – Tensão e corrente (x5) de saída com a retirada da carga.

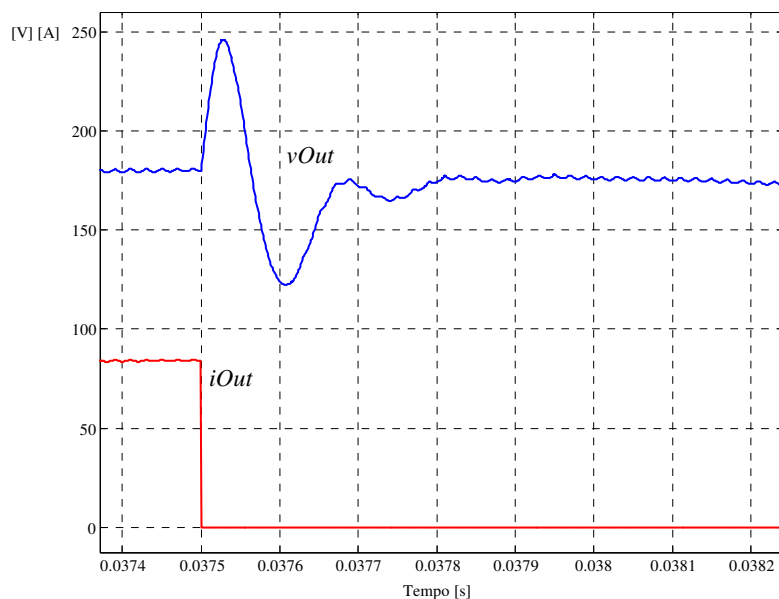


Figura 51 – Detalhe da tensão e corrente (x5) de saída com a retirada da carga.

A Figura 52 apresenta a um comparativo entre a resposta da tensão de saída para o sistema com controle digital e para o sistema com controle analógico com a inclusão da resistência de carga. Ambas as funções de transferência dos controladores têm pólos e zeros nas mesmas posições.

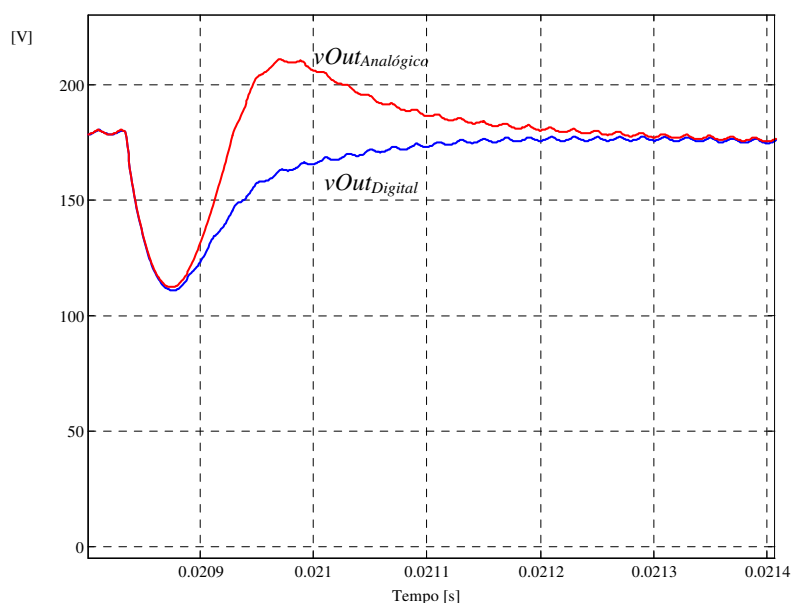


Figura 52 – Tensão de saída com controladores digital e analógico.

5.4. CONCLUSÃO

Para os circuitos de potência, os valores encontrados por simulação ficaram dentro do esperado, comparando-se com os valores obtidos teoricamente, validando os equacionamentos e comprovando que as considerações e aproximações envolvidas não afetaram de maneira significativa os resultados obtidos.

Na simulação do sistema de controle, o desempenho do controlador foi satisfatório e sua resposta é muito similar à do controlador analógico projetado com os pólos e zeros similarmente posicionados.

Cabe mencionar que não foram apresentados resultados de simulação para tensões trifásicas, pois seria apenas uma repetição dos resultados encontrados para uma única fase, não incluindo nenhum aspecto novo aos resultados.

6. IMPLEMENTAÇÃO PRÁTICA

6.1. INTRODUÇÃO

No decorrer deste capítulo serão abordados os principais pontos relativos à implementação de um protótipo desenvolvido em laboratório para que seja possível validar, na prática, a eficácia da topologia proposta para o controle.

Foi projetado e implementado um inversor trifásico para uma potência de 4,5kVA de saída, controlado digitalmente por um DSP TMS320F2812, da Texas Instruments.

Serão abordados neste capítulo assuntos pertinentes à implementação do *hardware* e *software*, sendo que a escolha e o projeto dos componentes e do controle foram apresentados nos capítulos anteriores. Serão apresentados também os resultados experimentais obtidos a partir do ensaio do protótipo realizado em laboratório.

6.2. HARDWARE DE CONTROLE

Buscando dar uma idéia mais ampla sobre o protótipo, a Figura 53 apresenta o diagrama em blocos de toda a estrutura proposta, mostrando os componentes necessários para realização física do controle digital.

Para que o controle digital da estrutura funcione corretamente, o programa do DSP precisa receber os dados provenientes do circuito de potência, após serem devidamente tratados. Da mesma forma, o resultado do controle precisa ser levado às chaves do módulo de potência para que o acionamento destas seja feito de tal modo que o controle possa atuar sobre as tensões de saída.

Porém, esta troca de informações entre o DSP e o módulo de potência não pode ser executada diretamente, pois não há compatibilidade entre os sinais disponibilizados por

ambos. Para possibilitar esta compatibilidade entre os sinais há a necessidade de vários circuitos auxiliares.

A seguir, serão mostrados, de uma forma geral, todos os pontos necessários para a implementação do protótipo com o controle digital.

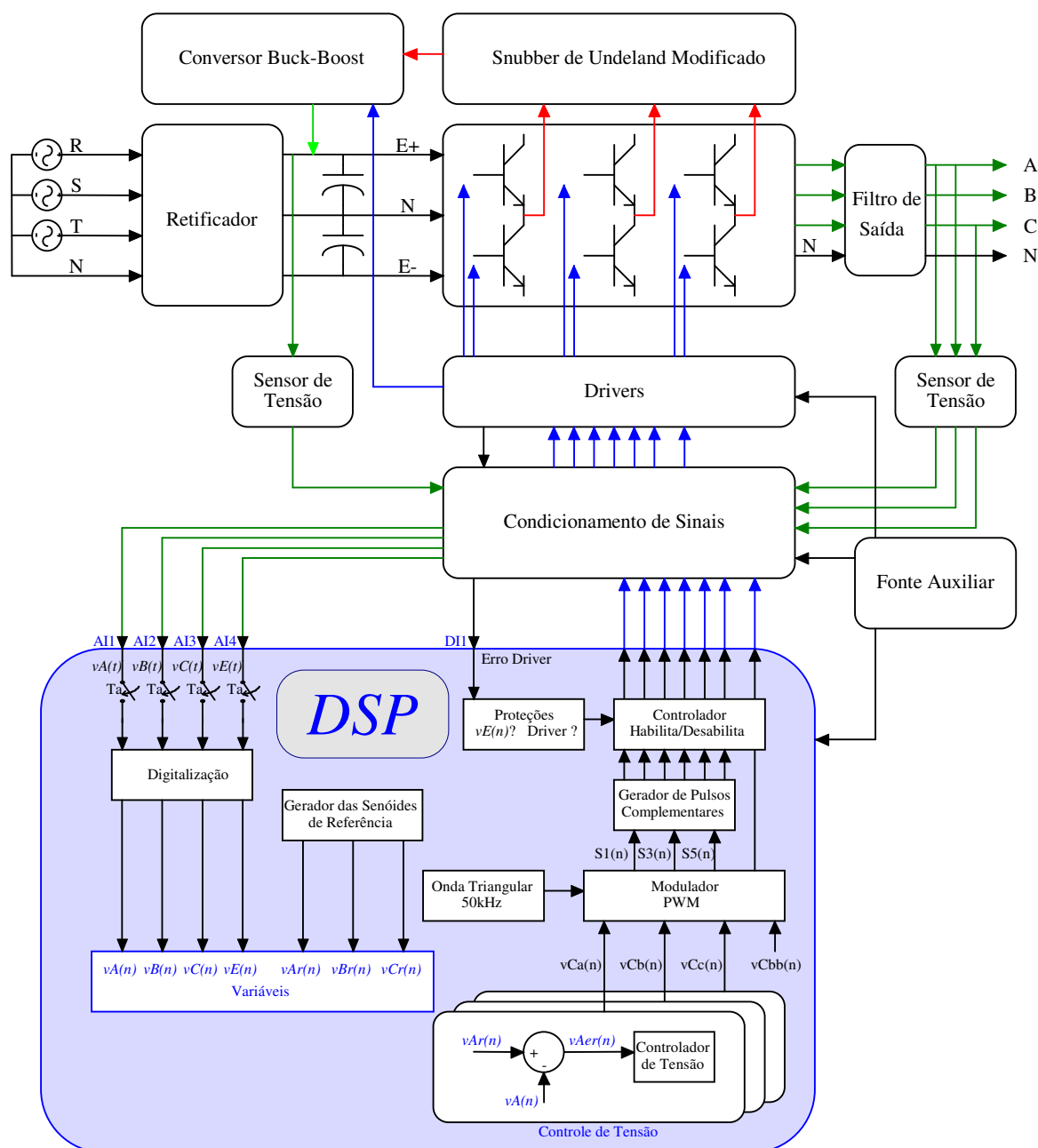


Figura 53– Diagrama em blocos do sistema implementado.

A descrição do funcionamento de cada um dos circuitos auxiliares e do software são apresentados na sequência, demonstrando a funcionalidade requerida de cada um e a solução encontrada para a sua implementação.

6.3. PROGRAMAÇÃO

A programação implementada no DSP consiste não só na execução da lei de controle, mas também da configuração do sistema, dos conversores A/D, do controlador PWM, dos temporizadores, além dos demais periféricos do DSP. O software foi desenvolvido na linguagem C/C++ através do compilador *Code ComposerTM*. Neste tipo de linguagem, pode-se fazer uso de bibliotecas disponíveis pelo fabricante e também por outros usuários dessa plataforma para compor o código.

A Figura 54 mostra um fluxograma mais detalhado do programa implementado dentro do DSP. Como se trabalha com uma programação de alto nível e a eficiência do *Code ComposerTM* na compilação do programa é boa [37], a programação foi executada ignorando muitos pontos relativos ao mapeamento de memória, alocação de variáveis na memória, controle de ponteiros de pilha de memória, dentre outros pontos que geralmente necessitam de bastante atenção por parte do programador, pois o *Code ComposerTM* executa estes controles automaticamente quando o programa é compilado.

Inicialmente, todas as variáveis e constantes são definidas e carregadas nas memórias de dados e programa, bem como são configurados e inicializados os periféricos do DSP (portas de E/S, conversor A/D, gerenciador de interrupções, temporizador, modulador PWM, etc.).

O conversor A/D é programado para que a aquisição de dados seja feita de maneira sequencial para os primeiros 4 canais do conversor A/D. Configura-se também o *clock* do conversor A/D através de um *prescaler*.

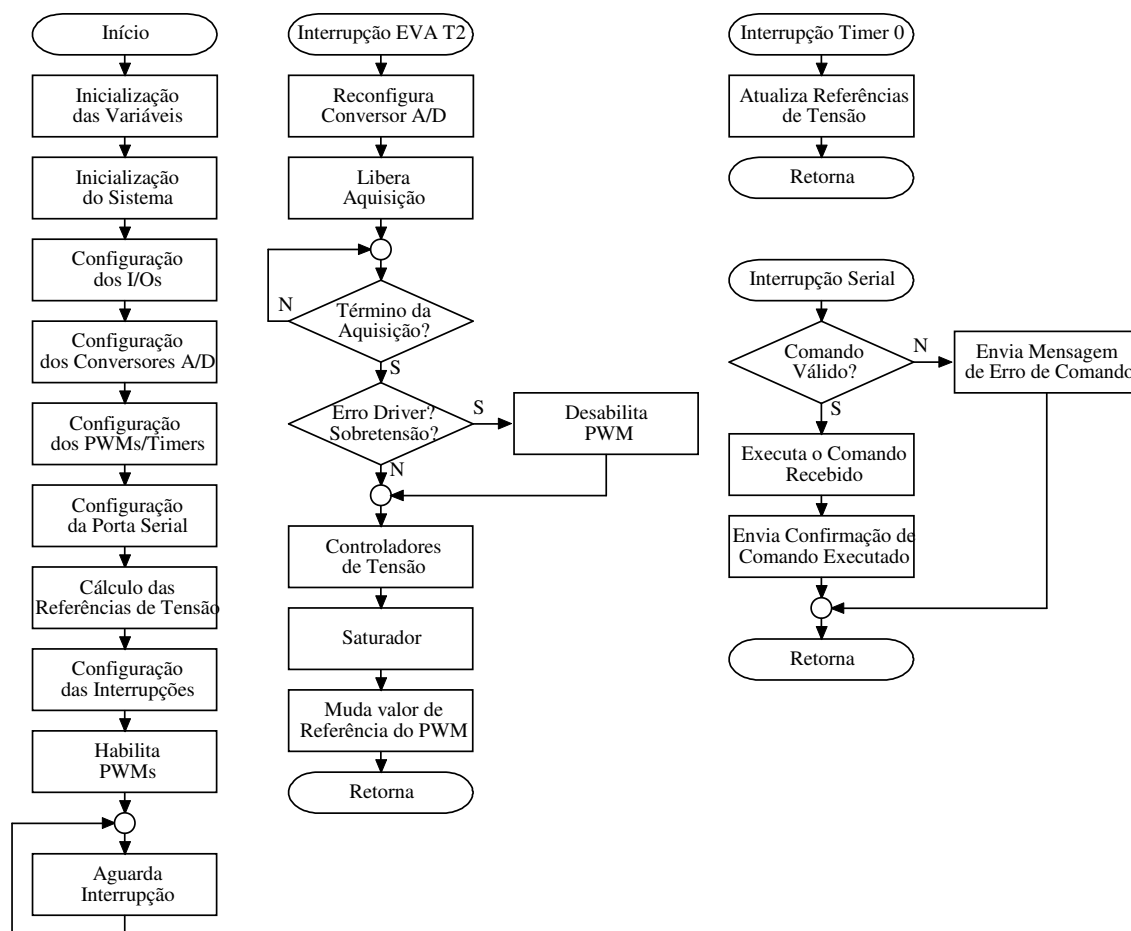


Figura 54 – Fluxograma do programa do DSP.

O gerenciador de interrupções é configurado de modo que as interrupções utilizadas (Timer T2, CPU Timer 0 e Serial) estejam habilitadas e direcionadas para as rotinas responsáveis por iniciar um ciclo de controle e aquisição, atualização do valor das referência de tensão e execução de comandos via serial RS232. Além disso, são definidas prioridades para as interrupções de modo que a rotina de interrupção de controle e PWM (timer T2) seja a de maior prioridade, a de atualização das referências de tensão (CPU Timer 0) tenha prioridade inferior à do Timer T2 e a de serial tenha a menor prioridade. Desta maneira garante-se que a rotina do cálculo do controlador sempre será executada independente de qualquer outra tarefa que esteja sendo executada pelo processador.

A programação do PWM consiste em configurar algumas características do modulador tais como frequência de chaveamento, modo das saídas, tempo morto, níveis de comparação, *prescalers*, dentre outros.

Uma vez inicializadas as variáveis e os periféricos do DSP, o sistema fica em estado de espera aguardando alguma interrupção. Quando o temporizador T2 (50kHz) determina que é o momento de realizar o controle, ele dispara uma interrupção que é responsável pela aquisição dos sinais de entrada, pela verificação das proteções e pelo cálculo do controle. Quando os sinais amostrados são disponibilizados pelo conversor A/D, o programa verifica se a faixa em que se encontra o barramento é segura para a operação do conversor. Se esta tensão estiver muito alta o PWM permanece desabilitado por questões de segurança e o sistema aguarda a próxima interrupção. O limite superior da tensão do barramento existe para que a tensão não atinja valores superiores aos limites de segurança das chaves ou do banco capacitivo de entrada. Também é verificado se há algum erro proveniente dos *drivers* das chaves do circuito de potência. Caso ocorra um erro nos *drivers*, os PWM são desabilitados. Os *drivers* entram em condição de erro sempre que for detectado uma corrente na chave acima do limite preestabelecido e configurado no próprio *driver*. Com o PWM desabilitado, todas as chaves do inversor e também do conversor auxiliar ficam desabilitadas indefinidamente. Para que o circuito volte a operar é necessário que o programa seja reiniciado. Na sequência, é calculado o erro de tensão de saída de cada fase, subtraindo-se o valor da tensão de saída do valor da tensão de referência. Após isso, os controladores de tensão calculam o esforço de controle baseado nos valores de erro de tensão atual ($e_{(k)}$), dos valores de erro anteriores ($e_{(k-n)}$) e dos valores anteriores do esforço de controle ($c_{(k-n)}$). A equação que define o esforço de controle tem o seguinte formato:

$$c_{(k)} = K_1 \cdot e_{(k)} + K_2 \cdot e_{(k-1)} + K_3 \cdot e_{(k-2)} + K_4 \cdot c_{(k-1)} + K_5 \cdot c_{(k-2)},$$

onde os fatores K_n são constantes.

A saída do controlador passa por um circuito saturador para evitar que o resultado a ser

levado ao PWM para comparação esteja fora do limite de comparação do sistema. O saturador foi configurado para limitar a razão de modulação em 0,01% e 99,9%.

O circuito PWM interno ao DSP trabalha de forma autônoma, recebendo os dados provenientes do saturador, fazendo o chaveamento das chaves de maneira adequada e gerando os sinais complementares. Os registradores de comparação do PWM são automaticamente atualizados para os valores calculados pelos controladores no início e no meio do período de chaveamento. Essa atualização é feita diretamente no hardware e pode ser configurado para ser atualizado de maneira diferente. Além disso, o módulo PWM é configurado para gerar uma interrupção sempre que a portadora triangular apresentar valor zero ou valor máximo, ou seja, haverá uma interrupção no início do período de chaveamento e também no meio do período de chaveamento. Isso fará com que a frequência de amostragem seja duas vezes maior que a frequência de chaveamento dos interruptores. Além disso, toda a lógica de controle e de proteções é calculada numa taxa duas vezes maior que a de chaveamento.

A interrupção do temporizador 0 da CPU (CPU Timer 0) é responsável pela atualização das referências de tensão. A cada nova interrupção do Timer 0, o próximo ponto de um vetor contendo a referência de tensão é definido como valor atual da tensão de referência para os controladores de tensão. O vetor de referência é calculado de modo a conter um período completo da tensão de referência e existe um vetor de referência para cada fase. A atualização da referência de tensão é desvinculada da rotina de interrupção de controle e PWM (timer T2), permitindo que se altere mais facilmente a frequência da tensão de referência. Alterando-se o tempo configurado no temporizador 0, altera-se a taxa com que os pontos do vetor de referência são repassados para o controle de tensão e, dessa forma, altera-se facilmente a frequência da tensão de referência.

A interrupção serial é responsável pela execução de alguns comandos básicos, como iniciar/parar a geração, alterar a frequência da referência de tensão, entre outros. Também é

possível alterar a referência de tensão através da comunicação serial. Para isso são transferidos os parâmetros para cálculo da referência para o DSP e então é executado um comando de recálculo da referência. Desta maneira, é possível alterar as referências de tensão e, conseqüentemente, das tensões de saída do inversor, sem que seja necessário reprogramar o DSP com novas referências de tensão. Também é possível alterar a referência sem que seja necessário desligar o circuito de potência, isto é, em qualquer momento pode-se alterar a referência de tensão para qualquer valor desejado através da comunicação serial.

6.4. CIRCUITOS ELETRÔNICOS

O sistema completo do inversor trifásico com controle digital implementado em DSP é composto pelos circuitos auxiliares, pelo circuito de potência do inversor e pelo software de controle implementado no DSP. A Figura 55 mostra a versão completa do sistema do inversor, com todas as placas e circuitos necessários para a realização dos testes.

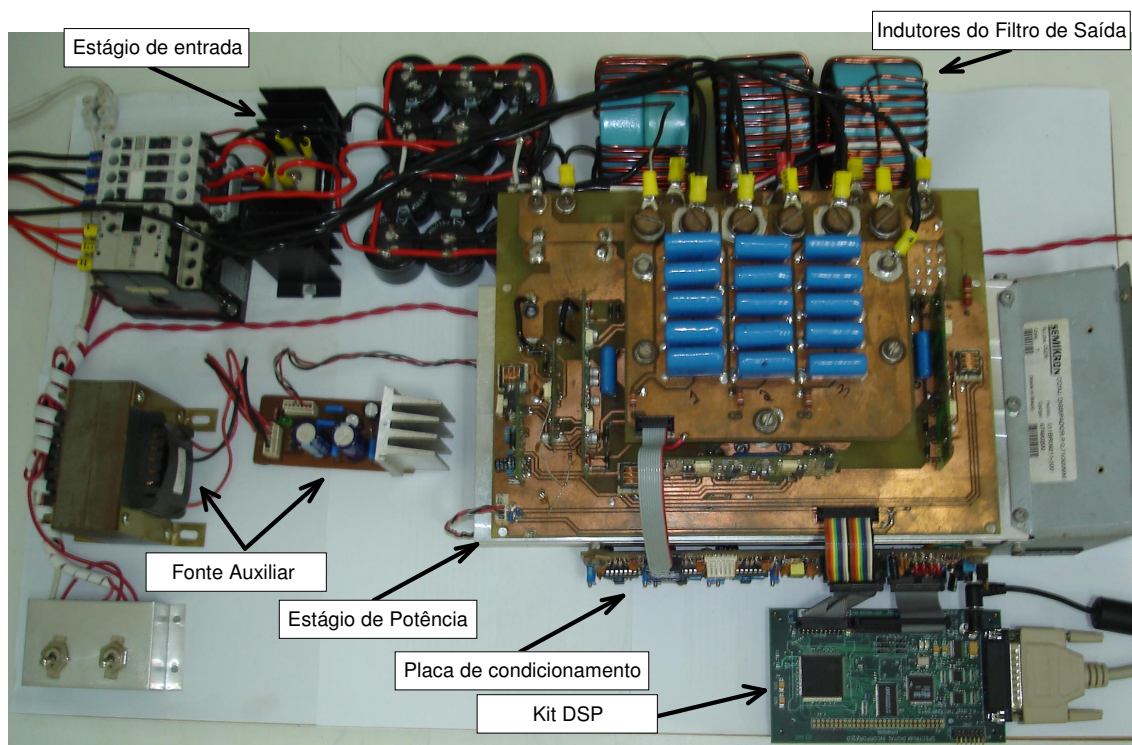


Figura 55 – Protótipo do inversor com controle digital montado para testes.

A seguir, são abordados os sub-circuitos que compõe o hardware, bem como uma breve descrição o seu funcionamento, topologia escolhida e projeto.

6.4.1. Estágio de entrada

Foi utilizado um retificador trifásico para alimentar o estágio de potência do inversor a partir da rede elétrica. Sua função é converter a tensão de entrada alternada senoidal em um barramento duplo contínuo. Nas condições nominais de operação, espera-se que o barramento CC apresente tensão de $320+320V_{cc}$. O estágio de entrada é composto por um contator trifásico, que permite acoplar o circuito de potência à rede elétrica, uma ponte retificadora trifásica e um banco de capacitores. A Figura 56 mostra o esquema elétrico do retificador trifásico de entrada, enquanto que a Figura 57 mostra o estágio de entrada utilizado.

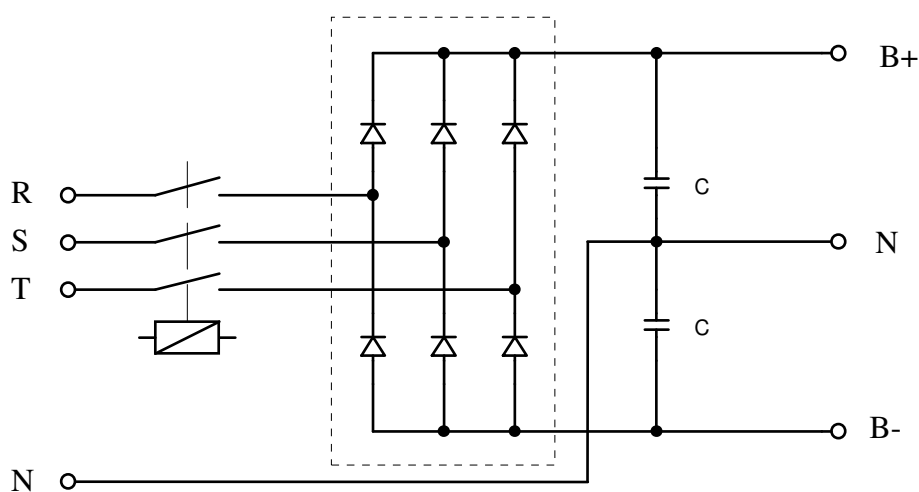


Figura 56 – Esquema elétrico do estágio de entrada.

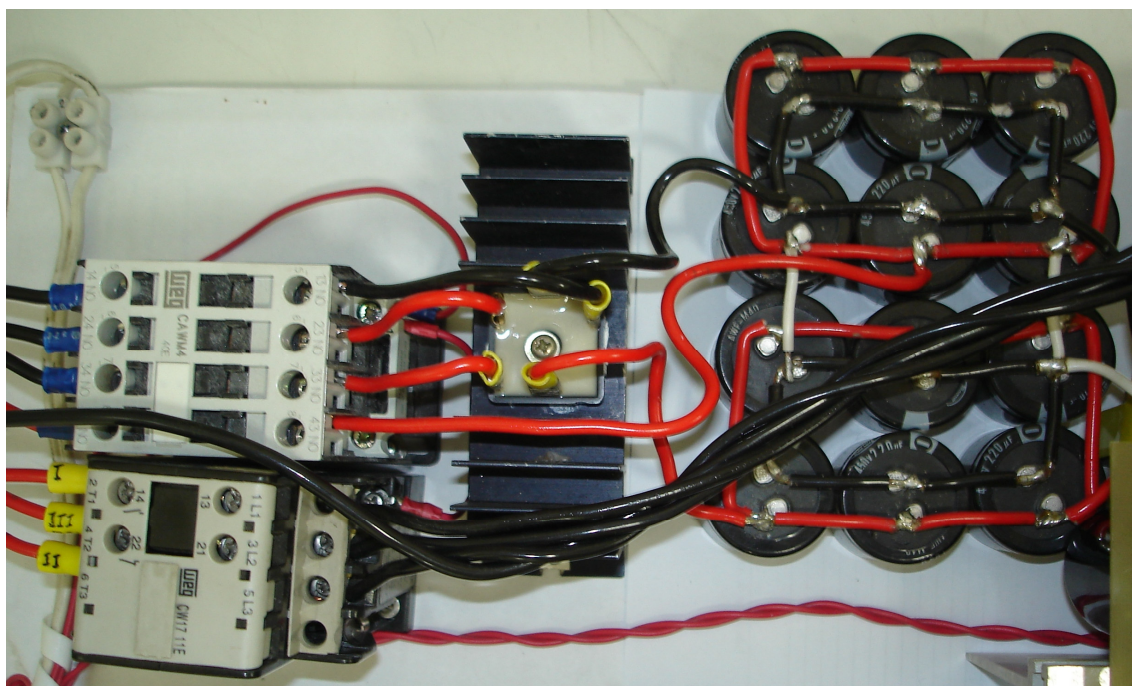


Figura 57 – Estágio de entrada para o Inversor Trifásico.

6.4.2. Unidade de potência

A unidade de potência consiste basicamente na estrutura a ser controlada. O módulo de potência foi projetado e desenvolvido com base no equacionamento apresentado nos capítulos 2 e 3. Em anexo, constam os projetos físicos dos indutores utilizados para o filtro de saída, para o *snubber* e também para o conversor auxiliar. A escolha do dissipador foi feita tendo como base as potências dissipadas nos componentes obtidas por simulação, conforme mostrado no capítulo 5. Os dados dos semicondutores utilizados podem ser vistos nos capítulos 2 e 3, onde os mesmos são especificados.

Uma vez que todos os componentes são montados no mesmo dissipador, pode-se adotar o seguinte procedimento para determinação da resistência térmica necessária para o dissipador:

Inicialmente, determina-se qual componente terá a maior elevação de temperatura, de acordo com a equação 6.1:

$$\Delta T_{Componente} = P_{Componente} \cdot (R_{jc} + R_{cd}) \quad (6.1)$$

onde:

$\Delta T_{Componente}$ é a elevação de temperatura da junção em relação ao dissipador;

$P_{Componente}$ é a potência dissipada pelo componente;

R_{jc} é a resistência térmica entre junção e cápsula, dada no catálogo;

R_{cd} é a resistência térmica entre cápsula e dissipador.

Determina-se, então, a resistência térmica necessária para o dissipador, de acordo com a equação 6.2

$$R_{da} = \frac{T_J - T_{AMB} - \Delta T_{máx}}{\Sigma P} \quad (6.2)$$

onde:

R_{da} é a resistência térmica dissipador/ambiente;

T_J é a temperatura máxima da junção;

T_{AMB} é a temperatura ambiente;

$\Delta T_{máx}$ é a maior elevação de temperatura calculada nos componentes;

ΣP é a somatória das potências em todos os componentes.

Visando facilitar a obtenção da resistência térmica do dissipador, a Tabela 14 apresenta as informações necessárias.

Tabela 14 – Dados para determinação da resistência térmica do dissipador

	Potência por Componente	Número de Componentes	Resistência Térmica
Chaves Principais (Z_n)	23,6W	6	0,64°C/W
Diodos Principais (D_n)	2,75W	6	0,83°C/W
Diodos do <i>snubber</i> (DS_n)	2,35W	6	2,0°C/W
Chave (Z_{BB})	7,4W	1	0,64°C/W
Diodo da Chave (D_{ZBB})	126mW	1	0,83°C/W
Diodo (D_{BB})	67mW	1	2,0°C/W
	$T_{AMB} = 40^\circ C$	$T_J = 140^\circ C$	$R_{cd} = 0,4^\circ C/W$

Pode-se facilmente verificar que a maior elevação de temperatura ocorre nas chaves principais do inversor, de onde, a partir da equação 6.1, tem-se que $\Delta T_{m\acute{a}x} = 24,5^{\circ}C$.

Através da equação 6.2 obtém-se então:

$$R_{da} = \frac{140 - 40 - 24,5}{179,8} = 0,42^{\circ}C/W \quad (6.3)$$

De modo a atender este valor de resistência térmica, será utilizado o dissipador da Semikron modelo P071/300, que apresenta resistência térmica de $0,38^{\circ}C/W$.

O módulo de potência incorpora o os semicondutores do inversor e do conversor auxiliar *Buck-Boost*, *drivers* opto acopladores isolados da Semikon, que fazem o acionamento das chaves do inversor e do conversor auxiliar, além de uma fonte auxiliar isolada para cada *driver* também desenvolvida pela Semikron, capacitores do filtro de saída, parte dos capacitores do barramento e capacitor de grampeamento. A Figura 58 mostra o módulo de potência desenvolvido.

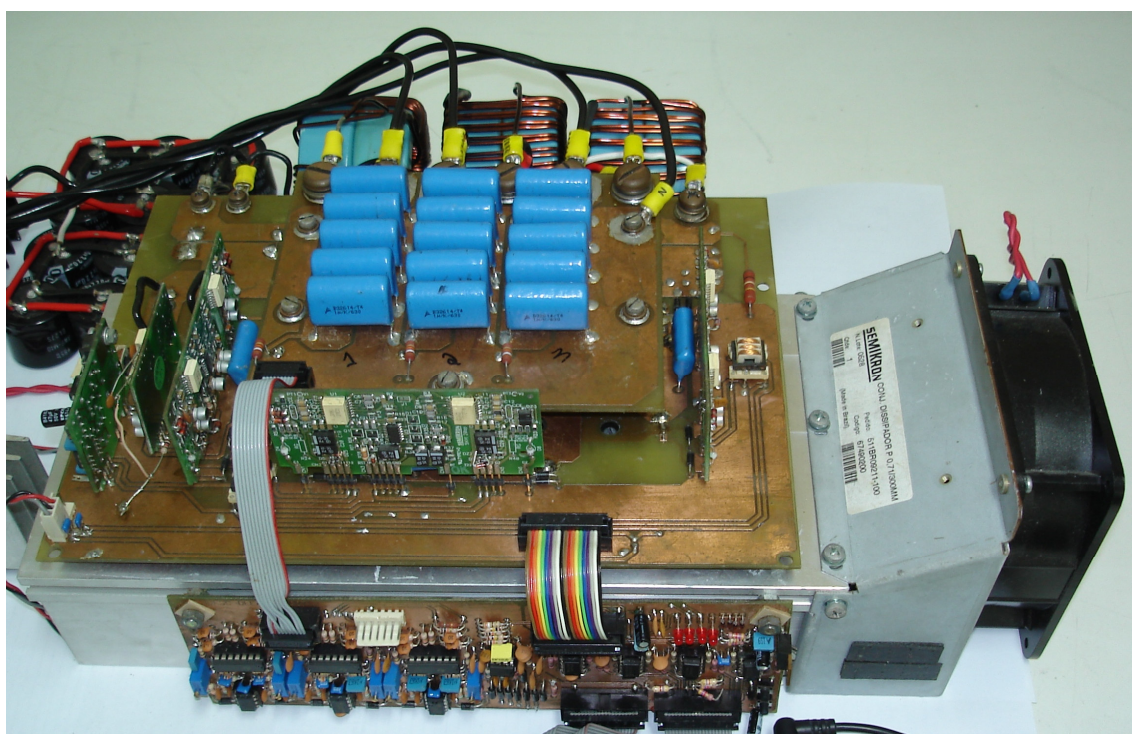


Figura 58 – Foto do módulo inversor trifásico desenvolvido.

6.4.3. Drivers

Os circuitos utilizados para o acionamentos das chaves semicondutoras são *drivers* modelo SKHI 20op da Semikron. Estes *drivers* são partes integrantes do módulo inversor trifásico e garantem o isolamento entre os sinais de comando e a parte de potência a ser controlada. Além de garantir a isolação entre os circuitos de comando e potência, estes *drivers* possuem sistemas de proteção para as chaves, de modo a prevenir curtos-circuitos de braço, proteção contra sobre-corrente e configuração de tempo morto. Quando ativadas, estas proteções desabilitam o chaveamento dos interruptores.

Sempre que o chaveamento dos interruptores é desativado por alguma das proteções do *driver*, um sinal de desarme (ativo em nível lógico baixo) é disponibilizado no barramento de interface do *driver*. Para que o *driver* volte a funcionar corretamente, transmitindo os pulsos de chaveamento para as chaves, é necessário que o circuito seja resetado através de um pulso baixo na entrada de *reset*.

A Figura 59 mostra uma foto do *driver* utilizado.

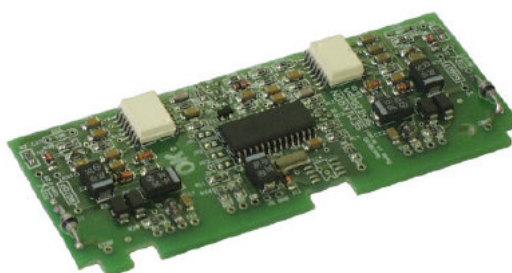


Figura 59 – Foto do *driver* de comando.

6.4.4. Módulo DSP

Para o DSP utilizou-se o kit didático TMSF2812 eZdsp™. Este kit é um módulo independente que permite o uso do DSP sem que seja preciso desenvolver todos os periféricos e placas necessárias.

A escolha do processador levou em consideração, além da disponibilidade do mesmo no laboratório, a elevada capacidade de processamento do dispositivo, a existência de

diversos periféricos internos indispensáveis para a implementação prática do trabalho e o conhecimento prévio adquirido pelo desenvolvimento de diversos trabalhos envolvendo estratégias de controle utilizando esta plataforma. Contudo, qualquer outro processador com desempenho e características semelhantes poderia ser utilizado para a execução da técnica de controle e da programação desenvolvida.

Em laboratório, este módulo demonstrou ser uma plataforma de desenvolvimento eficiente, pois, além de permitir a execução do software com acesso a todos os recursos do DSP, permite que o usuário possa fazer a programação e a depuração do software com o software Code ComposerTM que acompanha o *kit*. A comunicação entre o micro computador e o *kit* ocorre através da porta paralela via controlador JTAG.

São características do DSP que integra o *kit* didático:

- ⇒ Processador digital de sinais TMS320F2812;
- ⇒ 18K *words* de RAM *on chip*;
- ⇒ 128K *words* de ROM (Flash) *on chip*;
- ⇒ 64K *words* de RAM *on board*;
- ⇒ Controlador JTAG (IEEE 1149.1) *on board*;
- ⇒ Emulador JTAG (IEEE 1149.q) *on board*;
- ⇒ Adaptador para operação com tensão de 5V;
- ⇒ Cópia do software Code Composer Studio desenvolvida especialmente para trabalhar com este módulo.

A Figura 60 mostra em detalhes o *kit* didático mencionado.

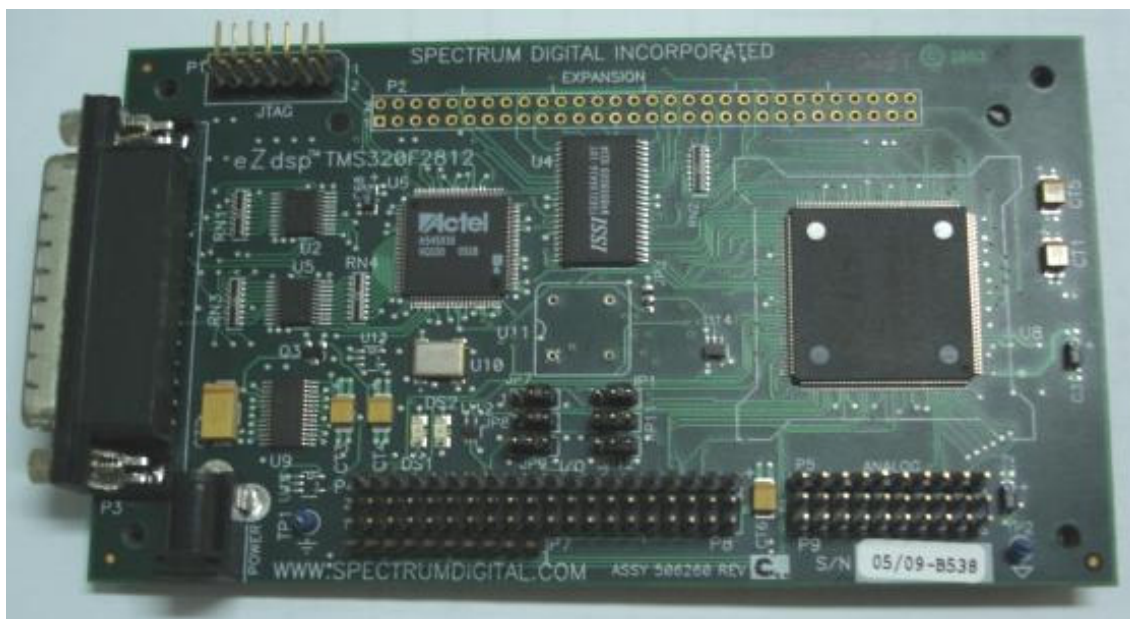


Figura 60 – Kit didático TMS320F2812 eZdsp™.

6.4.5. Condicionamento dos sinais de tensão de saída

O circuito de condicionamento dos sinais de tensão de saída é o circuito responsável pela preparação dos sinais de saída do inversor antes que estes sejam amostrados pelo DSP. Este circuito é composto basicamente por 3 etapas distintas: sensor de tensão, somador de *offset* e filtro *anti-aliasing*. A Figura 61 mostra o esquema elétrico do circuito de condicionamento de sinal.

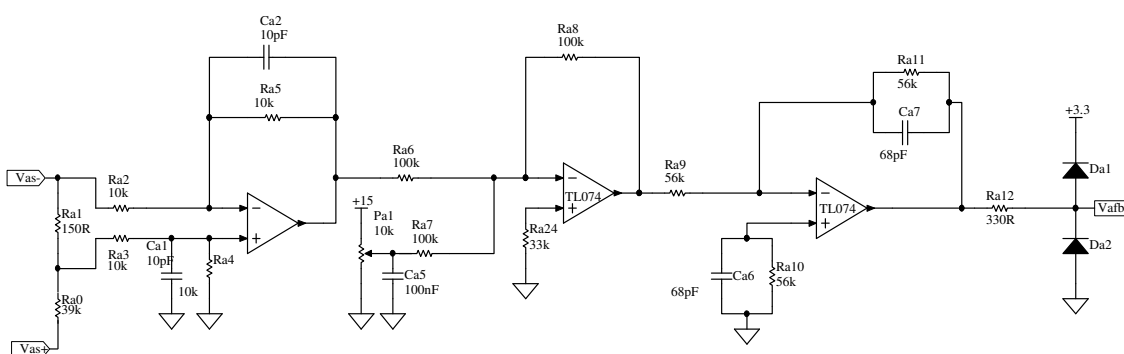


Figura 61 – Circuito de condicionamento do sinal de tensão de saída.

A tensão de saída do inversor passa por um divisor de tensão, compatibilizando com o valor admissível para a entrada do DSP. Em seguida, a amostra de tensão passa por um amplificador de diferenças, com um filtro para altas frequências. Esse filtro em por finalidade

limitar a passagem de ruídos provenientes do circuito de potência. Então, o sinal de tensão é levado a um circuito somador que somará ao sinal de saída do transdutor a um sinal de 1,5V. Este sinal de 1,5V equivale a um deslocamento no sinal a ser amostrado, fazendo com que o sinal de tensão amostrado seja deslocado, possibilitando a amostragem por parte do DSP, que só é capaz de amostrar sinais entre 0 e +3V.

O último sub-circuito deste condicionador de sinais é o filtro *anti-aliasing*, o mesmo discutido no capítulo 4. O filtro *anti-aliasing* é um filtro passa-baixas analógico de 1ª ordem projetado para que não ocorra o fenômeno de sub-amostragem dos sinais, o que pode levar a uma interpretação errada pelo DSP sobre a tensão de saída. O filtro *anti-aliasing* foi projetado de forma que a frequência de corte fique em torno de 50kHz e que o sinal de entrada não seja distorcido por causa deste filtro [27].

As fontes de alimentação de +15V e -15V são externas à placa de condicionamento de sinais e serão abordadas em outra seção deste capítulo.

6.4.6. Condicionamento do sinal de tensão do barramento CC

O circuito de condicionamento do sinal de tensão do barramento CC é o responsável por fornecer um sinal de saída proporcional à tensão de barramento e compatível com as necessidades impostas pelo DSP para a amostragem.

Topologicamente, este circuito é mais simples que o anterior, pois amostra apenas tensão contínua. Seus sub-circuitos são o sensor de tensão e o filtro *anti-aliasing* conforme mostra a Figura 62.

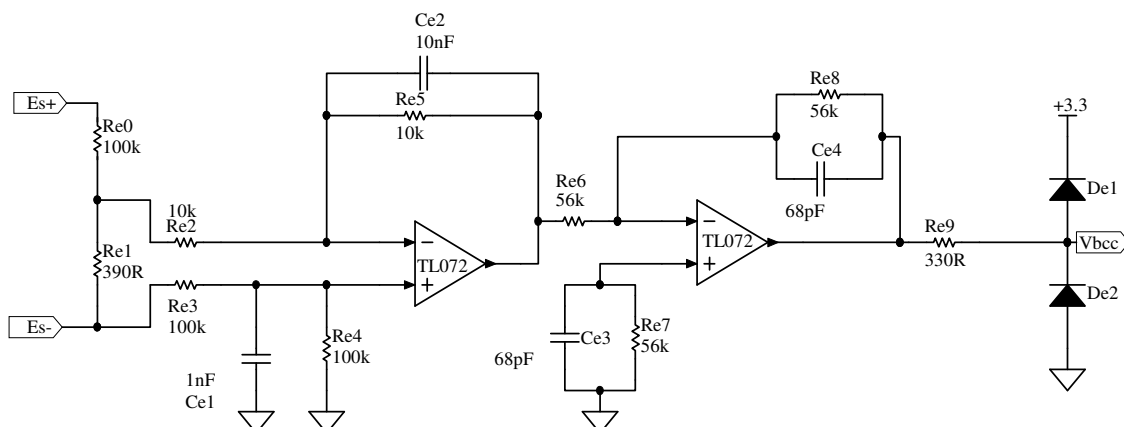


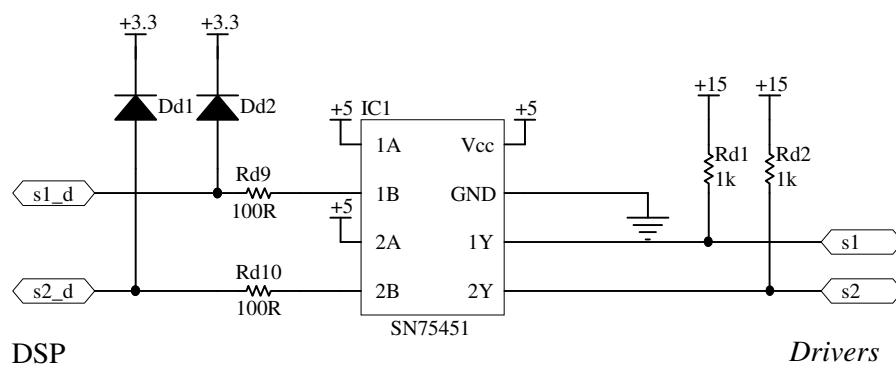
Figura 62 – Circuito de condicionamento do sinal de tensão do barramento CC.

Na saída do sensor de tensão tem-se um amplificador com entrada diferencial e filtro de ruídos, para reduzir de maneira adequada as interferências oriundas do circuito de potência

O filtro *anti-aliasing* deste condicionador de tensão é semelhante ao apresentado no condicionador de tensão de saída, portanto sua descrição será suprimida.

6.4.7. Interface DSP – *drivers*

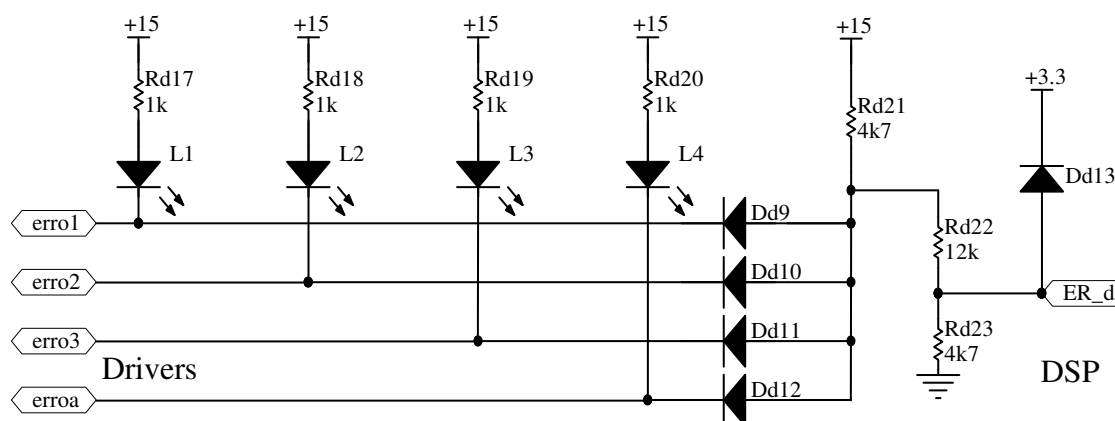
Os pinos de saída do DSP possuem uma tensão de 3,3V (para nível lógico alto), e uma capacidade de corrente bastante limitada (cerca de 3mA). Por outro lado, os *drivers* de acionamento do módulo de potência operam com 15V. Para compatibilizar estes níveis de tensão, foi desenvolvido um circuito de interface DSP – *drivers*. A função deste circuito é basicamente adequar os níveis de tensão entre os dois sistemas. Esta interface pode ser dividida em duas partes. A primeira faz o condicionamento do sinal do DSP para os *drivers*, utilizado para os sinais dos moduladores PWM destinados ao chaveamento dos semicondutores. A outra estrutura faz o condicionamento dos sinais oriundos dos *drivers* para o DSP, utilizado para transmitir ao DSP os sinais de erro gerados pelo *drivers*. Além disso, foram incluídos indicadores luminosos para exibir os sinais de erro dos *drivers*. Os circuitos de condicionamento de sinais digitais podem ser vistos na Figura 63 e na Figura 64.



DSP

Drivers

Figura 63 – Circuito de condicionamento de sinal do DSP para os drivers.



Drivers

DSP

Figura 64 – Circuito de condicionamento de sinal dos drivers para o DSP.

A placa de condicionamento de sinais pode ser vista na Figura 65.



Figura 65 – Placa de condicionamento de sinais.

6.4.8. Fonte auxiliar

A placa de condicionamento de sinais e de interface DSP-drivers necessita de alimentação simétrica externa de $\pm 15V$. Para suprir esta necessidade é que se projetou a fonte

auxiliar, que consiste em uma fonte linear simétrica com capacidade de corrente de 1A por saída. A Figura 66 mostra o esquema do circuito da fonte e a Figura 67 mostra a fonte já montada em placa própria.

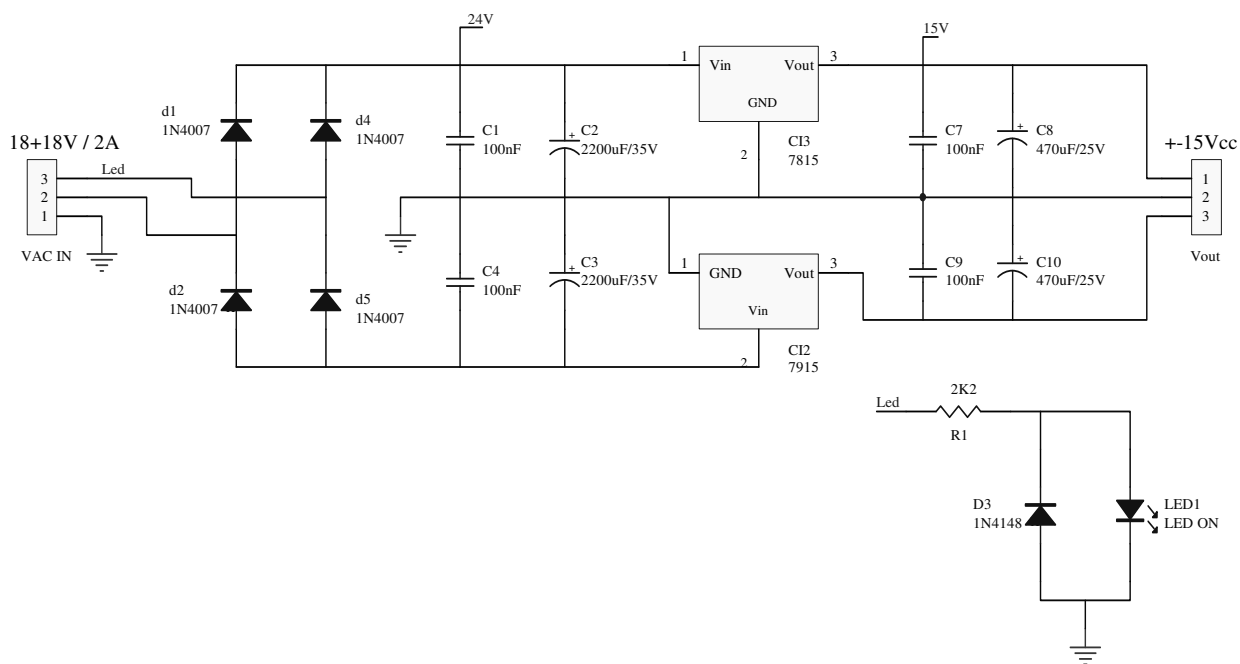


Figura 66 – Circuito da fonte de alimentação.

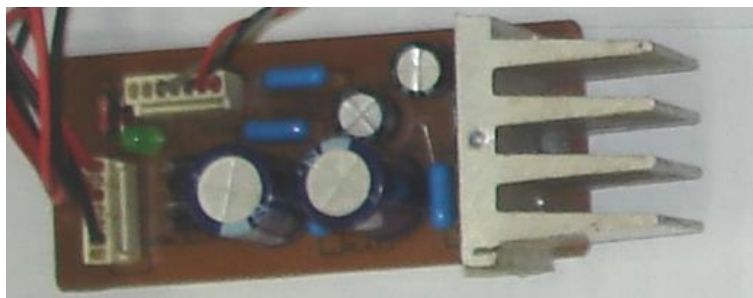


Figura 67 – Placa da fonte de alimentação.

6.5. RESULTADOS EXPERIMENTAIS

Neste item apresentam-se os resultados mais importantes da operação do protótipo testado em laboratório. As especificações do inversor foram apresentadas na seção 2.4.

As principais formas de onda do conversor foram efetuadas em diversas condições de operação, e são apresentadas na sequência.

A Figura 68 apresenta as formas de onda de tensão de saída do inversor, medidas com relação ao neutro, para o circuito sem carga, e tensão de 127V à 60Hz. Observa-se claramente o comportamento senoidal em ambas as fases com uma amplitude em torno de 185V.

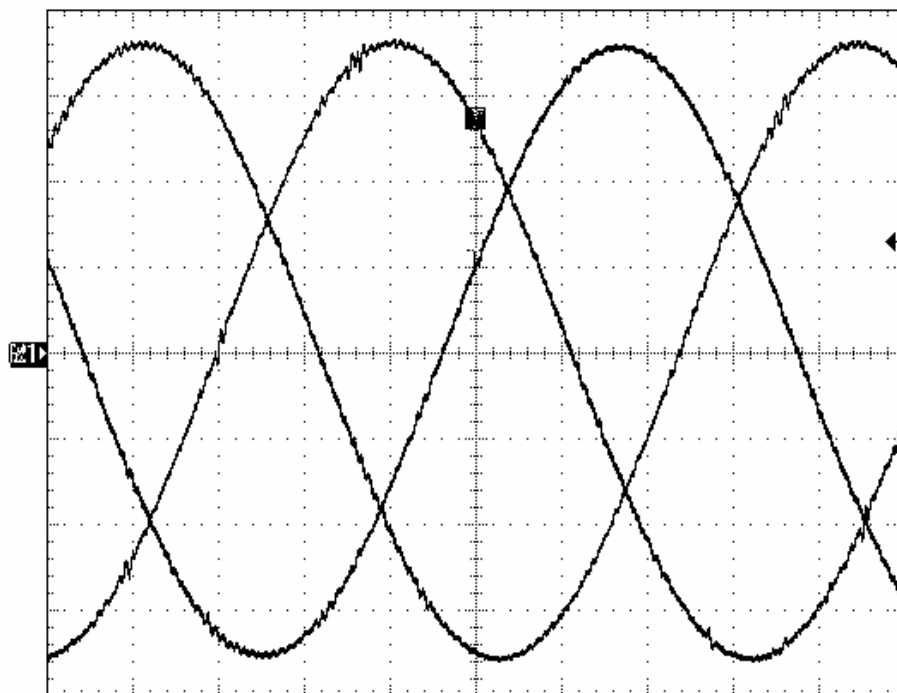


Figura 68 – Tensões de saída trifásicas – 127V
(50V/div, 2ms/div).

A Figura 69 mostra as tensões de fase trifásicas para o inversor operando com 220V à 60Hz, sem carga. Observa-se o comportamento senoidal, bem como a coerência dos valores de pico em torno de 311V.

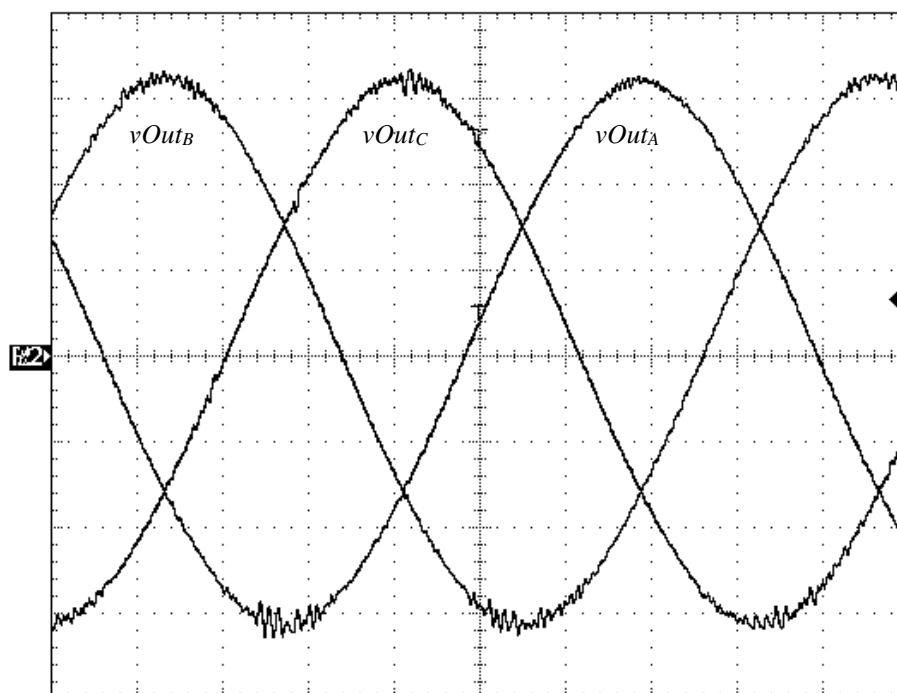


Figura 69 – Tensões de saída trifásicas – 220V
(100V/div, 2ms/div).

A Figura 70 apresenta a tensão de saída da fase A para a frequência de 60Hz, enquanto que a Figura 71 apresenta a mesma tensão para a frequência de 500Hz. Observa-se claramente o comportamento senoidal e o correto funcionamento do controle de tensão.

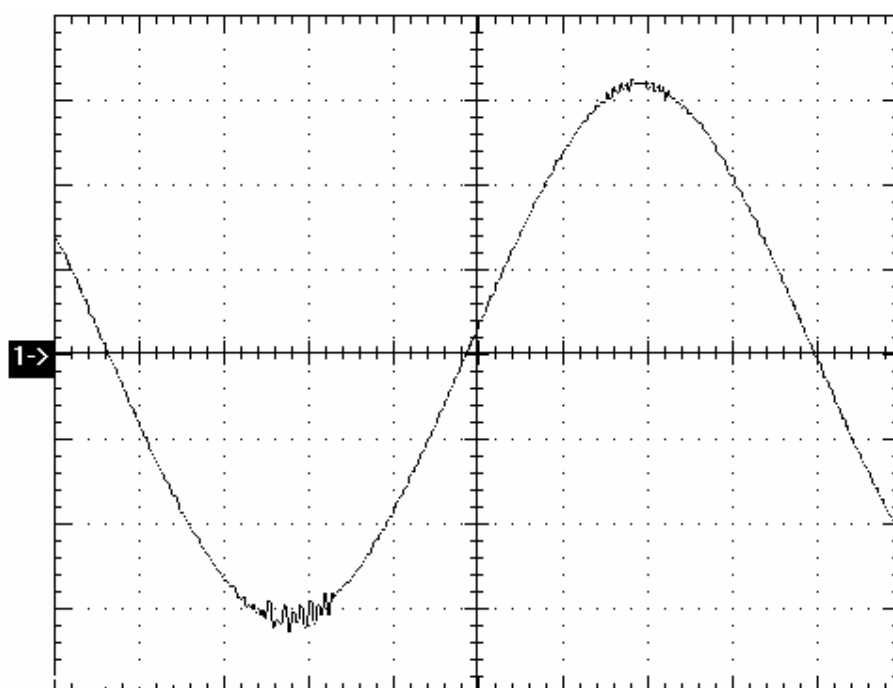


Figura 70 – Tensão de saída da fase A, sem carga, 220V, 60Hz
(100V/div, 2ms/div).

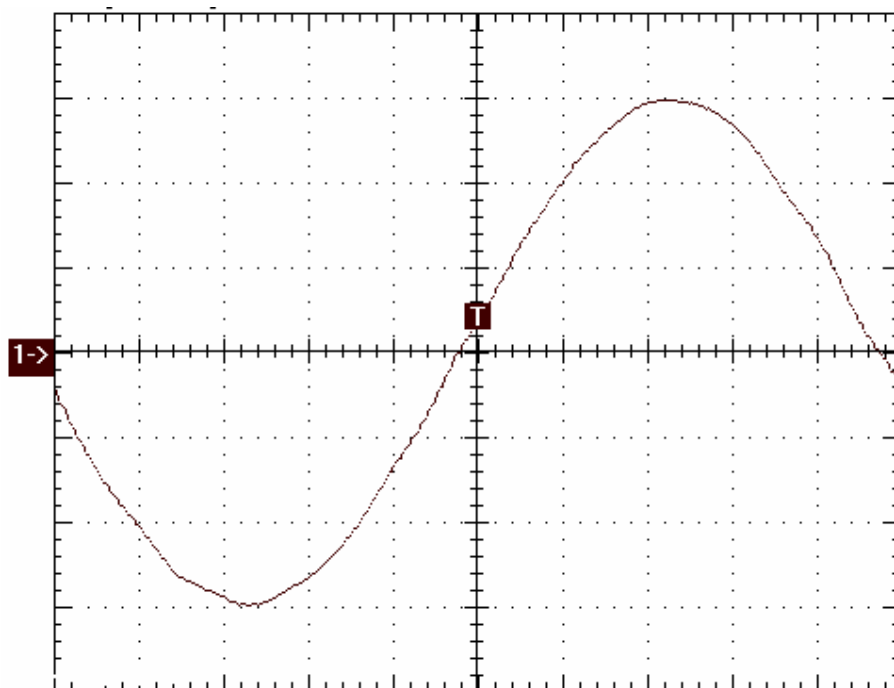


Figura 71 – Tensão de saída para a fase A, sem carga, 220V, 500Hz
(100v/div, 200μs/div).

A Figura 72 – apresenta um comparativo do conteúdo harmônico para uma tensão de saída de 220V, sem carga, para as frequências de 60Hz e 500Hz. Nestes casos, a distorção harmônica foi de 1,65% para 60Hz e 1,68% para 500Hz.

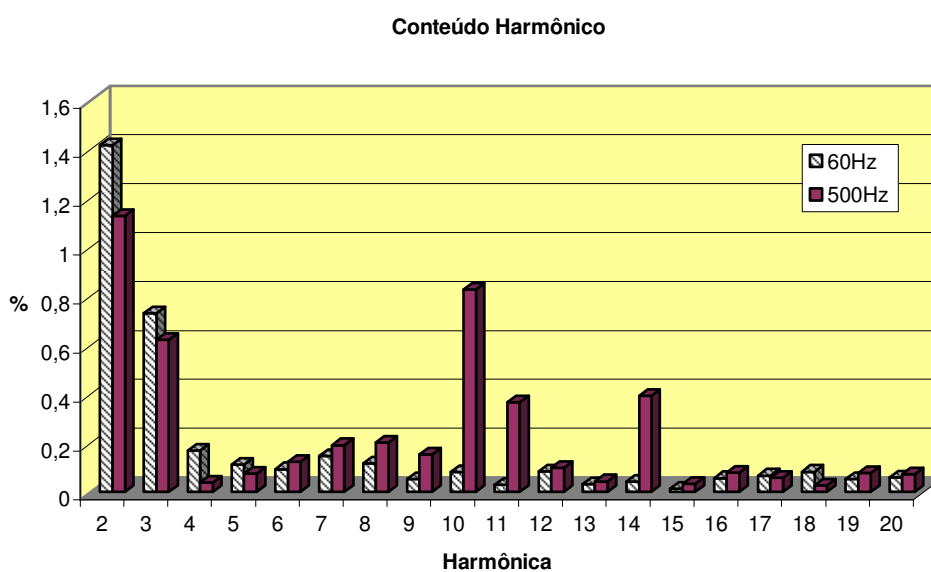


Figura 72 – Conteúdo harmônico da tensão de saída de 220V para 60Hz e 500Hz.

Visando verificar a dinâmica do controle, bem como observar o comportamento do conversor perante degraus de carga, foram realizados ensaios de mudança de carga de 50% para 100% da carga nominal e, também, de 0 para 100% da carga nominal. A Figura 73 apresenta a tensão e a corrente de saída para um degrau de carga de 50%. Na Figura 74 pode-se observar em detalhes o transitório de tensão na mudança de carga. A Figura 75 apresenta as formas de onda de tensão e corrente para um degrau de carga de 100% da potência nominal. Pode-se observar o detalhe do transitório da tensão na Figura 76. Em ambos os casos o tempo de resposta do controle foi pequeno e o controle se mostrou bastante eficiente pois, após o transitório, o inversor voltou a apresentar o comportamento senoidal, garantindo o perfeito seguimento da referência.

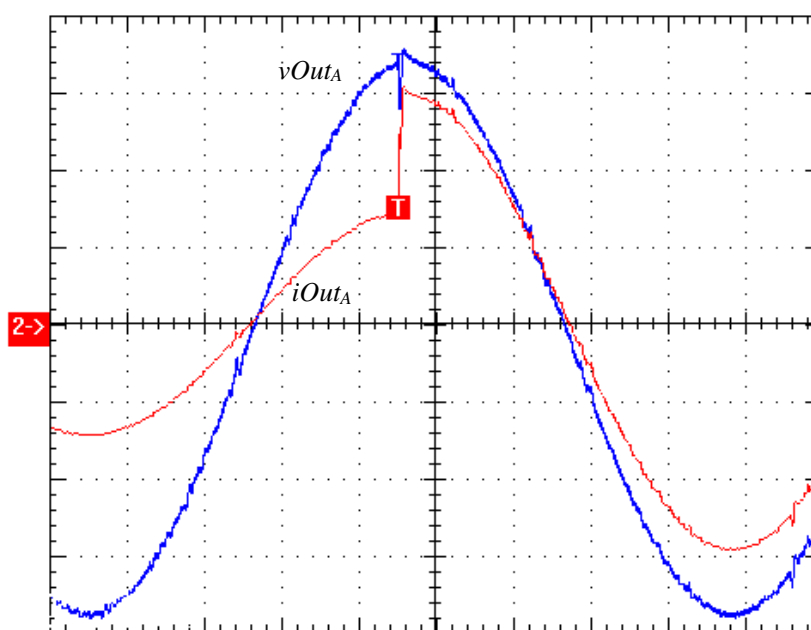


Figura 73 – Degrau de carga de 50% para 100% da carga nominal (50V/div, 10A/div, 2ms/div).

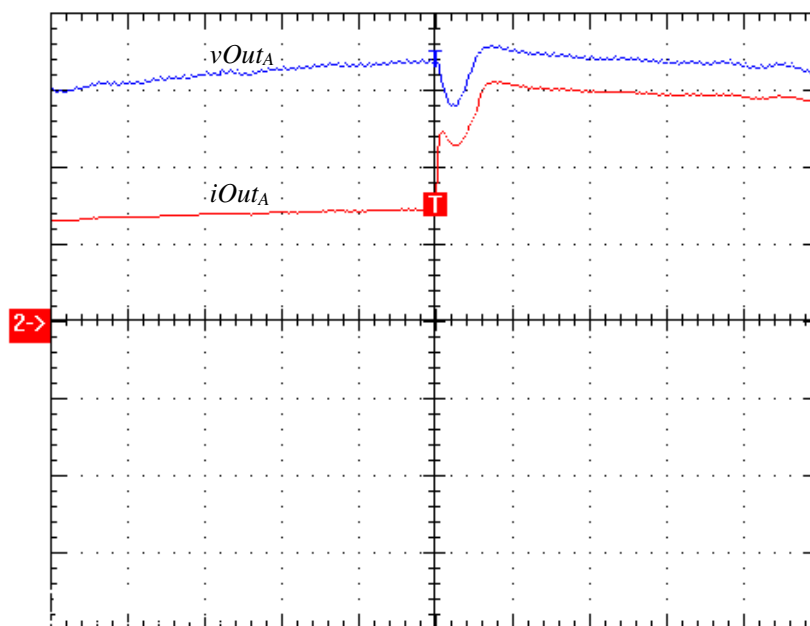


Figura 74 – Detalhe do degrau de carga de 50% para 100% da carga nominal (50V/div, 10A/div, 200 μ s/div).

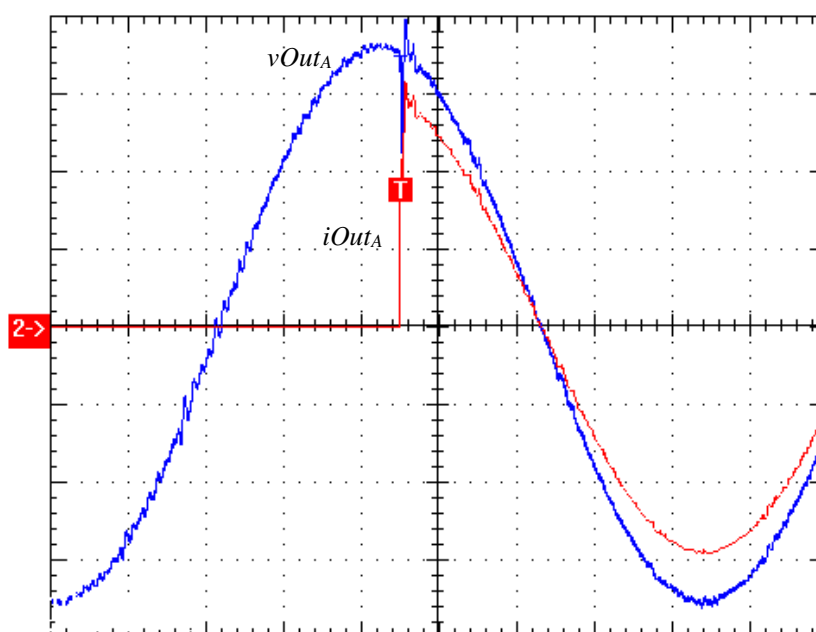


Figura 75 – Degrau de carga de 0 para 100% da carga nominal (50V/div, 10A/div, 2ms/div).

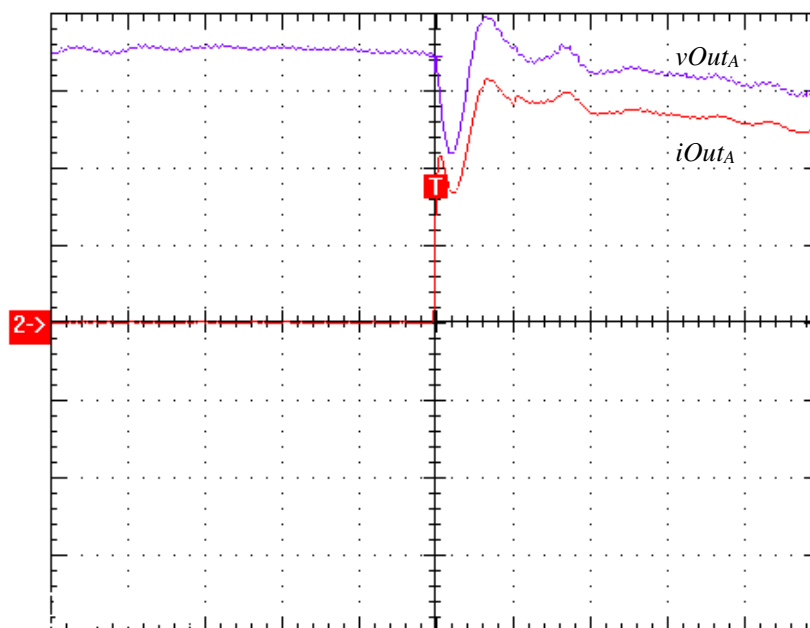


Figura 76 – Detalhe do degrau de carga de 0 para 100% da carga nominal (50V/div, 10A/div, 200 μ s/div).

Ainda visando avaliar a resposta dinâmica do controle, foi conectado um retificador com filtro capacitivo na saída do inversor trifásico. O Retificador foi projetado de modo que a apresente um fator de crista igual a 3. A Figura 77 mostra a tensão e a corrente da fase A, para uma potência de saída trifásica era de 4,4kVA. Observa-se, claramente, a robustez do controle perante a presença da carga não linear, apresentando baixa distorção mesmo na presença de picos de correntes de valor elevado. Nestas condições, a tensão de saída apresenta 150V de valor eficaz e distorção harmônica de 1,28%

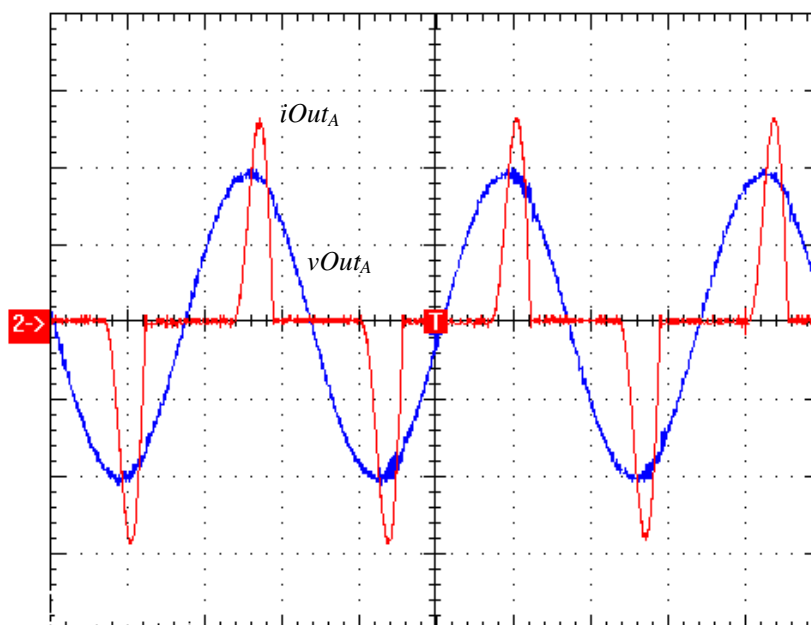


Figura 77 – Tensão e corrente de saída para carga não linear (100V/div, 10A/div, 5ms/div).

Também foi colocado como referência, um sinal com elevado conteúdo harmônico e observada a tensão de saída do inversor na presença de tal referência. A Figura 78 Apresenta o sinal de saída quando foi colocada uma referência senoidal com 30% de terceira harmônica.

A Figura 79 apresenta a saída do conversor para um sinal obtido através da análise harmônica de uma rede distorcida com cargas não lineares. Observa-se claramente o afundamento no topo da senóide, característico da presença de retificadores. A Figura 80 mostra o comparativo da análise harmônica da referência e do sinal de saída do inversor. Nota-se que há uma boa correlação entre os conteúdos harmônicos dos sinais.

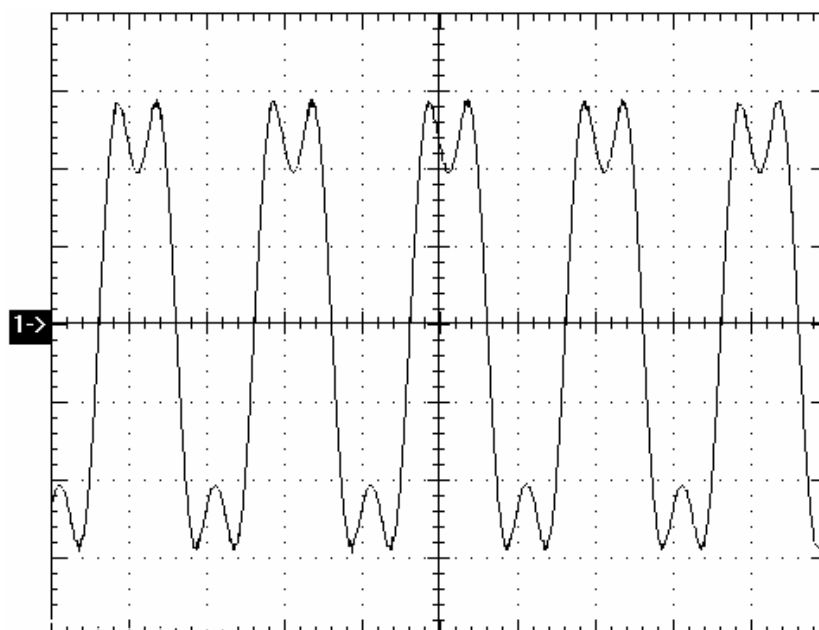


Figura 78 – Sinal senoidal com terceira harmônica.

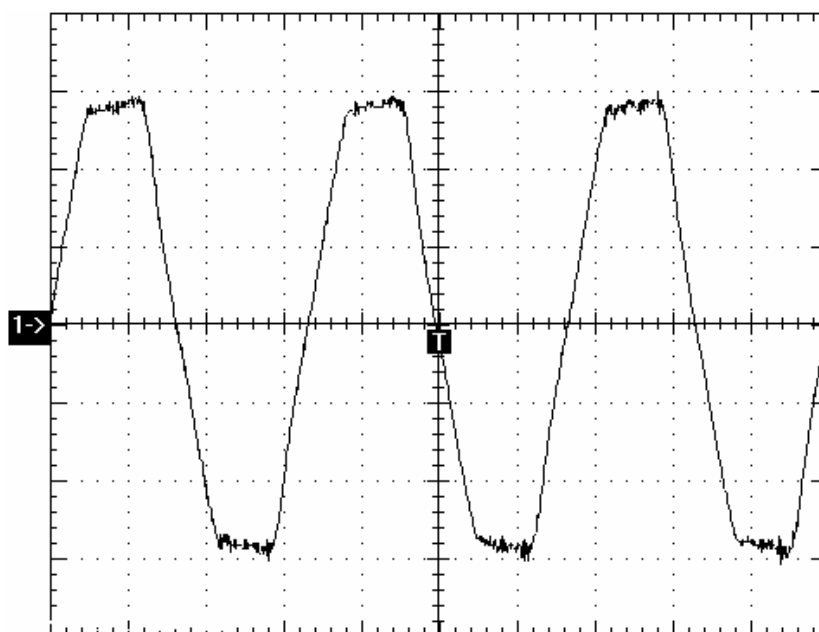


Figura 79 – Tensão de saída para referência simulando uma rede de alimentação distorcida (100V/div, 5ms/div).

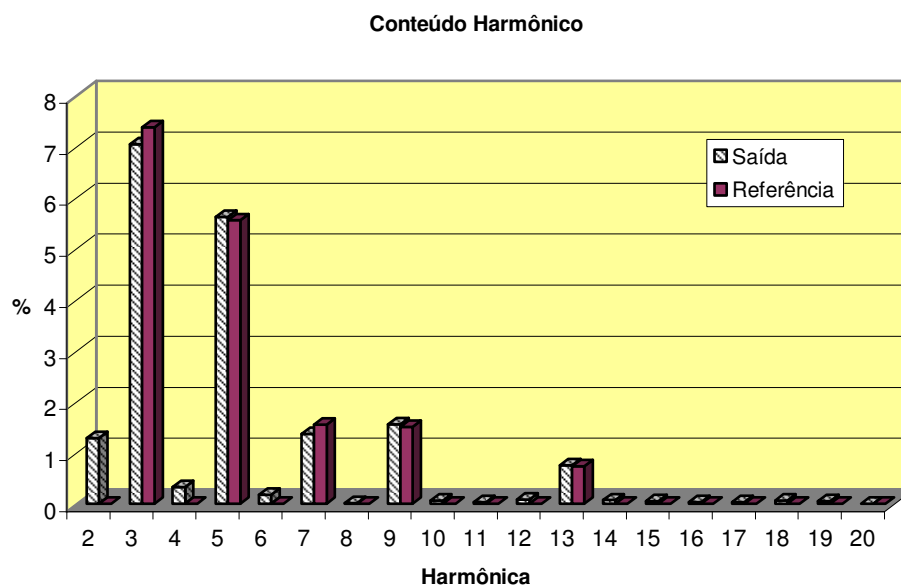


Figura 80 – Comparativo do conteúdo harmônico para tensão simulando uma rede distorcida.

A Figura 81 apresenta a tensão de saída do inversor quando foi aplicada uma referência de tensão triangular, com 300V de pico e frequência de 60Hz. A Figura 82 demonstra o comparativo do conteúdo harmônico de referência triangular e do sinal obtido na saída do inversor. Pode-se observar que há bastante coerência na análise harmônica, mesmo para um sinal de grande conteúdo harmônico.

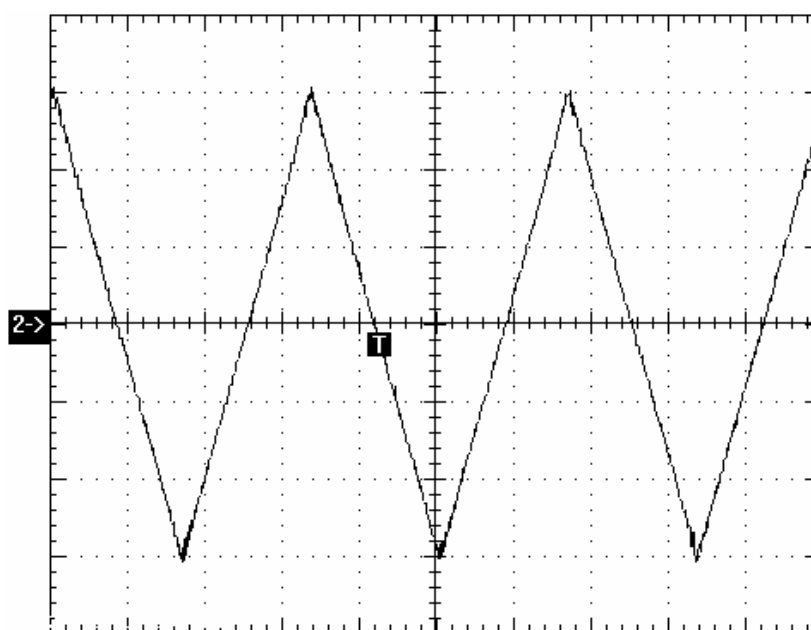


Figura 81 – Tensão de saída para referência triangular (100V/div, 5ms/div).

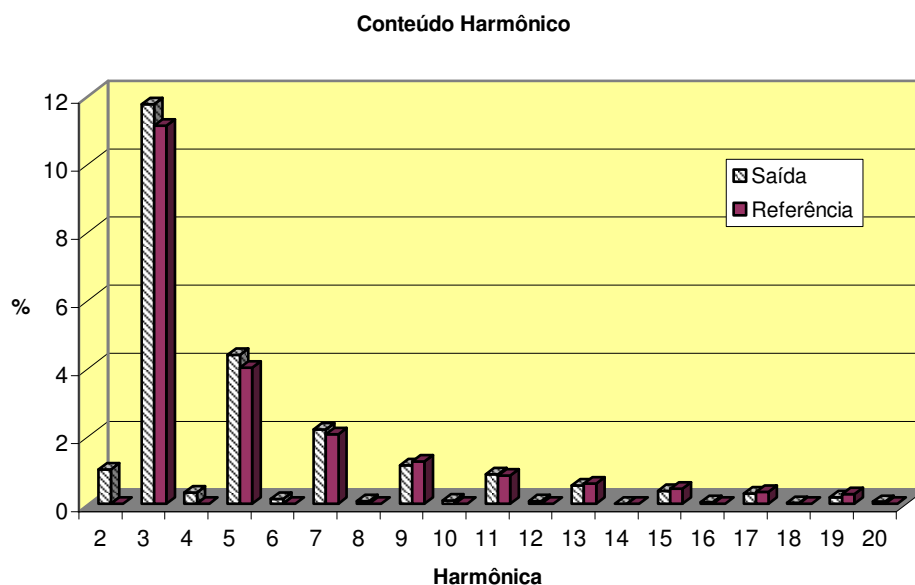


Figura 82 – Comparativo de conteúdo harmônico para tensão de saída triangular.

A Figura 83 apresenta a comutação da chave Z_1 . Observa-se que a presença do *Snubber de Undeland* propicia um cruzamento mínimo entre tensão e corrente e, consequentemente, baixas perdas por comutação nas chaves do inversor.

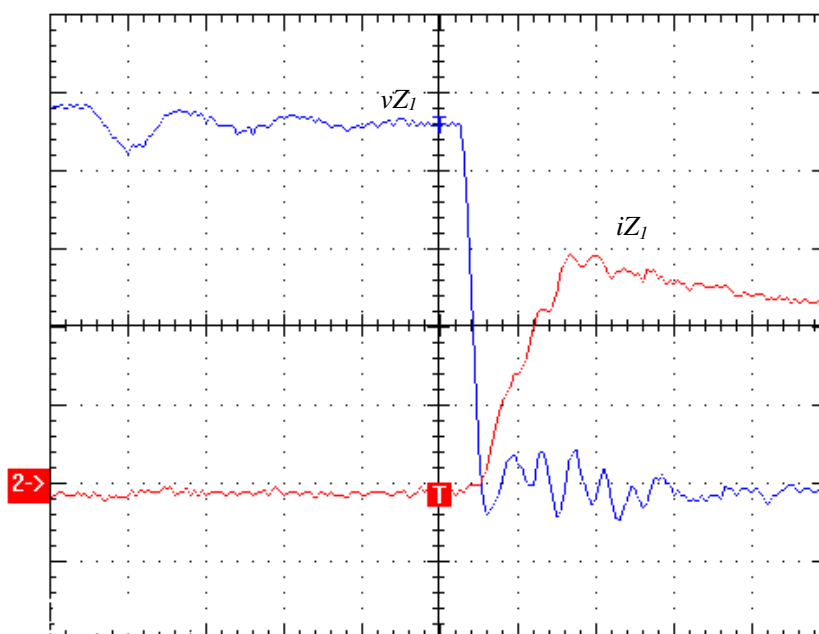


Figura 83 – Detalhe da comutação para as chaves do inversor (100V/div, 10A/div, 200ns/div).

A Figura 84 e a Figura 85 mostram a resposta em frequência do sistema, obtido através da variação da frequência de referência e medindo-se a amplitude e a defasagem da tensão de saída. Para medição da defasagem, foi utilizada uma saída digital do *kit* para determinar a passagem por zero da referência e, então, foi medido o tempo entre a passagem por zero da referência e a passagem por zero da tensão de saída. Observa-se, através das respostas de módulo e fase, que haverá um bom seguimento da referência para sinais de até 200 Hz. Acima desta frequência, o sinal de saída passa a ter uma pequena atenuação e também uma pequena defasagem em relação à referência. Para sinais de até 3kHz, o sistema apresenta pequena alteração de módulo e de fase, garantindo que os sinais com conteúdo harmônico dentro desta faixa sejam reproduzidos com considerável fidelidade. Para frequências muito acima de 6kHz não foi possível obter os resultados de módulo e de fase devido à elevada circulação de correntes pelas chaves e pelo filtro de saída, que ocasionaram o acionamento da proteção dos *drivers* das chaves.

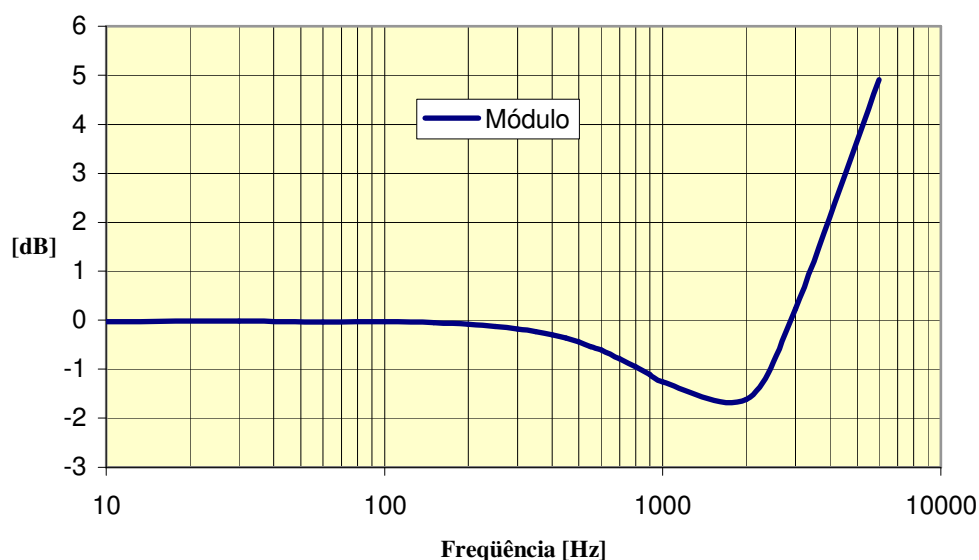


Figura 84 – Resposta em frequência do sistema completo – Módulo.

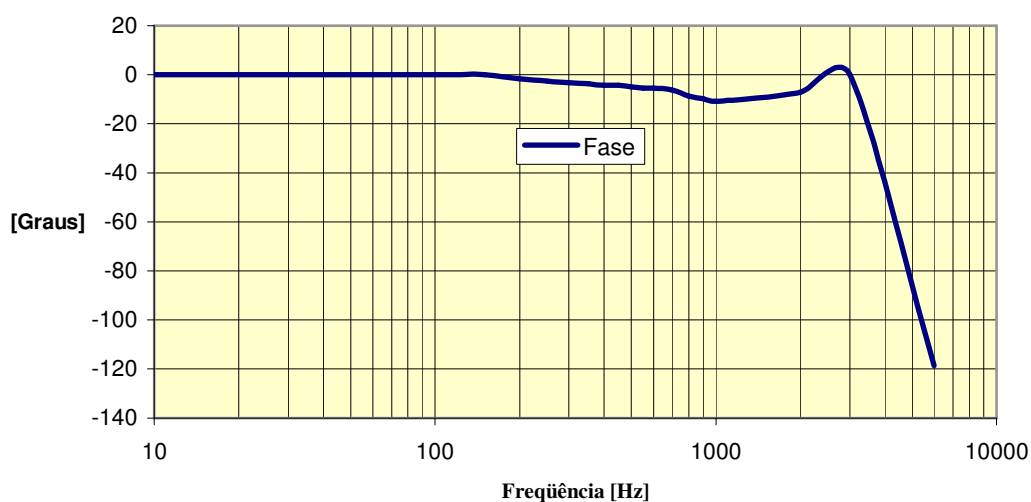


Figura 85 – Resposta em frequência do sistema completo – Fase.

Para o conversor auxiliar foram obtidas algumas formas de onda, de modo a validar o estudo apresentado. A Figura 86 mostra tensão e corrente no indutor *Buck-Boost*. Pode-se verificar a semelhança com as formas de onda teóricas apresentadas, confirmando os resultados. Podem-se obter através da figura os valores de $I_{BM} = 4,8A$ e de $-I_{LBB_min} = -1,2A$, valores que são semelhantes aos projetados.

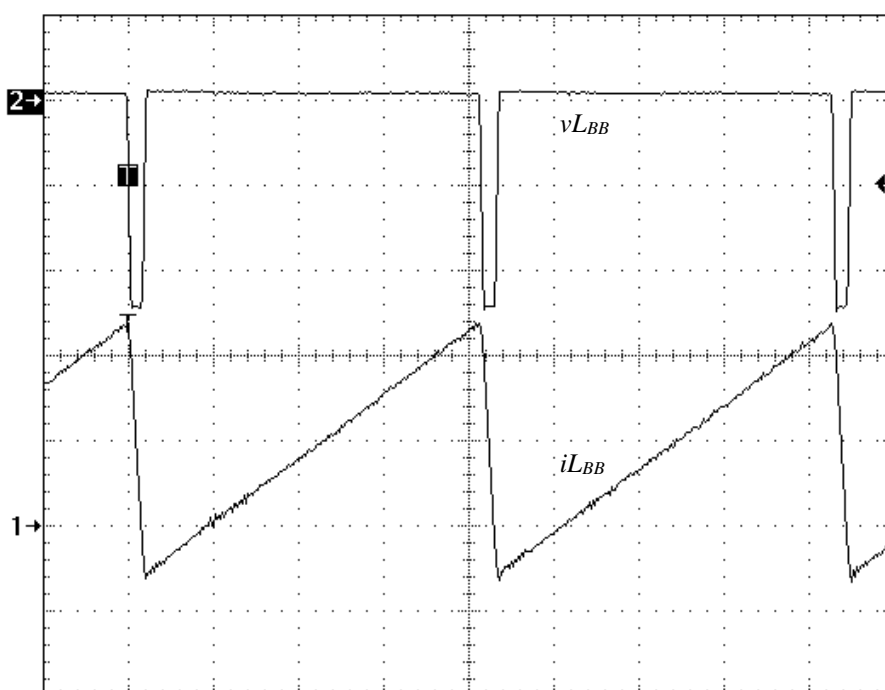


Figura 86 – Tensão e corrente no indutor do conversor *Buck-Boost* (2A/div, 250V/div 5μs/div).

A Figura 87 apresenta tensão de comando e tensão V_{CE} da chave do conversor *Buck-Boost*. Observa-se que a chave é comandada a conduzir durante o período e condução do diodo, garantindo comutação da chave sob tensão nula.

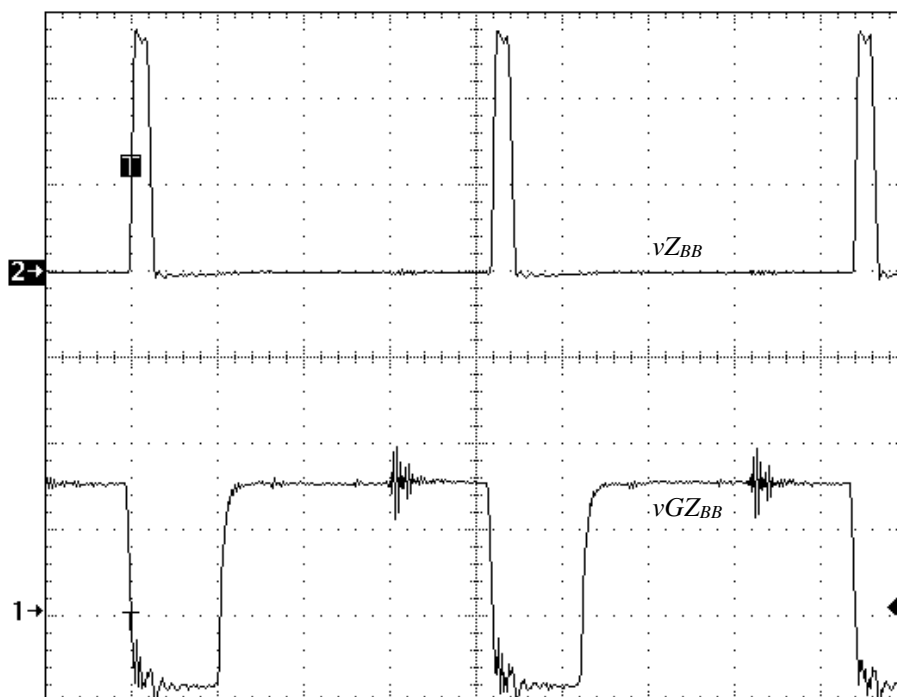


Figura 87 – Tensão de comando na chave e tensão coletor-emissor da chave (10V/div, 250V/div, 5 μ s/div).

A Figura 88 apresenta tensão e corrente sobre a chave do conversor auxiliar. Pode-se observar que quando a chave é comandada a bloquear, a corrente tende à zero, passando então a circular pelo diodo interno da chave. A entrada em condução da chave ocorre quando a tensão ainda é nula, pois a corrente ainda está circulando através do diodo interno da chave, comprovando a comutação suave. Cabe lembrar que a chave deve ser comandada a conduzir durante o tempo que a corrente circula pelo diodo interno da chave.

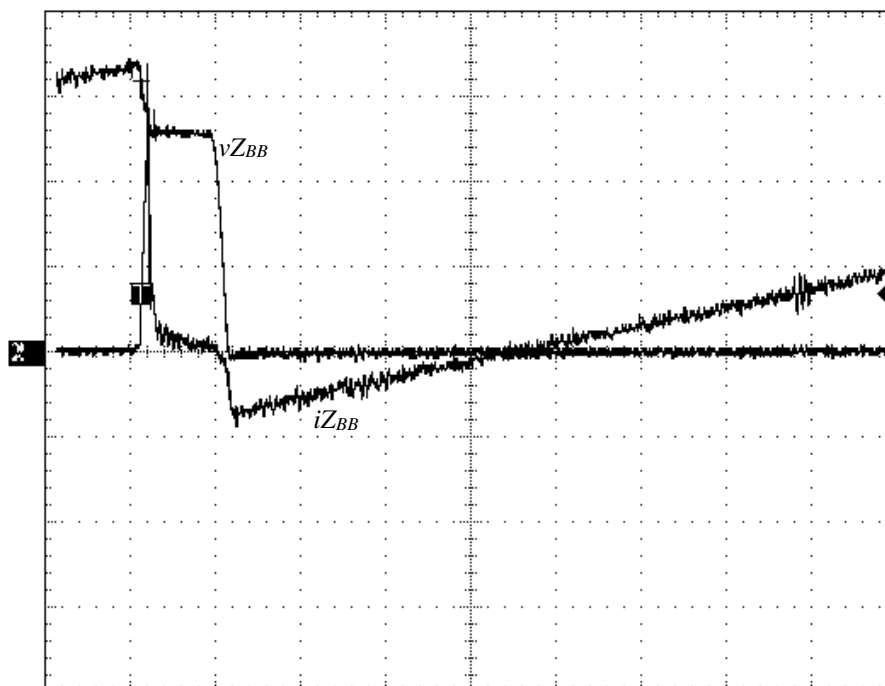


Figura 88 – Tensão coletor-emissor e corrente na chave
(250V/div, 2A/div, 1μs/div).

Pode-se observar em detalhes o bloqueio da chave através da Figura 89. Quando a chave é comandada a bloquear, ocorre a etapa ressonante, carregando-se o capacitor interno da chave. Durante a etapa ressonante, a corrente na chave assume um patamar ligeiramente inferior pois, simultaneamente, ocorre a descarga do capacitor do diodo de roda livre, fazendo um divisor de corrente entre essas duas capacitâncias. Quando a tensão assume seu valor final, a corrente diminui e tende a zero. Pode-se ainda observar a corrente de cauda característica da tecnologia IGBT. As perdas por comutação poderiam ser reduzidas ainda mais com a utilização de um transistor do tipo MOSFET, pois o tempo de abertura seria menor e não haveria o efeito de corrente de cauda. Deve-se ter em mente que nestas escalas de tempo, os atrasos de transporte das ponteiros isoladas de tensão e corrente passam a influenciar significativamente nas formas de onda, impossibilitando uma avaliação mais precisa das superposições de tensão e corrente e, consequentemente, das perdas de comutação.

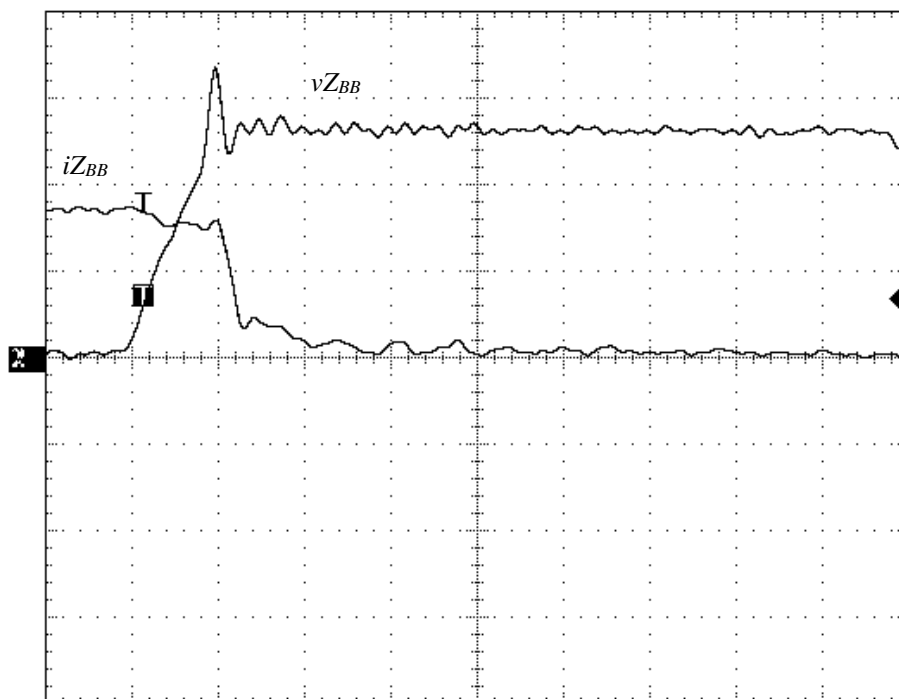


Figura 89 – Detalhe da comutação da chave do conversor auxiliar (250V/div, 4A/div, 100ns/div).

Pode-se observar na Figura 90 a tensão v_{C_G} especificada no projeto. Nota-se que seu valor é constante, em torno de 32V e apresenta pouca variação do valor médio com os períodos de chaveamento.

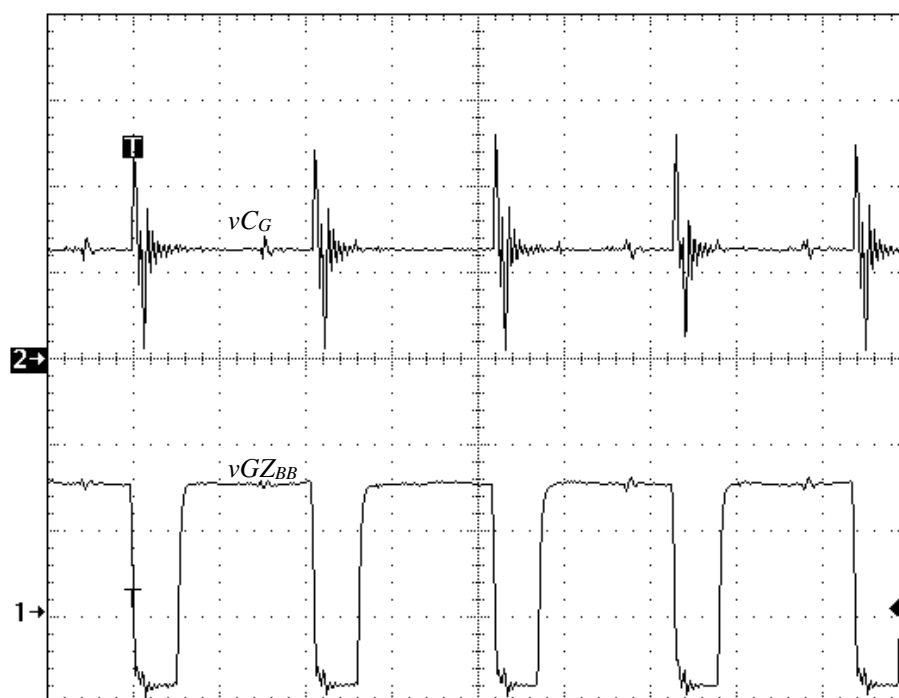


Figura 90 – Tensão no capacitor de grampeamento e tensão de comando da chave Z_{BB} (10V/div, 25V/div, 10μs/div).

Foram levantadas curvas de rendimento para o inversor trifásico para duas condições distintas de tensão de saída, 127V e 220V, enquanto que a tensão de barramento foi mantida constante. A medição das potências foi realizada com dois wattímetros trifásicos, de modo que a potência de entrada foi medida entre o retificador de entrada e o inversor trifásico, somando-se a potência média em cada ramo do barramento. A potência de saída foi obtida através da soma das potências das três fases, após o filtro de saída, e representa a potência fornecida à carga.

Para o caso de 127V, tem-se o circuito operando com corrente nominal máxima. Para o caso de 220V, tem-se a tensão nominal máxima. Para ambos os valores de tensão, foram levantados os valores do rendimento com tensão de barramento constante e variando-se a carga. Além disso, foram obtidas curvas de rendimento com e sem o circuito de regeneração de energia, conforme mostram a Figura 91 e a Figura 92. Na ausência do circuito de regeneração, foi utilizado um banco de resistências para dissipar a energia processada pelo *snubber* que é entregue no capacitor C_G . A resistência foi escolhida de modo que a tensão no capacitor C_G apresentasse o mesmo valor para os dois casos, garantindo a mesma quantidade de energia sendo processada pelo *snubber*.

Pode-se observar que a inclusão do conversor auxiliar faz com que ocorra um aumento no rendimento, uma vez que a energia processada pelo *snubber* é devolvida ao barramento, ao invés de ser dissipada no banco de resistores.

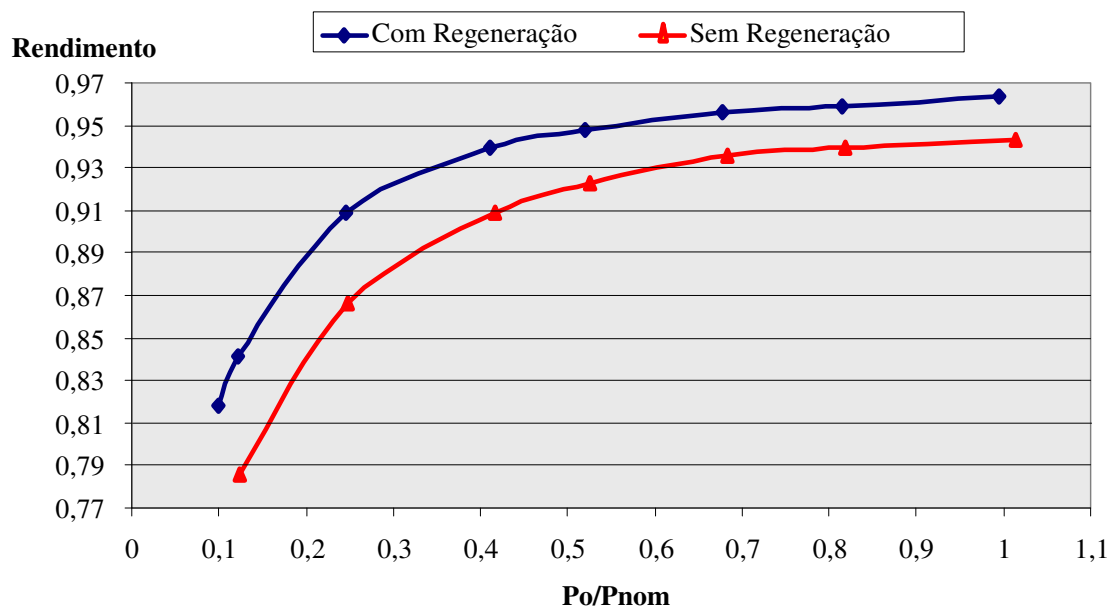


Figura 91 – Comparativo de rendimento para tensão de saída de 220V.

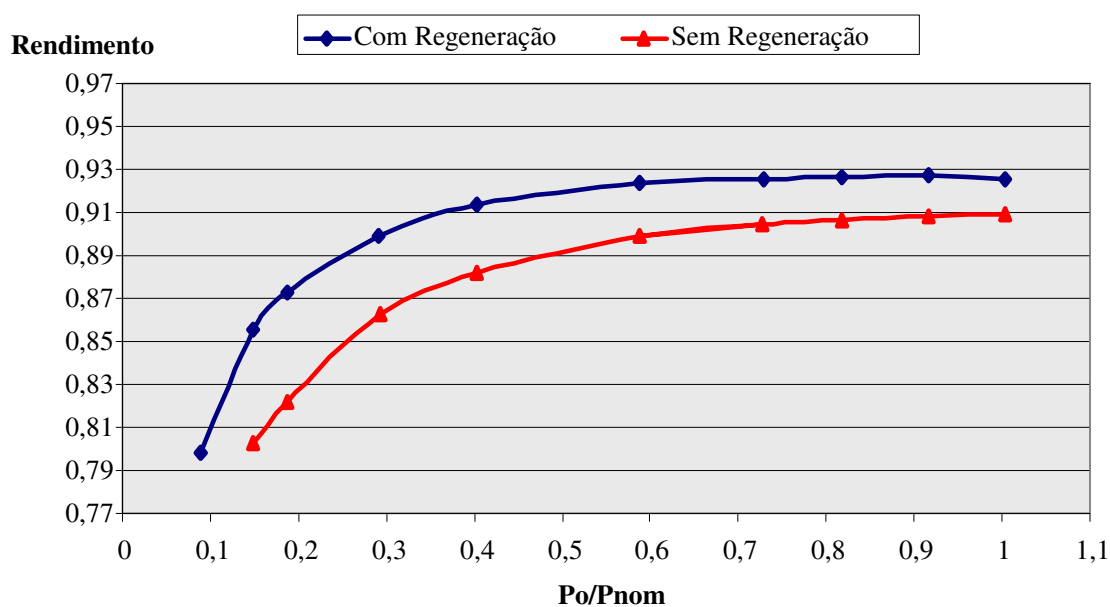


Figura 92 – Comparativo de rendimento para tensão de saída de 127V.

6.6. CONCLUSÃO

Para a realização dos ensaios no inversor trifásico, verificou-se uma necessidade que vai além da modelagem e estudo das estruturas de potência e controle. Apesar destes circuitos representarem a parte mais importante do estudo, foi necessário interligar cada uma das estruturas, estudar e desenvolver diversos circuitos auxiliares e realizar diversos ajustes para que o circuito completo operasse corretamente.

O inversor trifásico com *Snubber de Undeland* modificado e o conversor auxiliar *Buck-Boost* QSC-ZVS apresentaram resultados práticos bastante similares ao encontrados teoricamente. Em relação ao *Snubber de Undeland*, percebeu-se que existe diferença entre os valores práticos e teóricos da energia retirada da comutação e enviada para o capacitor de grameamento. Acredita-se que as diferenças possam ser oriundas das simplificações utilizadas para obtenção do equacionamento, ou seja, que possa ser causado pela ondulação da corrente de saída, pela superposição de etapas de operação quando as tensões de saída apresentam valores absolutos próximos e pelas capacitâncias, indutâncias e resistências parasitas existentes no circuito e nos componentes. Contudo, como a escolha dos componentes para a confecção do protótipo foi baseada nos esforços calculados e simulados e o protótipo apresentou operação estável dentro das especificações de projeto, confirma-se que o estudo foi válido e propiciou uma correta especificação dos componentes.

Para o conversor auxiliar, os cálculos apresentados nas seções anteriores refletiram com precisão satisfatória os resultados da implementação prática, verificando-se a validade do estudo.

A utilização do *snubber* se justifica pelo fato de reduzir as perdas de comutação nos semicondutores principais do inversor, possibilitando que o mesmo circuito possa operar com potência nominal mais elevada, quando as perdas seriam suficientemente altas a ponto de ultrapassar a capacidade de transferência de calor da chave para o dissipador e provocaria a queima das chaves.

A inclusão do conversor auxiliar proporcionou um aumento no rendimento do conversor da ordem de 2%, como se pode observar nos gráficos de rendimento apresentados, pois a energia processada pelo *Snubber de Undeland*, que originalmente seria dissipada em um resistor, foi devolvida para o barramento através do conversor auxiliar.

Do ponto de vista do controle, verificou-se que o estudo, projeto e implementação apresentaram resultados coerentes e, de maneira geral, os resultados práticos comprovaram o bom desempenho do controle digital. Na prática, obteve-se melhores resultados para as tensões de saída, principalmente refletidos na redução da distorção harmônica, quando a frequência de cruzamento da $FTMA_V$ foi alterada para um valor dez vezes menor que a frequência de comutação. É evidente que tal alteração representou uma piora na resposta dinâmica, uma vez que a banda passante foi reduzida. Entretanto, observou-se que, apesar disso, a resposta dinâmica do conversor foi satisfatória, principalmente observando-se os resultados encontrados com a presença de cargas não lineares e de sinais com elevado conteúdo harmônico.

7. CONCLUSÕES GERAIS

O presente trabalho abordou o estudo e projeto do inversor trifásico com *Snubber de Undeland*, empregando o conversor auxiliar *Buck-Boost* para regeneração da energia processada pelo *snubber*, e controlado digitalmente pelo DSP TMS320F1812 da Texas Instruments. Para tal, cada uma das partes integrantes do projeto foram estudadas com considerável profundidade e, a partir do estudo, foram obtidos equacionamentos capazes de possibilitar o correto projeto de todas as partes. Além disso, foi desenvolvido um protótipo e, a partir dele, foram obtidos e apresentados resultados experimentais, comprovando que o estudo desenvolvido foi coerente e válido.

Da estrutura de potência do inversor com *Snubber de Undeland*, pôde-se verificar que a inclusão do *snubber* propicia uma série de benefícios, tais como a redução da interferência eletromagnética e a redução das perdas de comutação nos semicondutores do inversor. Apesar de não ter sido verificado experimentalmente, é de conhecimento da comunidade acadêmica que a utilização de circuitos que promovem a comutação suave apresentam significativa redução da interferência eletromagnética conduzida e irradiada, quando comparados aos circuitos com comutação forçada. Apesar disso, a inclusão do *snubber* provocou um aumento na complexidade de análise do circuito, já que as etapas de operação passaram de 6 etapas para 21 etapas. Mesmo com as dificuldades encontradas, foram estudadas todas as etapas de operação, foram obtidos os gráficos básicos das principais formas de onda nos componentes e foram levantados os equacionamentos para determinação nos esforços dos componentes do inversor e do *snubber*, sendo que esta foi a principal contribuição do estudo. Do ponto de vista prático, verificou-se que as não linearidades do circuito e outros fatores ainda não determinados fizeram com que a energia processada pelo *snubber* obtida no circuito prático ficasse abaixo do valor esperado de projeto. Contudo, a inclusão do *snubber* possibilitou que as condições de projeto fossem alcançadas com os

semicondutores utilizados. Sem a presença do *snubber*, as perdas por comutação tornar-se-iam tais que as chaves não conseguiriam dissipar tal potência e o sistema entraria em colapso.

A utilização do conversor *Buck-Boost* para regeneração da energia do *snubber* mostrou-se uma solução atrativa, principalmente quando operada no modo QSC-ZVS. Com a inclusão de poucos componentes e com um comando bastante simplificado, pôde-se obter uma melhoria no rendimento do inversor com *snubber*, comprovando sua contribuição à estrutura. Além disso, com o equacionamento apresentado, facilmente consegue-se projetar a estrutura para operar dentro das características desejadas.

O controle realizado digitalmente com o DSP TMS320F2812 mostrou-se plenamente capaz e, com os resultados encontrados, comprovou-se que seu desempenho foi satisfatório mesmo na presença de cargas não lineares e sinais de tensão com elevado conteúdo harmônico. A frequência de amostragem de 100kHz contribuiu para o bom desempenho do controle e tornou viável o projeto do controlador para as especificações impostas. A realização do controle de maneira digital tem se tornado cada vez mais comum nos conversores estáticos de potência. Um ponto muito importante para o interesse neste tipo de controle está no fato de que um mesmo processador pode realizar o controle da estrutura de potência e, além disso, realizar todo o trabalho supervisorio do conversor, como por exemplo, monitoramento de erros, comunicação serial, mudanças de frequência e amplitude do sinal de saída, acionamento de relés, interface com o usuário, etc.

O desenvolvimento do código é bastante cômodo e feito todo em linguagem de alto nível. Comprovou-se desta maneira, que o compilador utilizado apresenta ótimo desempenho na conversão do código entre as linguagens C++ e Assembly. Foram necessários apenas alguns cuidados básicos na elaboração da codificação da rotina de controle, visando um baixo tempo de execução do código. Utilizando linguagem de alto nível, o código tornou-se legível e de fácil compreensão e alteração.

De um modo geral, pode-se dizer que os principais objetivos foram alcançados e o estudo desenvolvido foi de grande contribuição à comunidade científica.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] DE DONKER, R. W.; LYONS, J. P. **The Auxiliary Resonant Commutated Pole Converter**. Conference Record of IEEE IAS Annual Meeting, v. 2. p. 1228-1235. Out. 1990. Artigo científico.
- [2] HEY, H. L.; STEIN, C. M.; PINHEIRO, J. R.; PINHEIRO, H.; GRÜNDLING, H. A. **Zero-Current and Zero-Voltage Soft-Transition Commutation Cell for PWM Inverters**. IEEE Transactions on Power Electronics, v. 19, n. 2, p. 396-403. Mar. 2004. Artigo científico.
- [3] MCMURRAY, W. **Resonant Snubbers with Auxiliary Switches**. IEEE Transactions on Industry Applications, v. 29, n. 2, p. 355-362. Mar./Abr. 1993. Artigo científico.
- [4] MEZARоба, M.; MARTINS, D. C.; BARBI, I. **Novo Inversor ZVS PWM com Grampeamento Ativo Utilizando um Único Interruptor Auxiliar**. Revista Brasileira de Eletrônica de Potência (SOBRAEP), Ilha Solteira, SP, v. 9, n. 2, p. 45-51, 2004. Artigo Científico.
- [5] MEZARоба, M.; MARTINS, D. C.; BARBI, I. **A ZVS PWM three-phase inverter with active clamping technique using the reverse recovery energy of the diodes**. Power Electronics Specialists Conference, v. 6, p. 4785-4790, Jun. 2004 . Artigo científico.
- [6] PÉRES, A. **Uma Nova Família de Inversores com Comutação Suave Empregando a Técnica de Grampeamento Ativo**. INEP – UFSC, Florianópolis, SC, 2000. Tese de Doutorado.
- [7] CHERITI, A.; AL-HADDAD, K.; DESSAINT, L. A.; MEYNARD, T. A.; MUKHEDKAR, D. **A Rugged Soft Commutated PWM Inverter for AC Drivers**. IEEE Transactions on Power Electronics, v. 7, n. 2, p. 385-392, Abr. 1992. Artigo científico.
- [8] TAUFIQ, J. A. **Advanced Inverters Drivers for Traction**. Fifth European Conference on Power electronics and Applications, v. 5, p 224-228, Set. 2003. Artigo científico.

- [9] UNDELAND, T. M. **Switching Stress Reduction in Power Transistor Converters.** IEEE Industry Applications Society, p. 383-391, 1976. Artigo científico.
- [10] LANGER, H. G.; FREIGIEN, G.; SKUDENLY, H. C. **A Low Loss Turn-on Turn-off Snubber for GTO-Inverters.** IEEE, p. 607-612, 1987. Artigo científico.
- [11] HOLTZ, J.; SALAMA, S. F.; WERNER, H. K. **A Nondissipative Snubber Circuit for High-Power GTO-Inverters.** IEEE Transactions on Industry Applications, v. 25, n. 4, p. 620-626, Jul./Ago. 1989. Artigo Científico.
- [12] FREGIEN, G.; LANGER, H. G.; SKUDENLY, H. C. **A Regenerative Snubber for a 200 kVA GTO-Inverter.** Power Electronics Specialists Conference, 1988. PESC '88 Record, 19th Annual IEEE, v. 1, p. 498 – 505, 1988. Artigo científico.
- [13] BATSCHAUER, A. L.; HEERDT, J. A.; MEZAROB, M. **Conversor CC-CA para Amplificação de Formas de Onda Genéricas Empregando Snubber Regenerativo.** Induscon 2006, 2006. Artigo científico.
- [14] BARBI, I.; MARTINS, D. C. **Conversores CC-CC básicos não isolados.** Edição do Autor, Florianópolis, pp. 111-127, 2000.
- [15] VORPÉRIAN, V. **Quasi-Square-Wave Converters: Topologies and Analysis.** IEEE Transactions on Power Electronics, v. 3, n. 2, p. 183-191, Abr. 1988. Artigo científico.
- [16] RYAN, M. J.; LORENZ, R. D. **A high performance sine wave inverter controller with capacitor current feedback and “back-emf” decoupling,** Power Electronics Specialists Conference, PESC 1995, v1, p. 507-513, 1995. Artigo científico.
- [17] LIN, X.; DUAN, S.; KANG Y.; CHEN, J. **Waveform compensation of PWM inverter in UPS, Power electronics and Drive Systems.** Porceedings, 4th IEEE International Conference, v.1, p. 292-295, 2001. Artigo científico.
- [18] KAI, Z.; YON, K.; JIAN, X.; HUI, Z.; JIAN, C. **Study on an inverter with pole assignment and repetitive control for UPS applications.** The Third International Power Electronics and Motion Control Conference, 2000. Porceedings. PIEMC 2000, v. 2, p. 650-653, Ago. 2000. Artigo científico.
- [19] GUO, W.; DUAN, S.; KANG, Y.; CHEN, J. **A new digital multiple feedback control strategy for single-phase voltage-source PWM inverters.** Proceedings of IEEE Region 10 International Conference on Electrical and Electronic Technology, 2001. TENCON, v, 2, p. 809-813, Ago. 2001. Artigo científico.
- [20] MIHALACHE, L. **DSP control method of single-phase inverters for UPS applications.** Applied Power Electronics Conference and Exposition, APEC 2002. Seventeenth Annual IEEE, v. 1, p.590-596, Mar. 2002. Artigo científico.

- [21] ITO, Y.; KAWAUCHI, S. **Microprocessor-based robust digital control for UPS with three-phase PWM inverter**. IEEE Transactions on Power Electronics, v. 10, p. 196-204, Mar. 1995. Artigo científico.
- [22] CARDOSO, F. L. **Projeto de um Retificador Bidirecional com Alto Fator de Potência com Controle por Valores Médios Instantâneos Implementado no DSP TMS320F2812**. LEPO – UDESC, Joinville, SC, 2006. Dissertação de Mestrado.
- [23] SCHOLTZ, J. S. **Projeto de um Retificador Trifásico Regenerativo com Elevado Fator de Potência e Controle em Coordenadas “DQ0” Implementado no DSP TMS320F2812**. LEPO – UDESC, Joinville, SC, 2006. Dissertação de Mestrado.
- [24] GERENT, F. H. **Metodologia de Projeto de Inversores Monofásicos de Tensão para Cargas Não Lineares** INEP – UFSC, Florianópolis, SC, Junho de 2005. Dissertação de Mestrado.
- [25] VORPÉRIAN, V. **Quasi-Square-Wave Converters: Topologies and Analysis**. IEEE Transactions on Power Electronics, v. 3, n. 2, p. 183-191, ABR. 1988. Artigo científico.
- [26] BARBI, I. **Eletrônica de Potência**. Edição do Autor, Florianópolis: INEP/UFSC, 6ª Edição, 2006.
- [27] BARCKZAK, C. L. **Controle Digital de Sistemas Dinâmicos – Projeto e Análise**. Editora Edgard Blücher Ltda, São Paulo, SP. 1994.
- [28] LINDEKE, D. **Projeto de um Filtro Ativo Paralelo de 1kVA Usando técnicas de Controle Analógico e Digital**. INEP - UFSC, Florianópolis, SC, 2003. Dissertação de Mestrado.
- [29] MUSSA, S. A. **Controle de um conversor CA-CC trifásico PWM de três níveis com fator de potência unitário utilizando DSP**. INEP – UFSC, Florianópolis, SC, 2003. Tese de Doutorado.
- [30] OGATA, K. **Discret-Time Control Systems. Second Edition**. Prentice Hall, New Jersey, 1994.
- [31] OGATA, K. **Modern Control Engineering**. Third Edition. Prentice Hall, New Jersey, 1997.
- [32] RAYCIK, J. C. **Projeto de um Retificador de Corrente Reversível com Alto Fator de Potência Implementado em DSP**. LEPO – UDESC, Joinville, SC, 2004. Dissertação de Mestrado.

- [33] TOMASELLI, L. C. **Controle de um pré-regulador com alto fator de potência utilizando o controlador DSP TMS320F243**. INEP -UFSC, Florianópolis, SC, 2001. Dissertação de Mestrado.
- [34] BARBI, I.; NOVAES, Y. R.; SOUZA, F. P.; BORGONOVO, D. **Retificadores PWM Trifásicos Unidirecionais com Alto Fator de Potência**. Eletrônica de Potência, vol. 7, n° 1. Nov. 2002.
- [35] BARBI, I. **Projeto de Fontes Chaveadas**. Edição do Autor. Florianópolis, 2001.
- [36] PRADO JÚNIOR, A. **Introdução ao Controle Digital**. Publicação Interna CCT – UDESC, Jul. 1989.
- [37] BRAGA, N. **Uma introdução ao DSP – Parte 1**. Revista Saber Eletrônica, n. 335. São Paulo, Dez. 2000.
- [38] TRADIFF, D.; BARTON, T. H. **A Summary of Resonant Snubbers Circuits for Transistors and GTOs**. IEEE 1989, p. 1176-1180, 1989. Artigo científico.
- [39] FOCH; CHERON, M.; METZ, M.; MEYNARD, T. **Commutation Mechanisms and Soft Commutation in Static Converters**. COBEP 91, p. 338-346, 1991. Artigo científico.
- [40] BINGEN. **High Current and Voltage Transistor Utilization**. Proceedings of First European Conference on Power Electronics and Applications, 1985, v. 1, p. 15-20. Artigo científico.
- [41] DIVAN, D. M.; SKIBINSK, G. **Zero-Switching-Loss Inverters for High-Power Applications**. IEEE Transactions on Industry Applications, v. 25, n. 2, p. 634-643, Jul. 1989. Artigo científico.
- [42] BASSETT. **New Zero Voltage Switching, High Frequency Boost Converter Topology for Power Factor Correction**. INTELELEC'95, p. 813-820. Artigo científico.
- [43] FÉLIX, C. H. F. **Controle Digital de Uma UPS Trifásica**. PPGEE - UFMG, Belo Horizonte, MG, 2003. Dissertação de Mestrado.

APÊNDICE I – PROJETO FÍSICO DO INDUTOR DO SNUBBER

Conforme apresentado no capítulo 2, os dados para o projeto do indutor do *snubber* são:

$$L_s = 5\mu H \quad (I.1)$$

$$iL_{ef} = 17,72A \quad (I.2)$$

$$iL_{pico} = [iL_A(t) + iL_B(t)]_{max} + I_M = iL_{C_mác} + I_M = 37,8 + 19,6 = 57,4A \quad (I.3)$$

De posse dos valores de indutância e correntes apresentados acima, pode-se especificar fisicamente o indutor a ser utilizado, caracterizando seus parâmetros construtivos conforme mostrado na seqüência.

Para o dimensionamento físico do indutor, deve-se inicialmente determinar o núcleo a ser utilizado. Considerando que os valores de densidade de corrente, fluxo magnético e fator de preenchimento da janela do núcleo devem ser arbitrados inicialmente, utilizaram-se valores convencionais de projeto, sendo apresentados na Tabela 15.

Tabela 15 – Dados para projeto do indutor do snubber.

Fluxo magnético	$B_{max} = 0,1T$
Densidade de corrente	$J_{max} = 450 \frac{A}{cm^2}$
Fator de preenchimento da janela do núcleo	$k_w = 0,7$

De posse destes dados, pode-se determinar o produto de áreas mínimo necessário para o núcleo a ser escolhido, desta forma:

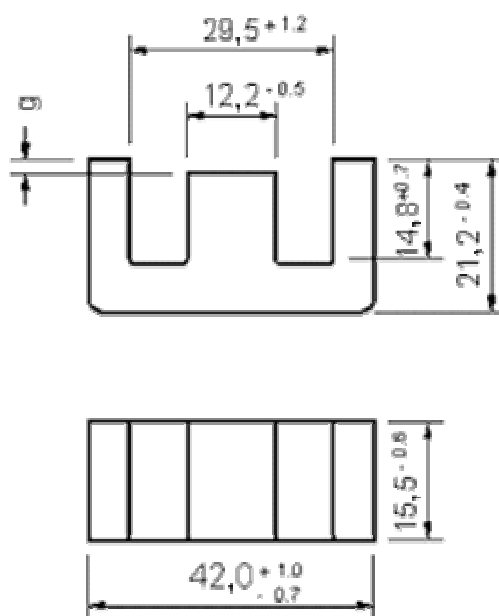
$$Ae \cdot Aw = \frac{Ls \cdot iLs_{pico} \cdot iLs_{ef}}{B_{max} \cdot J_{max} \cdot kw} = \frac{5 \cdot 10^{-6} \cdot 57,4 \cdot 17,7}{0,1 \cdot 450 \cdot 0,7} = 1,615 \text{ cm}^4 \quad (\text{I.4})$$

onde:

$Ae \Rightarrow$ Área efetiva do núcleo (mm^2)

$Aw \Rightarrow$ Área da janela do núcleo (mm^2)

Para atender a este produto de áreas necessário, opta-se por utilizar o núcleo modelo NEE-42/21/15 da Thornton, o qual apresenta produto de áreas de $2,842 \text{ cm}^4$, já considerando o carretel sobre o qual o indutor será enrolado. A geometria do núcleo escolhido é apresentada abaixo na Figura 93, a qual foi retirada do catálogo eletrônico da Thorton.



Dimensões em mm

Figura 93 – Núcleo de ferrite escolhido para o projeto do indutor do snubber.

Tabela 16 – Características do núcleo EE-42/21/15.

Ae	$1,81 \text{ cm}^2$
Aw	$1,57 \text{ cm}^2$
lm	$8,7 \text{ cm}$
Ve	$17,6 \text{ cm}^3$

O número de espiras necessário ao indutor é calculado conforme a equação (I.5), sendo este sempre arredondado para cima.

$$N_{esp} = \frac{L_s \cdot iL_{s_{pico}}}{B_{max} \cdot Ae} = \frac{5 \cdot 10^{-6} \cdot 57,4}{0,1 \cdot 1,57 \cdot 10^{-4}} = 16 \quad (I.5)$$

Onde o valor de Ae é retirado da Tabela 16. Devido à elevada frequência de chaveamento do conversor, deve-se estar atento ao efeito pelicular que existirá sobre os condutores do circuito. Pode-se então calcular o diâmetro máximo para o condutor a ser utilizado para a construção do indutor de modo que não haja desperdício de cobre no condutor e com um menor volume para o indutor. Desta forma, utilizando-se o coeficiente de penetração no cobre, pode-se calcular o diâmetro máximo do condutor como sendo:

$$Diam_{max} = \frac{15 \cdot cm \cdot s^{-0.5}}{\sqrt{fs}} = \frac{15}{\sqrt{50000}} = 0,671 mm \quad (I.6)$$

Sabendo-se o valor máximo para o diâmetro do fio que comporá o indutor, opta-se por utilizar o fio AWG 28, o qual apresenta as seguintes características:

Tabela 17 – Dados do fio 28 AWG.

Diâmetro do fio nu	$D_{28} = 0,032 cm$
Área do fio nu	$S_{28} = 0,081 mm^2$
Área do fio isolado	$S_{28_{isol}} = 0,1083 mm^2$
Resistência do fio a 100°C	$R_{28_{100^\circ C}} = 0,002845 \Omega/cm$

A área de cobre necessária para o indutor pode ser calculada como sendo uma relação entre a corrente que deverá passar pelo indutor pela densidade máxima de corrente suportável pelo cobre. Assim, a área de cobre do indutor é dada por:

$$S_{L_s} = \frac{I_{L_{-ef}}}{J_{max}} = \frac{17,7}{450} = 3,94 mm^2 \quad (I.7)$$

Desta forma, o número de fios paralelos que irão compor o indutor é uma relação direta entre a área necessária ao indutor e a área de cada fio AWG 19, arredondando-se o valor para cima. Assim:

$$N_{FP} = \frac{S_{Ls}}{S_{28}} = 49 \quad (I.8)$$

Sabendo-se que o diâmetro do fio de cobre isolado é maior do que o diâmetro do fio de cobre nu e que há um fator de preenchimento da janela do núcleo, pode-se fazer uma verificação da possibilidade de realização do projeto como sendo:

$$A_{necessária} = \frac{N_{esp} \cdot S_{28_{isol}} \cdot N_{FP}}{k_w} = \frac{16 \cdot 0,1083 \cdot 49}{0,7} = 1,213 \text{ cm}^2 \quad (I.9)$$

Como a área necessária para a janela do núcleo é menor do que a área disponível, mesmo considerando o carretel para enrolar o indutor, o projeto é fisicamente realizável.

Considerando a permeabilidade magnética (μ_o) como sendo:

$$\mu_o = 4 \cdot \pi \cdot 10^{-7} \text{ H/m} \quad (I.10)$$

O entreferro em cada perna do núcleo magnético do indutor pode ser calculado como sendo:

$$entreferro = \frac{(N_{esp})^2 \cdot \mu_o \cdot Ae}{2 \cdot Ls} = 11,6 \text{ mm} \quad (I.11)$$

APÊNDICE II – PROJETO FÍSICO DO INDUTOR AUXILIAR

Conforme apresentado no capítulo 3, os dados para o projeto do indutor do conversor auxiliar são:

$$L_{BB} = 97 \mu H \quad (\text{II.1})$$

$$I_{MBB} = 4,31 A \quad (\text{II.2})$$

$$iL_{BB_ef} = 2,22 A \quad (\text{II.3})$$

De posse dos valores de indutância e correntes apresentados acima, pode-se especificar fisicamente o indutor a ser utilizado, caracterizando seus parâmetros construtivos conforme mostrado na seqüência.

Para o dimensionamento físico do indutor, deve-se inicialmente determinar o núcleo a ser utilizado. Considerando que os valores de densidade de corrente, fluxo magnético e fator de preenchimento da janela do núcleo devem ser arbitrados inicialmente, utilizaram-se valores convencionais de projeto, sendo apresentados na Tabela 18.

Tabela 18 – Dados para projeto do indutor do conversor auxiliar.

Fluxo magnético	$B_{\max} = 0,15 T$
Densidade de corrente	$J_{\max} = 400 \frac{A}{cm^2}$
Fator de preenchimento da janela do núcleo	$k_w = 0,7$

De posse destes dados, pode-se determinar o produto de áreas mínimo necessário para o núcleo a ser escolhido, desta forma:

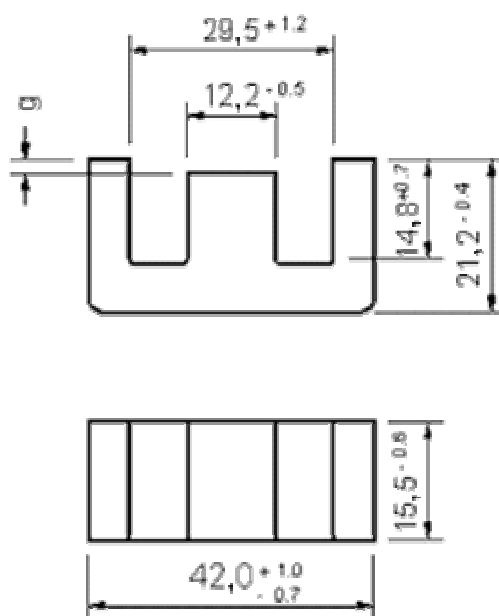
$$Ae \cdot Aw = \frac{L_{BB} \cdot I_{MBB} \cdot iL_{BB_ef}}{B_{max} \cdot J_{max} \cdot kw} = \frac{97 \cdot 10^{-6} \cdot 4,31 \cdot 2,22}{0,15 \cdot 400 \cdot 0,7} = 0,221 \text{ cm}^4 \quad (\text{II.4})$$

onde:

$Ae \Rightarrow$ Área efetiva do núcleo (mm^2)

$Aw \Rightarrow$ Área da janela do núcleo (mm^2)

Para atender a este produto de áreas necessário, opta-se por utilizar o núcleo modelo NEE-42/21/15 da Thornton, o qual apresenta produto de áreas de $2,842 \text{ cm}^4$, já considerando o carretel sobre o qual o indutor será enrolado. A geometria do núcleo escolhido é apresentada abaixo na Figura 94, a qual foi retirada do catálogo eletrônico da Thorton.



Dimensões em mm

Figura 94 – Núcleo de ferrite escolhido para o projeto do indutor auxiliar.

O número de espiras necessário ao indutor é calculado conforme a equação (II.5), sendo este sempre arredondado para cima.

$$N_{esp} = \frac{L_{BB} \cdot I_{MBB}}{B_{max} \cdot Ae} = \frac{97 \cdot 10^{-6} \cdot 4,31}{0,15 \cdot 1,57 \cdot 10^{-4}} = 16 \quad (\text{II.5})$$

Onde o valor de Ae é retirado da Tabela 16. Devido à elevada frequência de chaveamento do conversor, deve-se estar atento ao efeito pelicular que existirá sobre os

condutores do circuito. Pode-se então calcular o diâmetro máximo para o condutor a ser utilizado para a construção do indutor de modo que não haja desperdício de cobre no condutor e com um menor volume para o indutor. Desta forma, utilizando-se o coeficiente de penetração no cobre, pode-se calcular o diâmetro máximo do condutor como sendo:

$$Diam_{\max} = \frac{15 \cdot cm \cdot s^{-0.5}}{\sqrt{fs}} = \frac{15}{\sqrt{50000}} = 0,0671 cm \quad (II.6)$$

Sabendo-se o valor máximo para o diâmetro do fio que comporá o indutor, opta-se por utilizar o fio AWG 28. Suas características podem ser vistas na Tabela 17.

A área de cobre necessária para o indutor pode ser calculada como sendo uma relação entre a corrente que deverá passar pelo indutor pela densidade máxima de corrente suportável pelo cobre. Assim, a área de cobre do indutor é dada por:

$$S_{LBB} = \frac{iL_{BB-ef}}{J_{\max}} = \frac{2,22}{400} = 0,555 mm^2 \quad (II.7)$$

Desta forma, o número de fios paralelos que irão compor o indutor é uma relação direta entre a área necessária ao indutor e a área de cada fio AWG 19, arredondando o valor para cima. Assim:

$$N_{FP} = \frac{S_{LBB}}{S_{28}} = 7 \quad (II.8)$$

Sabendo-se que o diâmetro do fio de cobre isolado é maior do que o diâmetro do fio de cobre nu e que há um fator de preenchimento da janela do núcleo, pode-se fazer uma verificação da possibilidade de realização do projeto como sendo:

$$A_{necessária} = \frac{N_{esp} \cdot S_{28_{isol}} \cdot N_{FP}}{k_w} = \frac{16 \cdot 0,1083 \cdot 7}{0,7} = 0,173 cm^2 \quad (II.9)$$

Como a área necessária para a janela do núcleo é menor do que a área disponível, mesmo considerando o carretel para enrolar o indutor, o projeto é fisicamente realizável.

Considerando a permeabilidade magnética (μ_o) como sendo:

$$\mu_o = 4 \cdot \pi \cdot 10^{-7} H/m \quad (II.10)$$

O entreferro em cada perna do núcleo magnético do indutor pode ser calculado como sendo:

$$entreferro = \frac{(N_{esp})^2 \cdot \mu_o \cdot Ae}{2 \cdot L_s} = 0,3 mm \quad (II.11)$$

APÊNDICE III – PROJETO FÍSICO DO INDUTOR FILTRO DE SAÍDA

Para o filtro de saída, será utilizado um núcleo toroidal de pó de ferro, visando uma melhor otimização física dos indutores. Conforme apresentado no capítulo 2, os dados para o projeto do indutor do filtro de saída são:

$$L_{A,B,C} = 566 \mu H \quad (\text{III.1})$$

$$I_o = 11,8 A \quad (\text{III.2})$$

$$I_{o_{max}} = I_{A,B,C_{max}} = 37,79 A \quad (\text{III.3})$$

De posse dos valores de indutância e correntes apresentados acima, pode-se especificar fisicamente o indutor a ser utilizado, caracterizando seus parâmetros construtivos conforme mostrado na sequência.

Para o dimensionamento físico do indutor, deve-se inicialmente determinar o núcleo a ser utilizado. Considerando que os valores de densidade de corrente, fluxo magnético e fator de preenchimento da janela do núcleo devem ser arbitrados inicialmente, utilizaram-se valores convencionais de projeto, sendo apresentados na Tabela 19:

Tabela 19 – Dados para projeto do indutor do filtro de saída

Fluxo magnético	$B_{max} = 0,62 T$
Densidade de corrente	$J_{max} = 590 \frac{A}{cm^2}$
Fator de preenchimento da janela do núcleo	$k_w = 0,4$

De posse destes dados, pode-se determinar o produto de áreas mínimo necessário para o núcleo a ser escolhido, desta forma:

$$A_p = \left(\frac{L_o \cdot I_o \cdot I_{o_{max}}}{B_{max} \cdot J_{max} \cdot kw} \right)^x = \left(\frac{566 \cdot 10^{-6} \cdot 11,81 \cdot 37,79}{0,62 \cdot 590 \cdot 0,4} \right)^{1,14} = 25,731 \text{ cm}^4 \quad (\text{III.4})$$

onde:

$A_p \Rightarrow$ Produto de áreas do núcleo

$x \Rightarrow$ Valor tabelado

Para atender a este produto de áreas necessário, opta-se por utilizar o núcleo modelo 2x MMT330T7725 da Magmatec, o qual apresenta produto de áreas de $135,072 \text{ cm}^4$. A geometria de um núcleo do modelo escolhido é apresentada abaixo na Figura 95, a qual foi retirada do catálogo eletrônico da Magmatec.

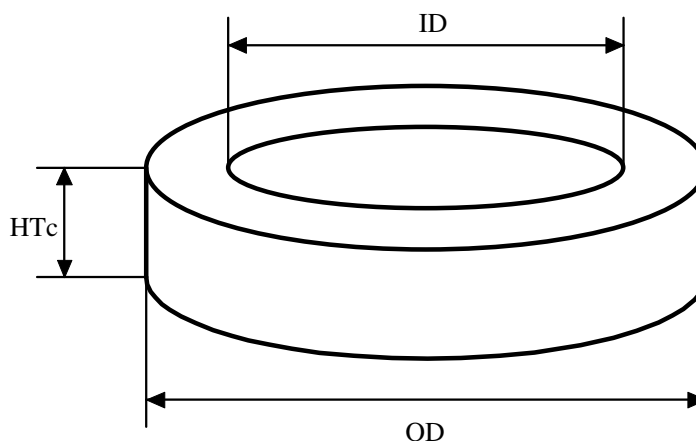


Figura 95 – Núcleo de pó de ferro escolhido para o projeto do indutor do filtro de saída.

Tabela 20 – Características do núcleo MMT330T7725

OD	77,2mm
ID	49,0mm
HTc	25,4mm
μ	30
A_{Lc}	64nH/espira

Levando em consideração que serão usados dois núcleos empilhados, os demais dados do núcleo podem ser obtidos como segue.

A indutância característica do núcleo é dada por (III.5):

$$A_L = 2 \cdot A_{Lc} = 128 \text{ nH} \quad (\text{III.5})$$

A nova altura do núcleo é dada por (III.6):

$$HT = 2 \cdot HTc = 5,08cm \quad (III.6)$$

A área da janela é dada por (III.7):

$$Wa = \frac{\pi \cdot ID}{4} = 18,857cm^2 \quad (III.7)$$

A largura da seção magnética é dada por (III.8):

$$l_A = \frac{OD - ID}{2} = 1,41cm \quad (III.8)$$

A área da seção magnética é dada por (III.9):

$$A_c = 7,163cm^2 \quad (III.9)$$

O produto de áreas do núcleo é determinada através de (III.10):

$$Ap = A_c \cdot Wa = 135,072cm^4 \quad (III.10)$$

O comprimento do caminho magnético do núcleo é dado por (III.11):

$$M_{PL} = 2 \cdot \pi \cdot \left(\frac{ID}{2} + \frac{OD - ID}{4} \right) = 19,823cm \quad (III.11)$$

O número de espiras necessário ao indutor é calculado conforme a equação (III.12), sendo este sempre arredondado para cima.

$$N_{esp} = \sqrt{\frac{Lo}{A_L}} = \sqrt{\frac{566 \cdot 10^{-6}}{128 \cdot 10^{-9}}} = 67espiras \quad (III.12)$$

Devido à elevada frequência de chaveamento do conversor, deve-se estar atento ao efeito pelicular que existirá sobre os condutores do circuito. Pode-se então calcular o diâmetro máximo para o condutor a ser utilizado para a construção do indutor de modo que não haja desperdício de cobre no condutor e com um menor volume para o indutor. Na prática, o efeito pelicular implica em uma redução do cobre útil do fio e, conseqüentemente, um aquecimento mais elevado dos condutores. Devido ao fato do indutor toroidal possuir os enrolamentos em camada única, com fácil acesso aos condutores, o calor excedente gerado pelo efeito pelicular não se torna problemático, uma vez que a eficiência térmica do indutor toroidal é superior.

Além disso, a confecção do indutor toroidal utilizando condutores singelos é demasiadamente mais fácil e pode ser realizada com maquinário específico.

A área de cobre necessária para o indutor pode ser calculada como sendo uma relação entre a corrente que deverá passar pelo indutor pela densidade máxima de corrente suportável pelo cobre. Assim, a área de cobre do indutor é dada por:

$$S_{Lo} = \frac{Io}{J_{\max}} = \frac{11,811}{590} = 2,0 \text{ mm}^2 \quad (\text{III.13})$$

Sabendo-se o valor máximo para o diâmetro do fio que comporá o indutor, opta-se por utilizar o fio AWG 12, o qual apresenta as seguintes características:

Tabela 21 – Dados do fio 12 AWG.

Diâmetro do fio nu	$D_{12} = 0,205 \text{ cm}$
Área do fio nu	$S_{12} = 3,3092 \text{ mm}^2$
Área do fio isolado	$S_{12_{\text{isol}}} = 3,7309 \text{ mm}^2$
Resistência do fio a 100°C	$R_{12_{100^\circ\text{C}}} = 0,000070 \text{ } \Omega/\text{cm}$

Desta forma, o número de fios paralelos que irão compor o indutor é uma relação direta entre a área necessária ao indutor e a área de cada fio AWG 19, arredondando o valor para cima. Assim:

$$N_{FP} = \frac{S_{Lo}}{S_{12}} = 1 \quad (\text{III.14})$$

Sabendo-se que o diâmetro do fio de cobre isolado é maior do que o diâmetro do fio de cobre nu e que se deseja enrolar os condutores utilizando uma única camada de enrolamento, pode-se fazer uma verificação da possibilidade de realização do projeto como sendo:

$$N_{fios_m\acute{a}x} = \frac{2 \cdot \pi \left(\frac{ID}{2} - \frac{d_{CABO}}{2} \right)}{d_{CABO}} = 66,48 \text{ espiras} \quad (\text{III.15})$$

Onde o diâmetro do cabo pode ser dado, aproximadamente por:

$$d_{CABO} = 2\sqrt{\frac{S_{\text{fio_isolado}} \cdot N_{FP}}{Ke \cdot \pi}} = 2,18mm \quad (\text{III.16})$$

E, neste caso, $Ke = 1$, pois o cabo é composto por um único condutor.

Como o número de espiras que podem ser enroladas numa única camada do núcleo é maior do que o número de espiras desejado, o projeto é fisicamente realizável.