

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
DEPARTAMENTO DE ENGENHARIA ELÉTRICA – DEE
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA -
PPGEEL

EDUARDO MALDAUN BARRETO

INVERSOR MULTINÍVEL NPC MONOFÁSICO COM COMUTAÇÃO
SUAVE E GRAMPEAMENTO ATIVO

JOINVILLE, SC

2011

EDUARDO MALDAUN BARRETO

**INVERSOR MULTINÍVEL NPC MONOFÁSICO COM COMUTAÇÃO
SUAVE E GRAMPEAMENTO ATIVO**

Dissertação apresentada ao Curso de
Mestrado em Engenharia Elétrica para a
obtenção do título de Mestre em
Engenharia Elétrica.

Orientador: Dr. Marcello Mezaroba.

JOINVILLE, SC

2011

FICHA CATALOGRÁFICA

B273i

BARRETO, Eduardo Maldaun

**Inversor multinível NPC monofásico com
comutação suave e grampeamento ativo**

/ Eduardo Maldaun Barreto;
Orientador: Marcello Mezaroba. – Joinville, 2011.

133 f. : il ; 30 cm.

Incluem referências.

Dissertação (mestrado) – Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Mestrado em Engenharia Elétrica, Joinville, 2011.

1. Inversor NPC. 2. Comutação Suave ZVS 3. FPGA

CDD 621.31

**"INVERSOR MULTINÍVEL NPC MONOFÁSICO COM COMUTAÇÃO
SUAVE E GRAMPEAMENTO ATIVO"**

por

EDUARDO MALDAUN BARRETO

Esta dissertação foi julgada adequada para a obtenção do título de

MESTRE EM ENGENHARIA ELÉTRICA

área de concentração em “Automação de Sistemas”,
e aprovada em sua forma final pelo

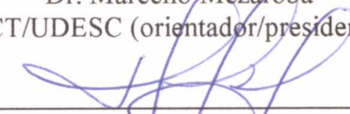
CURSO DE MESTRADO PROFISSIONAL EM ENGENHARIA ELÉTRICA
CENTRO DE CIÊNCIAS TECNOLÓGICAS DA
UNIVERSIDADE DO ESTADO DE SANTA CATARINA.

Banca Examinadora:

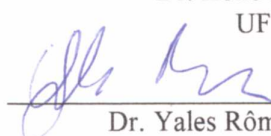
Joinville, 08 de dezembro de 2011.



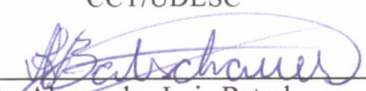
Dr. Marcello Mezaroba
CCT/UDESC (orientador/presidente)



Dr. Hélio Leães Mey
UFSM



Dr. Yales Rômulo de Novaes
CCT/UDESC



Dr. Alessandro Luiz Batschauer
CCT/UDESC (suplente)

À minha mãe Daisy.

Ao meu pai Luís.

À minha esposa Michele

AGRADECIMENTOS

Primeiramente a minha esposa, Michele, pelo seu incentivo constante, pelas palavras de apoio, seus gestos de carinho e compreensão ao longo desta jornada de desenvolvimento pessoal e profissional.

Aos meus pais Luis Manuel e Daisy pelo exemplo de perseverança e pelo incentivo ao estudo.

Aos meus sogros Carlos e Nazaré pelo apoio e carinho que têm por mim.

Ao Prof. Dr. Marcello Mezaroba, meu orientador, que compartilhou parte do seu tempo e de seu conhecimento de forma a tornar a realização deste trabalho possível.

Ao bolsista e amigo Dênis Silva Oliveira que esteve sempre ao meu lado ajudando e acompanhando todas as etapas deste trabalho.

À Universidade do Estado de Santa Catarina – UDESC e ao Programa de Pós-Graduação em Engenharia Elétrica - PGEE pela realização do presente trabalho.

Ao Centro de Ciências Tecnológicas e ao Departamento de Engenharia Elétrica pela infra-estrutura.

A Empresa Whirlpool por me liberar de parte do expediente em prol deste trabalho.

Ao André Braz que em nome da empresa ST Semiconductors, me forneceu Transistores para a realização do protótipo.

Ao Fábio Petrassen de Souza, da empresa DHW, que em nome da empresa Altera forneceu um kit de desenvolvimento para FPGA, onde todo acionamento e controle foram testados.

Aos mestrandos do nPEE da UDESC pela amizade e pela constante ajuda.

A todas as outras pessoas não mencionadas devido a minha falta de atenção, mas que não foram menos importantes para a realização deste projeto. Minhas sinceras desculpas.

RESUMO

Este trabalho apresenta o estudo de um inversor NPC (*Neutral Point Clamped*) a três níveis com comutação suave ZVS (*Zero Voltage Switching*) e controle PWM (*Pulse Width Modulation*), fazendo o uso de uma lógica programável do tipo FPGA (*Field Programmable Gate Array*) para controle e acionamento das chaves. Inicialmente é feito um estudo qualitativo do inversor, onde as principais formas de onda e etapas de operação são apresentadas, a seguir são estudados os aspectos quantitativos para, desta forma, efetuar o projeto do inversor. Com o inversor definido, todos os modelos matemáticos de todos os circuitos necessários para se realizar o controle digital do inversor são apresentados, assim como o projeto de um controlador digital. Utilizando os dados de projeto do inversor NPC ZVS PWM e controle, os resultados de simulações feitas nos programas *Orcad Pspice* e *Simulink* são obtidos. Por fim, um protótipo de 1,5 kW, 800 V de tensão de entrada, 127 V ou 220 V de tensão de saída e 200 kHz de frequência de comutação é montado e os resultados experimentais são avaliados e comparados com os previamente obtidos numericamente e por simulação.

Palavras-Chave: Inversor NPC. Comutação Suave ZVS. FPGA.

ABSTRACT

This work presents a study of a three level NPC (*Neutral Point Clamped*), with ZVS (*Zero Voltage Switching*) and PWM (*Pulse Width Modulation*) control strategy, using a FPGA (*Field Programmable Gate Array*) for digital control and switches activation. First, a theoretical study is done, where the main waveforms and operation stages are presented. After, a quantitative study is done in order to implement the NPC inverter. Based on the calculations, the mathematical models for each inverter section are extracted to implement the digital control. The project data is then compiled and simulated on *Orcad Pspice* and *Simulink* software. Finally, an 1.5 kW, 800 V input voltage, 127 V or 220 V output voltage, and 200 kHz switching frequency is implemented and the experimental results are compared with theoretical and simulated results

Key-Words: NPC Inverter. ZVS Soft Switching. FPGA.

LISTA DE ILUSTRAÇÕES

Figura 1 – Inversor NPC ZVS PWM com grampeamento ativo	24
Figura 2 - Regiões de operação do inversor.	25
Figura 3 – Modulação utilizada.	26
Figura 4 – Primeira etapa de operação.	27
Figura 5 – Segunda etapa de operação.	28
Figura 6 – Terceira etapa de operação.....	29
Figura 7 – Quarta etapa de operação.	29
Figura 8 – Quinta etapa de operação.	30
Figura 9 – Sexta etapa de operação.	31
Figura 10 – Sétima etapa de operação.	32
Figura 11 – Oitava etapa de operação.	32
Figura 12 – Nona etapa de operação.	33
Figura 13 – Formas de onda principais do NPC ZVS PWM.	34
Figura 14 – Tensão $v_{C_{SA}}$ para uma tensão de saída de 220 V.	38
Figura 15 – Tensão $v_{C_{SA}}$ para uma tensão de saída de 127 V.	39
Figura 16 – Corrente i_f quando $R_{OUT} = 32,26 \Omega$, para diversos valores de ma	41
Figura 17 – Corrente i_f quando $R_{OUT} = 10,75 \Omega$, para diversos valores de ma	41
Figura 18 – Valores parametrizados de corrente média e corrente eficaz para os interruptores Q_1 e Q_4	43
Figura 19 – Valores parametrizados de corrente média e corrente eficaz para os interruptores Q_2 e Q_3	44
Figura 20 – Valores parametrizados de corrente média e corrente eficaz para os diodos D_5 e Q_6	46
Figura 21 – Condições da corrente em Q_A existentes para um ciclo de comutação.	47
Figura 22 – Condições de operação para um semi-ciclo da frequência fundamental de saída.	48
Figura 23 – Valores de corrente média para os diodos D_A e D_B	50
Figura 24 – Valores de corrente eficaz para os diodos D_A e D_B	50
Figura 25 – Valores de corrente média para os interruptores Q_A e Q_B	52
Figura 26 – Valores de corrente eficaz para os interruptores Q_A e Q_B	52
Figura 27 – Valores de corrente eficaz para os indutores L_{SA} e L_{SB}	53

Figura 28 - Dimensões do núcleo 30/15/7 da Thornton.	60
Figura 29 – Distribuição de perdas para 127 V.	64
Figura 30 – Distribuição de perdas para 220 V.	65
Figura 29 – Esquema geral de controle contínuo.	67
Figura 30 – Esquema geral de controle digital.	67
Figura 31 – Aproximação do inversor NPC a dois conversores do tipo <i>Buck</i>	68
Figura 32 – Formas de onda na saída dos conversores, antes do filtro.	69
Figura 33 – Circuito simplificado da saída do inversor.	70
Figura 34 – Portadora dente-de-serra e sinal de controle.	71
Figura 35 – Representação da lógica do PWM no FPGA.	72
Figura 36 – Filtro <i>anti-aliasing</i>	72
Figura 37 – Modelo do sensor de tensão.	74
Figura 38 – Malha de controle de tensão.	75
Figura 39 – Malha de controle de tensão simplificada.	75
Figura 40 – Comparação do modelo da planta em s e em w.	78
Figura 41 – Diagrama de bode para o sistema operando com carga mínima.	79
Figura 42 – Diagramas de bode para o sistema operando com carga máxima.	80
Figura 43 – Circuito utilizado para as simulações do circuito de potência.	83
Figura 44 – Corrente no indutor do filtro de saída e tensão na carga (2 A/div, 50 V/div, 1 μ s/div).	84
Figura 45 – Corrente e tensão no interruptor auxiliar Q_A (4 A/div, 100 V/div, 1 μ s/div).	84
Figura 46 – Corrente e tensão no interruptor principal Q_1 (4 A/div, 100 V/div, 1 μ s/div).	85
Figura 47 – Corrente e tensão no interruptor secundário Q_2 (4 A/div, 100 V/div, 1 μ s/div).	85
Figura 48 – Corrente e tensão no diodo de grampeamento D_5 (4 A/div, 100 V/div, 1 μ s/div).	86
Figura 49 – Corrente e tensão no indutor auxiliar L_{SA} (4 A/div, 100 V/div, 1 μ s/div).	86
Figura 50 – Corrente e tensão no capacitor auxiliar C_{SA} (4 A/div, 50 V/div, 1 μ s/div).	87
Figura 51 – Detalhe da comutação suave no interruptor principal (4 A/div, 100 V/div, 400 ns/div).	87
Figura 52 – Tensão no capacitor de grampeamento para carga máxima à 127 V de saída.	88
Figura 53 – Tensão no capacitor de grampeamento para carga máxima à 220 V de saída.	88
Figura 54 – Tensão no capacitor de grampeamento para carga máxima à 127 V de saída.	89
Figura 55 – Tensão no capacitor de grampeamento para carga máxima à 220 V de saída.	89
Figura 56 – Circuito do modulador PWM utilizado no <i>Simulink</i>	91
Figura 57 – Blocos responsáveis pela aquisição dos sinais e controle.	92

Figura 58 – Estágio de potência da simulação no <i>Simulink</i>	92
Figura 59 – Resultado de simulação de degrau de carga a 220 V (100 V/div, 5 A/div, 2 ms/div).	93
Figura 60 – Detalhe para inserção de carga a 220 V (10 V/div, 200 μ s/div).	93
Figura 61 – Detalhe para remoção de carga a 220 V (10 V/div, 200 μ s/div).	94
Figura 62 – Resultado de simulação de degrau de carga para 127 V (50 V/div, 10 A/div, 2 ms/div).	94
Figura 63 – Detalhe para inserção de carga a 127 V (10 V/div, 200 μ s/div).	95
Figura 64 – Detalhe para remoção de carga a 127 V (10 V/div, 200 μ s/div).	95
Figura 65 – Carga não linear utilizada nas simulações.	96
Figura 66 - Simulação de carga não linear para 127 V (50 V/div, 12,5 A/div, 2 ms/div).	97
Figura 67 – Simulação de carga não linear para 220 V (100 V/div, 25 A/div, 2 ms/div).	97
Figura 68 – Componentes harmônicos para 127 V de tensão de saída com carga não linear.	98
Figura 69 – Componentes harmônicos para 220 V de tensão de saída com carga não linear.	98
Figura 70 – Diagrama geral do protótipo implementado.	100
Figura 71 – Vista superior do protótipo.	101
Figura 72 – Esquemático do estágio de entrada.	102
Figura 73 – Esquemático da fonte auxiliar.	103
Figura 74 – Placa de condicionamento.	103
Figura 75 – Fonte de alimentação de 5 V e conector de alimentação.	104
Figura 76 – Conversor de nível de tensão – 3,3 V do FPGA para 15 V dos drivers.	104
Figura 77 – Circuito de condicionamento da tensão de saída.	105
Figura 78 – Diagrama de bode do filtro <i>anti-aliasing</i>	105
Figura 79 – Filtro de saída e sensor de tensão.	106
Figura 80 – Circuito do sensor de tensão.	106
Figura 81 – Estrutura interna de um FPGA.	107
Figura 82 – Placa de processamento com FPGA.	108
Figura 83 – Driver simples.	109
Figura 84 – Driver duplo SKHI 20op.	110
Figura 85 - Placa de alimentação dos secundários dos drivers.	110
Figura 86 – Placa de potência.	111
Figura 87 – Bloco do modulador PWM.	113
Figura 88 – Diagrama de estados do modulador.	113
Figura 89 – Diagrama em blocos da implementação em VHDL.	114

Figura 90 – Corrente e tensão no interruptor Q_1 (2 A/div, 100 V/div, 400 ns/div).....	115
Figura 91 – Corrente e tensão no interruptor Q_2 (2 A/div, 100 V/div, 400 ns/div).....	115
Figura 92 – Corrente e tensão no diodo D_5 (2 A/div, 100 V/div, 400 ns/div).....	116
Figura 93 – Corrente e tensão no interruptor Q_A (2 A/div, 100 V/div, 400 ns/div).....	117
Figura 94 – Corrente e tensão no interruptor Q_A – 2 ciclos (2 A/div, 100 V/div, 1 μ s/div). ...	117
Figura 95 – Corrente e tensão no indutor L_{SA} (4 A/div, 100 V/div, 1 μ s/div).	118
Figura 96 – Tensão antes e após o filtro de saída (100 V/div, 4 ms/div).	118
Figura 97 – Forma de onda de saída 127 V (50 V/div, 2 ms/div).	119
Figura 98 – Forma de onda de saída 220 V (100 V/div, 2 ms/div).	119
Figura 99 – Componentes harmônicos para 127 V de tensão de saída.	120
Figura 100 – Componentes harmônicos para 220 V de tensão de saída.	120
Figura 101 – Resposta ao degrau de carga 50 % - 100 % (50 V/div, 10 A/div, 2 ms/div). ...	121
Figura 102 – Resposta ao degrau de carga 50 % - 100 % (50 V/div, 10 A/div, 2 ms/div). ...	121
Figura 103 – Corrente e tensão sobre a carga não linear (50 V/div, 10 A/div, 4 ms/div).....	122
Figura 104 – Componentes harmônicos para carga não linear e 127 V de tensão de saída. ..	122
Figura 105 – Curvas de eficiência do inversor para comutação <i>hard</i> e <i>soft</i>	124

LISTA DE TABELAS

Tabela 1 – Valores iniciais para análise de $v_{C_{SA}}$	38
Tabela 2 – Especificações gerais do inversor NPC ZVS PWM.....	54
Tabela 3 – Principais características do diodo APT60D120.....	56
Tabela 4 – Principais características do transistor IGBT IRGP50B60PD1.....	57
Tabela 5 – Limites de projeto dos indutores auxiliares.....	59
Tabela 6 - Características do núcleo escolhido.	60
Tabela 7 – Características do fio AWG 28.....	60
Tabela 8 – Perdas nos semicondutores.....	63
Tabela 9 – Especificações do projeto de controle do inversor NPC.	77
Tabela 10 – Comparativo entre os resultados simulados e teóricos.....	90
Tabela 11 – Valores dos componentes para carga não linear.....	96
Tabela 12 – Características do Altera Cyclone EP1C3T144C8.....	108
Tabela 13 - Resultados de eficiência com tensão eficaz de saída de 220 V.....	124

LISTA DE ABREVIACES E SIMBOLOGIA

A/D	Analgico Digital
A_e	rea efetiva do ncleo
A_{min}	rea mnima requerida pelos condutores
ARCPI	<i>Auxiliary Resonant Commutated Pole Inverter</i>
ASIC	Circuito integrado de aplicao especfica – <i>Application Specific Integrated Circuit</i>
A_w	rea da janela do ncleo
B_{max}	Fluxo magntico mximo
C_a	Capacitor do filtro <i>anti-aliasing</i>
CLB	Blocos lgicos configurveis – <i>Configurable Logic Blocks</i>
C_{OUT}	Capacitor ou capacitncia do filtro de sada
$C_{SA,B}$	Capacitor auxiliar para grampeamento A, B
D	Razo cclica
D_{28}	Dimetro do fio AWG28 nu
D_{Cmax}	Dimetro mximo dos condutores
DHT	Distoro Harmnica Total
DSP	<i>Digital Signal Processor</i>
E	Fonte de entrada ou sua tenso
e_f	ndice que indica valor eficaz dentro de um ciclo da tenso de carga
f_a	Frequncia de amostragem do conversor A/D
f_C	Frequncia de cruzamento por zero para a <i>FTMA</i>
f_{clk}	Frequncia de relgio do FPGA
f_s	Frequncia de comutao
f_{OUT}	Frequncia da tenso de sada
FPGA	<i>Field Programmable Gate Array</i>
<i>FTMA</i>	Funo de Transferncia em Malha Aberta
F_v	Ganho do controlador de tenso
G_v	Ganho da planta do inversor
G_{v2}	Ganho da planta do inversor completo
G_{HOLD}	Ganho do amostrador retentor
i	Corrente sobre o componente

i_f	Pico da corrente no instante de abertura do interruptor auxiliar
IGBT	Transistor bipolar com porta isolada – <i>Insulated Gate Bipolar Transistor</i>
i_{OUT}	Corrente na saída do inversor
IOB	Blocos de entrada e saída – <i>Input/ Output Block</i>
i_{rr}	Corrente de recuperação reversa dos diodos de roda-livre
J_{max}	Densidade máxima de corrente
K_{AD}	Ganho do conversor A/D
K_V	Ganho do sensor de tensão
K_w	Fator de utilização da janela do núcleo
L_{OUT}	Indutor do filtro de saída ou sua indutância
$L_{SA,B}$	Indutor auxiliar A, B
l_g	Entreferro do indutor
l_t	Comprimento médio de uma espira
ma	Índice de modulação
MAX	Índice que indica valor máximo
med	Índice que indica valor médio dentro de um ciclo do sinal de carga
mi	Índice que indica valor médio dentro de um ciclo de comutação
min	Índice que indica valor mínimo
N_L	Número de fios em paralelo
N_p	Número de espiras do indutor
NPC	Conversor com ponto neutro grampeado - <i>Neutral-Point Clamped</i>
$pico$	Relativo ao valor de pico
P_{OUT}	Potência nominal do inversor
PWM	Modulação por largura de pulso – <i>Pulse Width Modulation</i>
Q_{rr}	Carga elétrica armazenada no diodo de roda-livre.
R_{LOUT}	Resistência equivalente do filtro de saída.
R_{OUT}	Resistência de carga
R_{28}	Resistência do fio AWG28 a 100°C
R_a	Resistor da realimentação do filtro <i>anti-aliasing</i> ou sua resistência
R_b	Resistor de entrada do filtro <i>anti-aliasing</i> ou sua resistência
R_{DA}	Resistência térmica do dissipador de calor
RCD	Abreviação de Resistor, Capacitor, Diodo
RLDC	Conversor com barramento CC ressonante – <i>Resonant DC Link Converter</i>
RMS	Raiz média quadrática – <i>Root Mean Square</i>
S_{28}	Área da secção do fio AWG28 nu

$S_{28\text{-iso}}$	Área da secção do fio AWG28 isolado
S_L	Área necessária da secção de condutores do indutor
t	Tempo
T_{AMB}	Temperatura ambiente
T_{FPGA}	Período do relógio do FPGA
T_j	Temperatura de máxima de junção do semiconductor
T_S	Período de comutação
v_A	Tensão de saída do inversor antes do filtro de saída
v_{AD}	Tensão de comparação do conversor A/D
v_G	Tensão de comando do interruptor
VHDL	Linguagem para descrição de circuitos integrados de alta velocidade – <i>Very High Speed Integrated Circuits Hardware Description Language</i>
v_{ref}	Tensão de referência da malha de controle
v_{Saw}	Forma de onda dente de serra, utilizada no Modulador PWM
V_T	Valor de pico da portadora do PWM
ZVS	Condução à tensão nula – <i>Zero Voltage Switching</i>
Z_{OUT}	Impedância de saída do inversor
μ_0	Permeabilidade do ar

SUMÁRIO

INTRODUÇÃO	19
1 INVERSOR TRÊS NÍVEIS NPC ZVS PWM	23
1.1 INTRODUÇÃO	23
1.2 CIRCUITO DO INVERSOR	23
1.3 ANÁLISE QUALITATIVA	23
1.4 ANÁLISE QUANTITATIVA	33
1.4.1 Estratégia de modulação	34
1.4.2 Estudo da tensão de grampeamento	36
1.4.3 Estudo da comutação suave	39
1.4.4 Esforços dos componentes	41
1.5 PROJETO DO INVERSOR	54
1.5.1 Especificações gerais	54
1.5.2 Escolha do indutor auxiliar	54
1.5.3 Dimensionamento dos diodos de grampeamento D_5 e D_6	55
1.5.4 Dimensionamento dos interruptores principais Q_1 e Q_4	56
1.5.5 Dimensionamento dos interruptores secundários Q_2 e Q_3	57
1.5.6 Dimensionamento dos interruptores auxiliares Q_A e Q_B e dos diodos D_A e D_B	58
1.5.7 Dimensionamento dos indutores auxiliares L_{SA} e L_{SB}	58
1.5.8 Projeto do filtro de saída	62
1.5.9 Cálculo do dissipador	62
1.5.10 Cálculo teórico de rendimento	63
1.6 CONCLUSÃO	66
2 CONTROLE DO INVERSOR	67
2.1 INTRODUÇÃO	67
2.2 OBTENÇÃO DOS MODELOS DE CONTROLE	68
2.2.1 Modelo da planta de tensão	68
2.2.2 Modelo do modulador PWM	71
2.2.3 Modelo do filtro <i>anti-aliasing</i>	72
2.2.4 Modelo do conversor A/D	73
2.2.5 Modelo do sensor de tensão	73

2.2.6 Modelo do retentor.....	74
2.3 PROJETO DOS DISPOSITIVOS PARA CONTROLE DIGITAL DO INVERSOR....	74
2.4 CONCLUSÃO	81
3 SIMULAÇÕES NUMÉRICAS	82
3.1 INTRODUÇÃO	82
3.2 SIMULAÇÃO DO CIRCUITO DE POTÊNCIA	82
3.3 SIMULAÇÃO DO CONTROLE	91
3.4 CONCLUSÃO	99
4 IMPLEMENTAÇÃO	100
4.1 CIRCUITOS ELETRÔNICOS	101
4.1.1 Estágio de entrada.....	101
4.1.2 Fonte auxiliar.....	102
4.1.3 Condicionamento	103
4.1.4 Filtro de saída e sensor de tensão.....	106
4.1.5 Processamento	107
4.1.6 Drivers.....	109
4.1.7 Placa de potência.....	110
4.2 PROGRAMAÇÃO DO FPGA.....	111
4.2.1 Ferramenta de desenvolvimento	111
4.2.2 Implementação do código	112
4.3 RESULTADOS EXPERIMENTAIS	114
4.3.1 Aquisição das formas de onda dos componentes.....	114
4.3.2 Análise da resposta do controle	118
4.3.3 Medidas de eficiência	123
4.4 CONCLUSÃO	125
CONCLUSÃO GERAL	126
BIBLIOGRAFIA	128
APENDICE A – CÓDIGO EM MATLAB DO CONTROLADOR DE TENSÃO.....	132

INTRODUÇÃO

A energia elétrica está presente em todos os processos hoje conhecidos. Seu uso está ligado às indústrias, ao transporte, ao saneamento, ao conforto, ao lazer, ao conhecimento, dentre muitos outros. A quantidade de energia consumida por estes processos, desde a sua primeira utilização, é crescente, seja pelo aumento da população ou pelo aumento da demanda dos produtos industrializados. Este aumento do consumo deve ser acompanhado pelo aumento da oferta de energia, caso contrário, o sistema elétrico será sobrecarregado e o fornecimento desta energia será racionado. Para que este risco seja mitigado, pode-se melhorar a eficiência energética das cargas, permitindo assim que mais consumidores compartilhem da mesma quantidade ofertada, ou aumentar a oferta desta energia, que pode ocorrer pelo aumento da geração ou pela melhor eficiência no processamento desta energia. O processamento da energia por sua vez, devido à demanda crescente de energia, tem alavancado a busca por conversores estáticos de maior capacidade e semicondutores com maiores especificações de corrente e tensão [1, 2]. A limitação nas especificações destes semicondutores, assim como as perdas por comutação em conversores sem comutação suave, faz com que grande parte dos conversores de grande capacidade e alta tensão operem com frequência de comutação baixas, podendo chegar a poucos kilohertz para conversores de algumas dezenas de kilowatts.

A demanda cada vez maior por processamento de energia fez com que os conversores estáticos multiníveis fossem foco das pesquisas ao longo dos últimos anos [27], com diversas aplicações nos processos industriais [28]. O aumento do número de níveis de saída em um inversor propicia uma redução significativa nos filtros de saída, uma vez que os níveis de tensão aplicados ao filtro de saída, na sua maioria, correspondem a uma fração da tensão de entrada, e, conseqüentemente, melhora o conteúdo harmônico da tensão gerada, devido à diminuição da ondulação de corrente. [6, 19, 20].

Os inversores multiníveis em tensão permitem o aumento da tensão de entrada e saída, uma vez que os esforços de tensão ficam divididos entre os elementos do circuito, dependendo da topologia e do número de níveis. Esta diminuição da tensão aplicada aos semicondutores permite que a frequência de comutação seja elevada, principalmente devido à limitação tecnológica dos semicondutores, onde a oferta de dispositivos com capacidade de operação em alta frequência passa a ser limitada com o aumento da tensão.

Como desvantagem dos conversores multiníveis, pode-se citar o número maior de semicondutores e, conseqüentemente, as maiores perdas por condução, quando comparado a um conversor de dois níveis. No entanto, normalmente os semicondutores de menor tensão

possuem melhores características de condução, o que tende a minimizar este efeito em conversores de poucos níveis. Possuem também possuem um menor custo, fazendo com que o custo total do inversor, mesmo com o maior número de elementos, seja mantido ou até minimizado.

O inversor NPC possui apenas quatro interruptores, o que se assemelha a topologia ponte completa de três níveis. No entanto, o NPC possui melhores características para aplicações trifásicas, pois permite o acesso ao ponto neutro e não precisa de fontes isoladas ou transformadores isoladores na saída, como é o caso do circuito ponte completa trifásico.

Outra forma de se reduzir o tamanho do filtro de saída é através do aumento da frequência de comutação. Este aumento também melhora o ruído audível e propicia a utilização do inversor em aplicações onde a banda passante exigida deve ser alta, como filtros ativos, cargas eletrônicas e amplificadores de áudio classe D. Este aumento da frequência, porém, faz com que as perdas por comutação e o ruído eletromagnético gerado sejam maiores, movendo os pesquisadores a criarem soluções que possam diminuir estes efeitos através da melhoria das condições de comutação, seja utilizando técnicas passivas ou técnicas ativas de auxílio a comutação.

As técnicas passivas possuem baixa complexidade e diminuem as perdas por comutação, porém, não propiciam a comutação suave dos interruptores. Os circuitos passivos mais comuns são os *snubbers* RCD e RLD, porém, devido à necessidade de uma célula para cada interruptor do circuito, o seu uso em conversores multiníveis torna-se desaconselhável.

Dentre as técnicas passivas que mais se destacam, devido ao número reduzido de componentes, são o *snubber* de Undeland [7-13] e o *snubber* de McMurry [14, 15]. No *snubber* de Undeland, o grampeamento da tensão é feito através de um capacitor auxiliar. A energia acumulada neste capacitor, proveniente das comutações, deve ser dissipada por meio de um resistor. Com o aumento da frequência de comutação, a energia dissipada por este resistor aumenta, fazendo com o que o circuito torne-se pouco eficiente. Estas perdas podem ser minimizadas com a adição de circuitos regeneradores desta energia no lugar do resistor. [11, 12, 16-18].

As técnicas ativas caracterizam-se pela utilização de interruptores controlados para obter a comutação suave, seja ZVS (*Zero Voltage Switching*) ou ZCS (*Zero Current Switching*). Por possuírem um ou mais interruptores auxiliares, normalmente sincronizados com os interruptores principais, as técnicas ativas possuem a modulação e os circuitos de comando mais complexos, quando comparados às técnicas passivas [3-5].

Dentre as soluções ativas destacam-se os circuitos que se baseiam em sistemas com circuito ressonante, como o ARCPI (*Auxiliary Resonant Commutated Pole Inverter*), e o RDCLC (*Resonant DC Link Converter*) [19-26]. O ARCPI caracteriza-se por possuir células formadas por dois interruptores contrapostos e um indutor, permitindo o controle da corrente sobre a célula nos dois sentidos. No caso do NPC é proposta na literatura uma solução ARCPI utilizando quatro interruptores auxiliares, ou seja, o mesmo número de interruptores empregados no circuito principal do NPC [13]. O circuito RDCLC foi inicialmente proposto por Divan em [19], foi desenvolvido a seguir em [22] e destaca-se pelo número reduzido de componentes necessários para a comutação ZVS. Dentre as variações dos circuitos RDCLC, os circuitos ACRDCLC (*Active Clamped Resonant DC Link Converter*) e o *Notch-Commutated DC Link* [36, 37] foram o foco deste estudo. Estes circuitos propiciam a descarga momentânea do barramento principal, permitindo a comutação suave nos interruptores do circuito, além de propiciarem o grampeamento ativo aos interruptores principais. Outras técnicas derivadas do circuito *Notch* podem ser encontradas na literatura de forma a permitir a comutação suave também para o interruptor auxiliar [1, 38], utilizando a energia da recuperação reversa dos diodos para promover a comutação suave.

O presente trabalho tem como objetivo apresentar a teoria e a implementação de um inversor NPC com grampeamento ativo, utilizando a mesma técnica aplicada em inversores monofásicos e trifásicos apresentadas em [1], porém aplicado ao inversor de três níveis NPC [11, 12, 21, 29, 30].

No primeiro capítulo é apresentado um estudo sobre o inversor NPC monofásico. Inicialmente é feita uma análise qualitativa, onde as etapas de operação, a modulação adotada e as formas de onda são apresentadas. Posteriormente é feita uma análise quantitativa, onde as equações e os principais ábacos que regem os esforços e as condições de operação são deduzidos. Por fim é apresentada uma metodologia de projeto, onde o inversor utilizado para os experimentos é calculado como exemplo.

No segundo capítulo é apresentado o estudo sobre o controle da topologia. Nele são obtidos os modelos da planta e dos elementos de controle e também, baseados nas especificações de projeto, é calculado o controlador digital que será adotado no protótipo funcional.

O terceiro capítulo apresenta as simulações numéricas do circuito de potência e do circuito de controle, feitas com o uso das ferramentas *Orcad/ Pspice* e *Matlab/ Simulink*. A partir destas simulações, foram verificadas as equações, formas de onda, os esforços e as respostas do controlador discreto projetados nos dois primeiros capítulos.

O quarto e último capítulo apresenta detalhes da implementação laboratorial do inversor NPC ZVS PWM. Nele são apresentadas as mesmas formas de onda e respostas de controle obtidas por simulações, além de uma análise de eficiência do circuito, onde o desempenho do NPC sem comutação suave é comparado ao circuito proposto.

1 INVERSOR TRÊS NÍVEIS NPC ZVS PWM

1.1 INTRODUÇÃO

Neste capítulo, será feito o estudo do inversor NPC de três níveis com comutação suave ZVS e modulação PWM. Primeiramente é feita uma análise qualitativa da topologia, onde todas as etapas de operação e formas de onda são apresentadas para os quadrantes específicos de operação. A seguir é feita uma análise quantitativa, onde todas as equações para cálculo dos esforços de tensão e corrente sobre todos os componentes do circuito são deduzidas. Por último é apresentada a metodologia de projeto do inversor, com base no equacionamento obtido.

1.2 CIRCUITO DO INVERSOR

O diagrama do inversor NPC ZVS PWM pode ser visto na Figura 1. O circuito consiste de um inversor NPC clássico com a adição de dois indutores auxiliares, L_{SA} e L_{SB} , dois capacitores auxiliares, C_{SA} e C_{SB} , dois interruptores Q_A e Q_B , e dois diodos, D_A e D_B . Estes componentes são responsáveis pela obtenção da comutação suave ZVS, a qual ocorre quando os interruptores auxiliares são comandados a bloquear no momento adequado.

Os capacitores em paralelo aos diodos e interruptores do circuito representam as capacitâncias intrínsecas destes componentes. Os componentes L_{OUT} e C_{OUT} representam o filtro de saída, e R_{OUT} representa a carga. As fontes de tensão $E/2$ podem ser entendidas como capacitores, onde cada um possui a metade da tensão de entrada, E .

1.3 ANÁLISE QUALITATIVA

Considerando a tensão e a corrente de saída do inversor, operando com carga linear indutiva e resistiva, podem-se definir quatro quadrantes de operação distintos, conforme a Figura 2. No primeiro quadrante, a tensão e a corrente estão com polaridades iguais e positivas. No segundo quadrante, a tensão é negativa, porém a corrente é positiva. O terceiro quadrante é análogo ao primeiro quadrante, com tensão e corrente na mesma polaridade, porém negativas. O quarto quadrante também é análogo ao segundo quadrante, com tensão e corrente de polaridades opostas, sendo a corrente negativa e a tensão positiva.

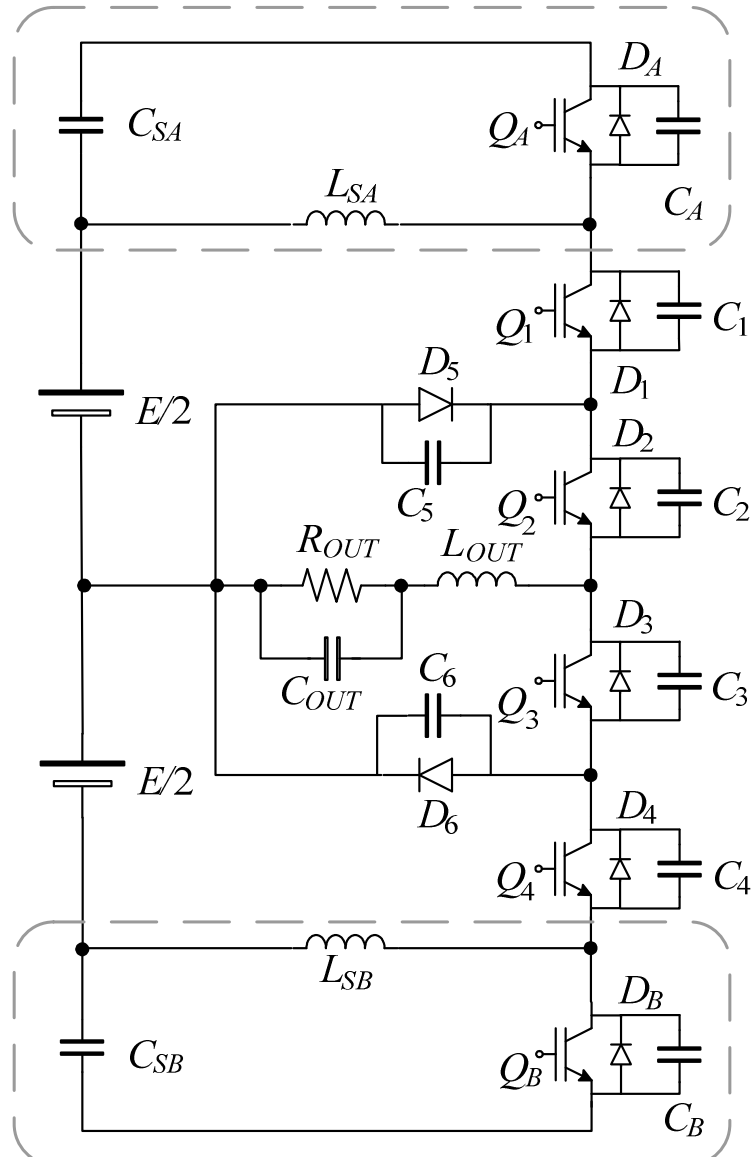


Figura 1 – Inversor NPC ZVS PWM com grampeamento ativo

Para simplificar a análise, todos os elementos do circuito são considerados ideais, o circuito está operando em regime permanente, as recuperações reversas de todos os diodos, exceto D_5 e D_6 são desprezadas, a tensão nos capacitores de grampeamento são consideradas nulas, a tensão e a corrente de saída são consideradas constantes e em fase durante um período de comutação. A tensão e corrente em fase escolhidas é devido à estratégia de modulação utilizada, onde os interruptores Q_2 e Q_3 não são comandados alternadamente aos interruptores Q_1 e Q_4 , como na estratégia clássica de modulação do NPC, e sim comandados conforme a polaridade da tensão de saída. Esta escolha garante a comutação suave para os interruptores centrais, embora exija a tensão e corrente em fase para a garantia da comutação em três níveis durante todo o período da tensão de saída. Caso a tensão e a corrente de saída não estejam em fase, com o circuito operando em malha aberta e considerando o início do semi-ciclo de

tensão negativa, quando os interruptores inferiores tentassem aplicar uma tensão negativa a saída, devido à corrente em sentido contrário e com a abertura do interruptor Q_2 , a corrente positiva da carga circularia pelos diodos D_3 e D_4 apenas, não importando o estado do interruptor Q_4 . Dessa forma, a saída ficaria constantemente em $-V/2$ até que a corrente da carga se anulasse. Já em controle com malha fechada, ao perceber que a tensão na carga está menor do que o esperado, o controle novamente comandaria os interruptores Q_1 e Q_2 , de forma a corrigir o excesso de tensão negativa na saída. O resultado deste processo seria a operação do circuito, por alguns períodos de comutação, em dois níveis. Uma forma de minimizar este problema, é a implementação de um ciclo ativo nulo, onde Q_2 e Q_3 estão conduzindo simultaneamente, sempre que o controle tentar inverter o acionamento dos interruptores inferiores pelos superiores e vice versa. Outra forma de evitar este problema é medindo a corrente de saída de forma a informar qual interruptor central, Q_2 ou Q_3 , comandar conforme o sentido da corrente. Neste caso, a comutação suave não ocorreria para o interruptor central durante a condição de corrente com sentido oposto a tensão.

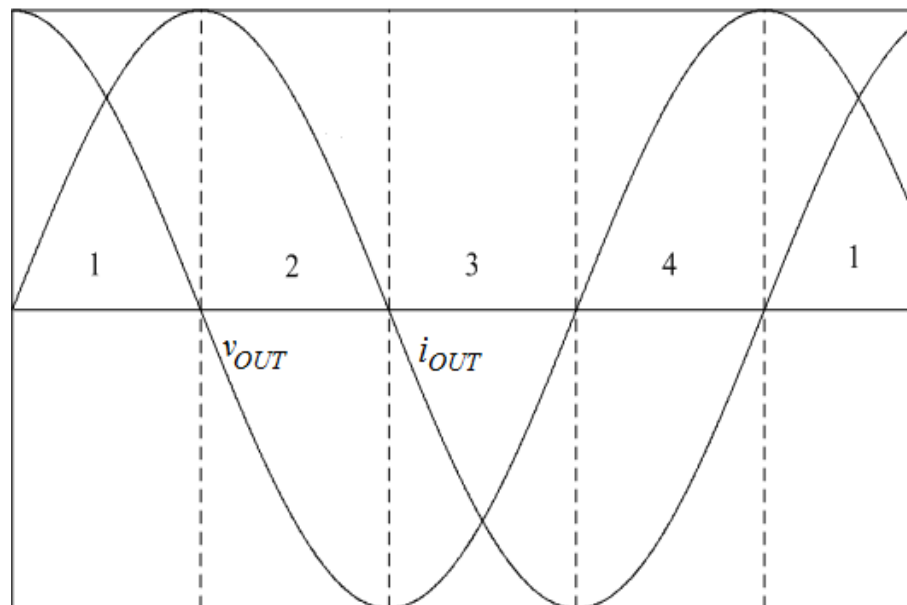


Figura 2 - Regiões de operação do inversor.

O circuito do NPC, tomando-se como base a Figura 1, pode ser dividido em duas partes iguais, onde a parte superior é responsável pelo semi-ciclo positivo da tensão de saída e a parte inferior responsável pelo semi-ciclo negativo. Como os dois circuitos são análogos, apenas a operação no primeiro quadrante será detalhada nas etapas de operação.

O parâmetro E representa a tensão de entrada do circuito e as tensões $v_{C_{SA}}$ e $v_{C_{SB}}$ são as tensões nos capacitores auxiliares C_{SA} e C_{SB} .

A seguir são mostradas as nove etapas de operação da topologia e as principais formas de onda envolvidas nos elementos do circuito. Para entendimento das etapas, é necessário entender a estratégia de modulação utilizada, a qual é apresentada na Figura 3. A forma de onda dente-de-serra utilizada, garante o sincronismo entre os interruptores principais, Q_1 e Q_4 e os interruptores auxiliares, Q_A e Q_B , uma vez que os interruptores principais entrarão em condução sempre no início do período de comutação. Esta modulação é explicada em maiores detalhes na análise quantitativa.

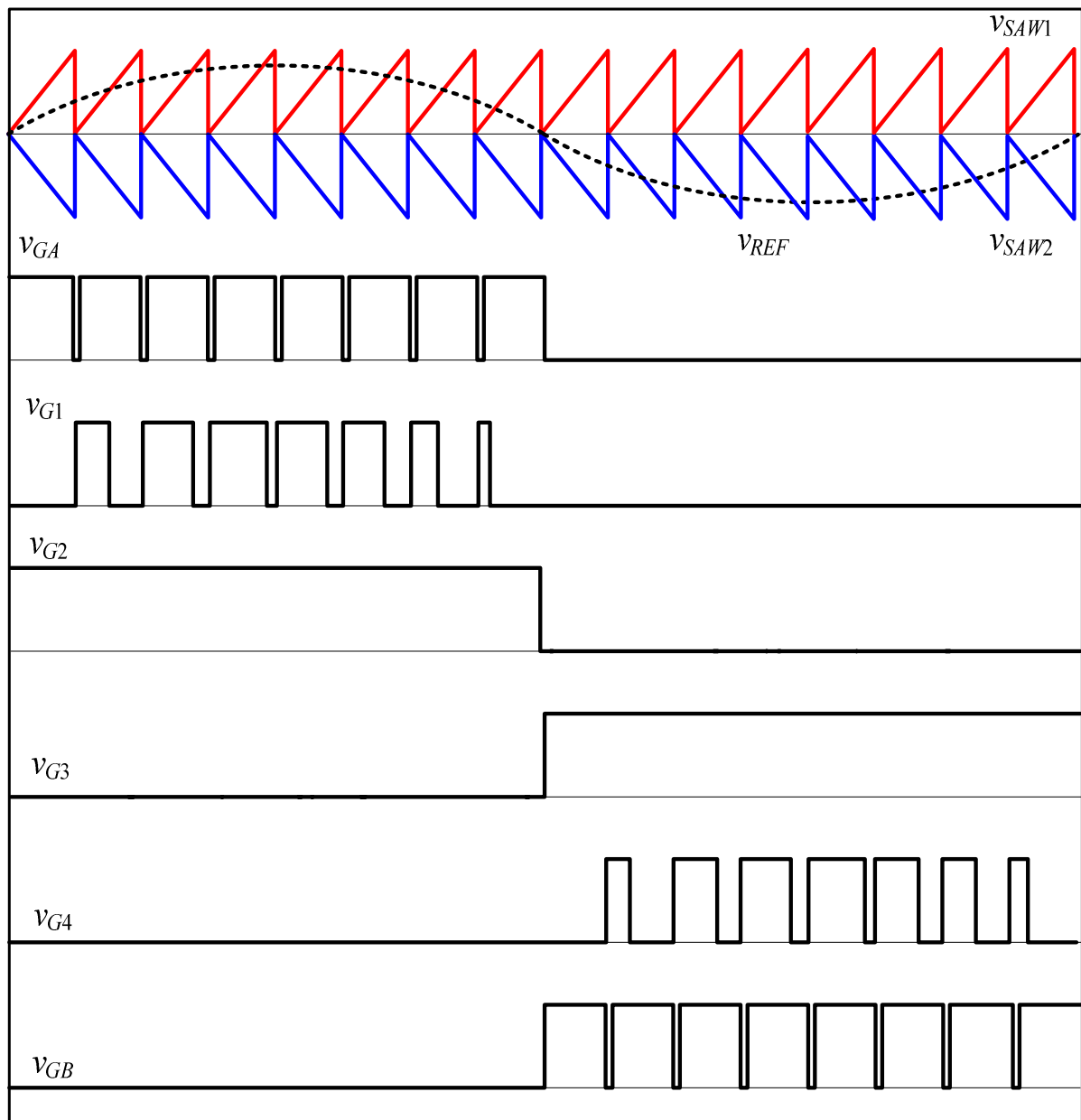


Figura 3 – Modulação utilizada.

ETAPA 1 ($t_0 - t_1$)

A primeira etapa inicia-se com o término da carga de C_1 e descarga de C_5 . Durante esta etapa, o interruptor Q_A está conduzindo de forma a aplicar a tensão vC_{SA} sobre o indutor L_{SA} . A corrente neste indutor aumenta de acordo com a equação 1.1.

$$iL_{SA} = \frac{vC_{SA}}{L_{SA}} \cdot t + iL_{SA-t_0} \quad (1.1)$$

Ao mesmo tempo, o interruptor Q_2 e o diodo D_5 estão conduzindo, fazendo com que a tensão na carga seja nula. A corrente da carga passa exclusivamente por estes elementos.

A Figura 4 apresenta o circuito equivalente desta etapa, que finaliza com o bloqueio do interruptor Q_A .

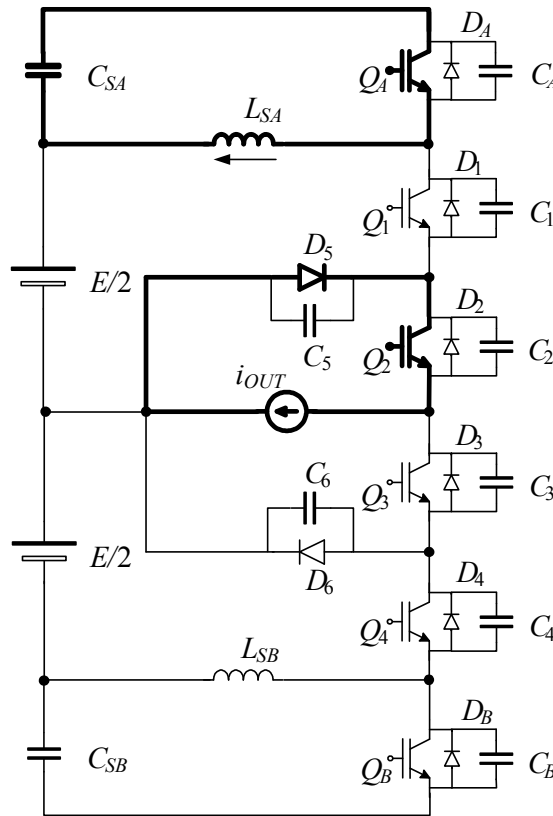


Figura 4 – Primeira etapa de operação.

ETAPA 2 ($t_1 - t_2$)

A segunda etapa inicia-se com o bloqueio da chave Q_A . Neste momento, a corrente circulante no indutor L_{SA} faz com que a capacitância intrínseca C_A carregue de zero a $E/2 + vC_{SA}$ e a capacitância intrínseca C_1 se descarregue de $E/2 + vC_{SA}$ a zero. A tensão na carga continua nula.

A Figura 5 apresenta o circuito equivalente desta etapa, que finaliza com a carga do capacitor C_A e descarga do capacitor C_1 .

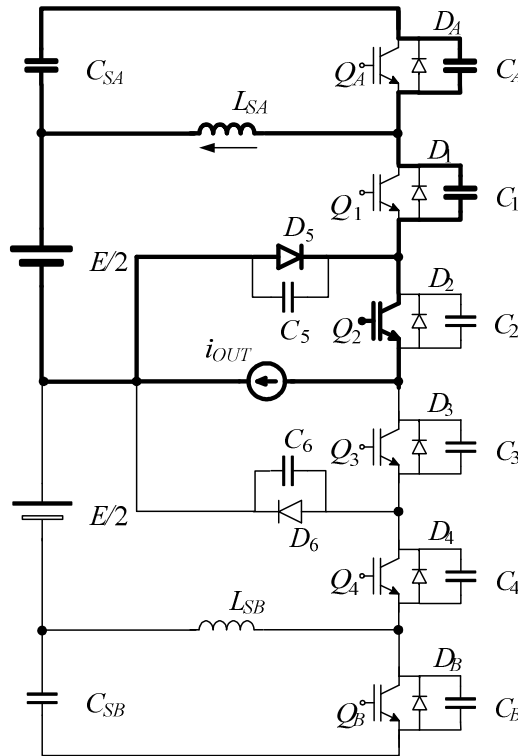


Figura 5 – Segunda etapa de operação.

ETAPA 3 ($t_2 - t_3$)

Ao final da carga de C_A e descarga de C_1 , o diodo D_1 passa a conduzir. Durante esta etapa o interruptor Q_1 deve ser comandado a conduzir, uma vez que a tensão entre os seus terminais é nula. A corrente do indutor passa agora a decrescer conforme a equação 1.2.

$$iL_{SA} = \frac{-E/2}{L_{SA}} \cdot t + iL_{SA-t_2} \quad (1.2)$$

A Figura 6 apresenta o circuito equivalente desta etapa, que finaliza no momento em que a corrente do indutor L_{SA} inverte o sentido.

ETAPA 4 ($t_3 - t_4$)

No momento em que a corrente no indutor L_{SA} inverte o sentido, a chave Q_1 , passa a conduzir dando início à quarta etapa de operação. A corrente em L_{SA} continua decrescendo conforme a equação 1.2. Quando a corrente neste indutor é igual à corrente de carga, i_{OUT} , inicia-se a recuperação reversa do diodo D_5 , com o indutor limitando a taxa de crescimento da corrente, di/dt , sobre o mesmo.

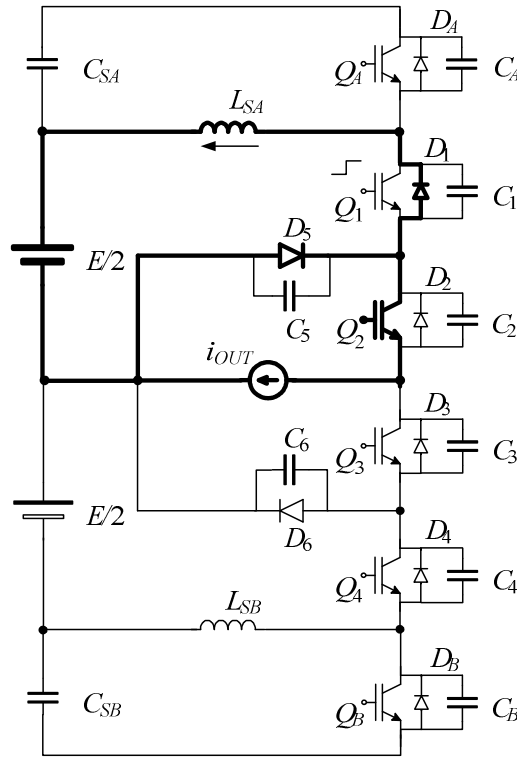


Figura 6 – Terceira etapa de operação.

A Figura 7 apresenta o circuito equivalente desta etapa, que finaliza no momento em que a recuperação reversa do diodo D_5 termina.

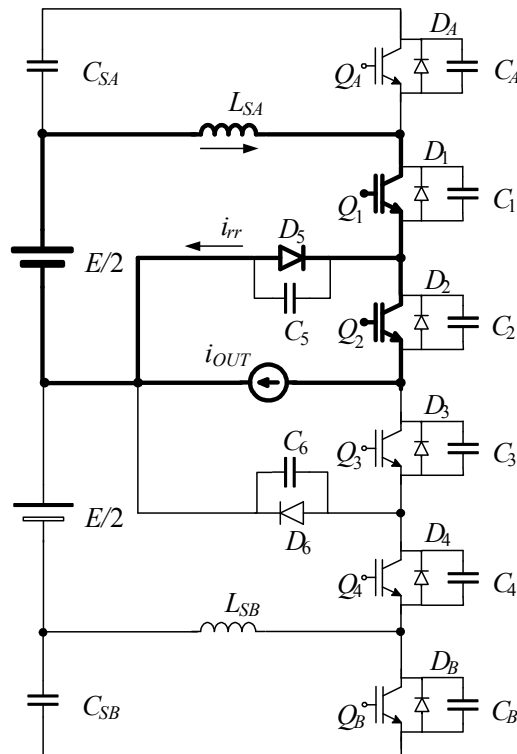


Figura 7 – Quarta etapa de operação.

ETAPA 5 ($t_4 - t_5$)

Com o término da recuperação reversa do diodo D_5 , a corrente remanescente do indutor L_{SA} descarrega a capacitância C_A , de $E/2 + vC_{SA}$ a zero. A corrente de carga faz com que a capacitância intrínseca C_5 se carregue, de zero a $E/2 + vC_{SA}$. A tensão na carga por sua vez também passa de zero até $E/2 + vC_{SA}$.

A Figura 8 apresenta o circuito equivalente desta etapa, que finaliza ao término da carga e descarga de C_A e C_5 . É também o momento em que a tensão da carga passa a ser $E/2 + vC_{SA}$.

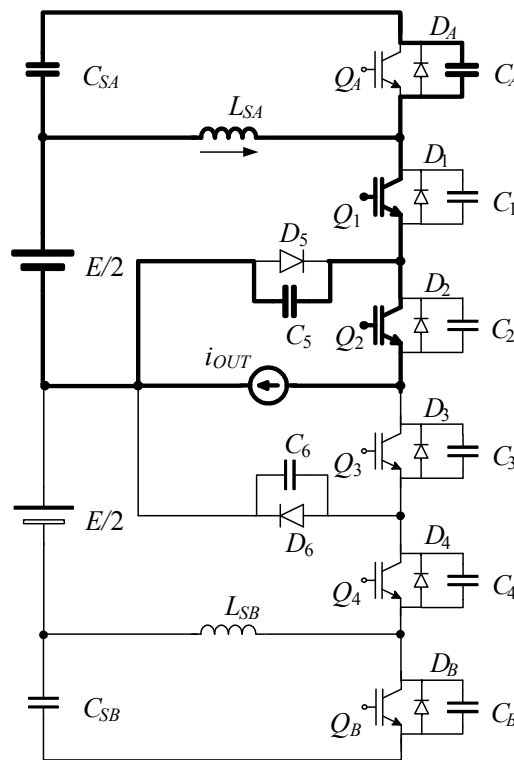


Figura 8 – Quinta etapa de operação.

ETAPA 6 ($t_5 - t_6$)

Quando a capacitância C_A se descarrega, o diodo D_A passa a conduzir, permitindo que a energia remanescente no indutor L_{SA} , proveniente da recuperação reversa do diodo D_5 , carregue o capacitor auxiliar C_{SA} . A Figura 9 mostra o circuito equivalente desta etapa. Quando a corrente no indutor L_{SA} se iguala a corrente de carga, o interruptor Q_A passa a conduzir, dando início à próxima etapa.

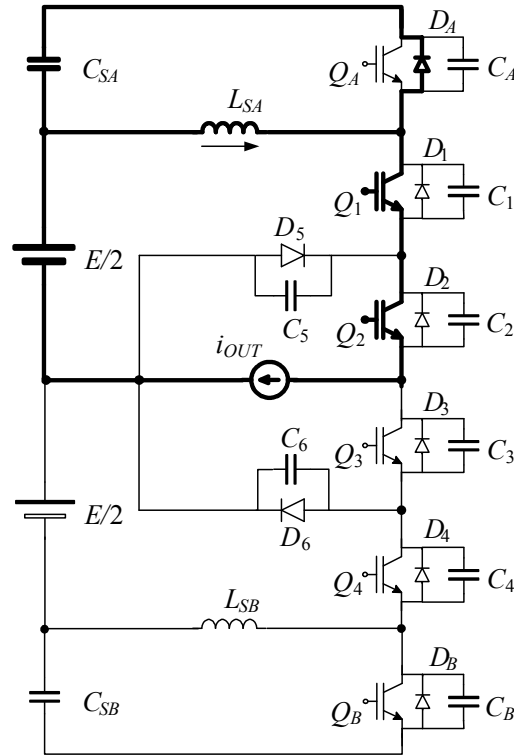


Figura 9 – Sexta etapa de operação.

ETAPA 7 ($t_6 - t_7$)

Quando a corrente no indutor L_{SA} é menor que a corrente de carga, Q_A conduz, assumindo parte da corrente i_{OUT} . O circuito equivalente desta etapa pode ser visto na Figura 10. A corrente iL_{SA} continuará crescendo conforme a equação 1.1, até que o sentido da corrente inverta, marcando o início da próxima etapa.

ETAPA 8 ($t_7 - t_8$)

A corrente do indutor L_{SA} inverte o sentido, porém continua crescendo conforme a equação 1.1. A interruptor Q_A assume completamente a corrente de carga mais a corrente iL_{SA} . A Figura 11 mostra o circuito equivalente desta etapa, que termina com o bloqueio do interruptor principal Q_1 .

ETAPA 9 ($t_8 - t_0$)

Com o bloqueio do interruptor Q_1 , a capacitância intrínseca C_1 carrega-se de zero a $E/2 + vC_{SA}$ e a capacitância intrínseca C_5 descarrega-se de $E/2 + vC_{SA}$ a zero. A Figura 12 mostra o circuito equivalente desta etapa, que finaliza ao término da carga e descarga dos capacitores intrínsecos. Este também é o momento onde a tensão da carga passa de $E/2 + vC_{SA}$ para zero.

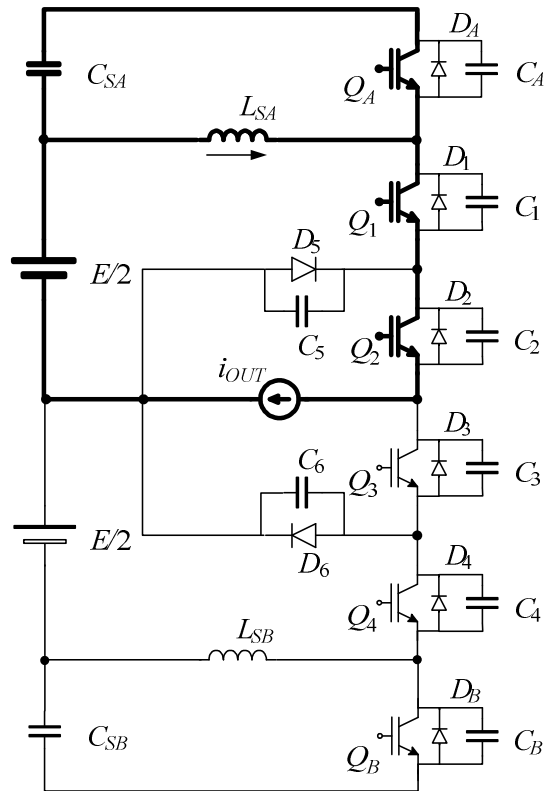


Figura 10 – Sétima etapa de operação.

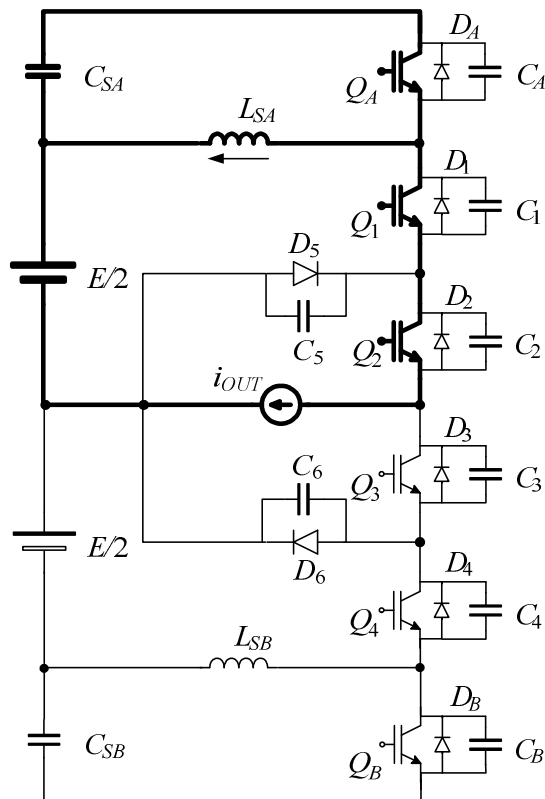


Figura 11 – Oitava etapa de operação.

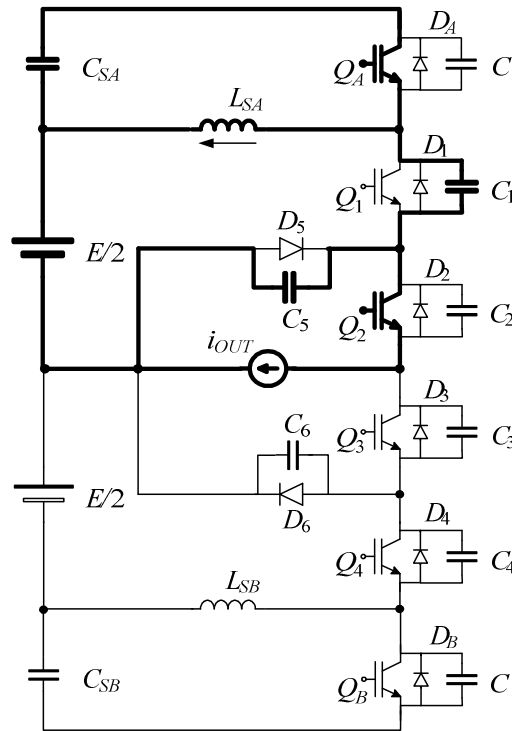


Figura 12 – Nona etapa de operação.

FORMAS DE ONDA

As formas de onda referentes a todas as etapas de operação do circuito podem ser vistas na Figura 13.

1.4 ANÁLISE QUANTITATIVA

Neste capítulo são deduzidas as equações e os ábacos fundamentais para dimensionamento e projeto do inversor. Assim como na análise qualitativa, a tensão e a corrente de saída são consideradas em fase. Primeiramente é descrita a estratégia de modulação utilizada. A seguir são feitos dois estudos, sendo um da tensão de grampeamento e o outro da garantia da comutação suave, com base nas tensões dos capacitores auxiliares C_{SA} e C_{SB} . Por fim, as equações que regem os esforços dos componentes são deduzidas e apresentadas.

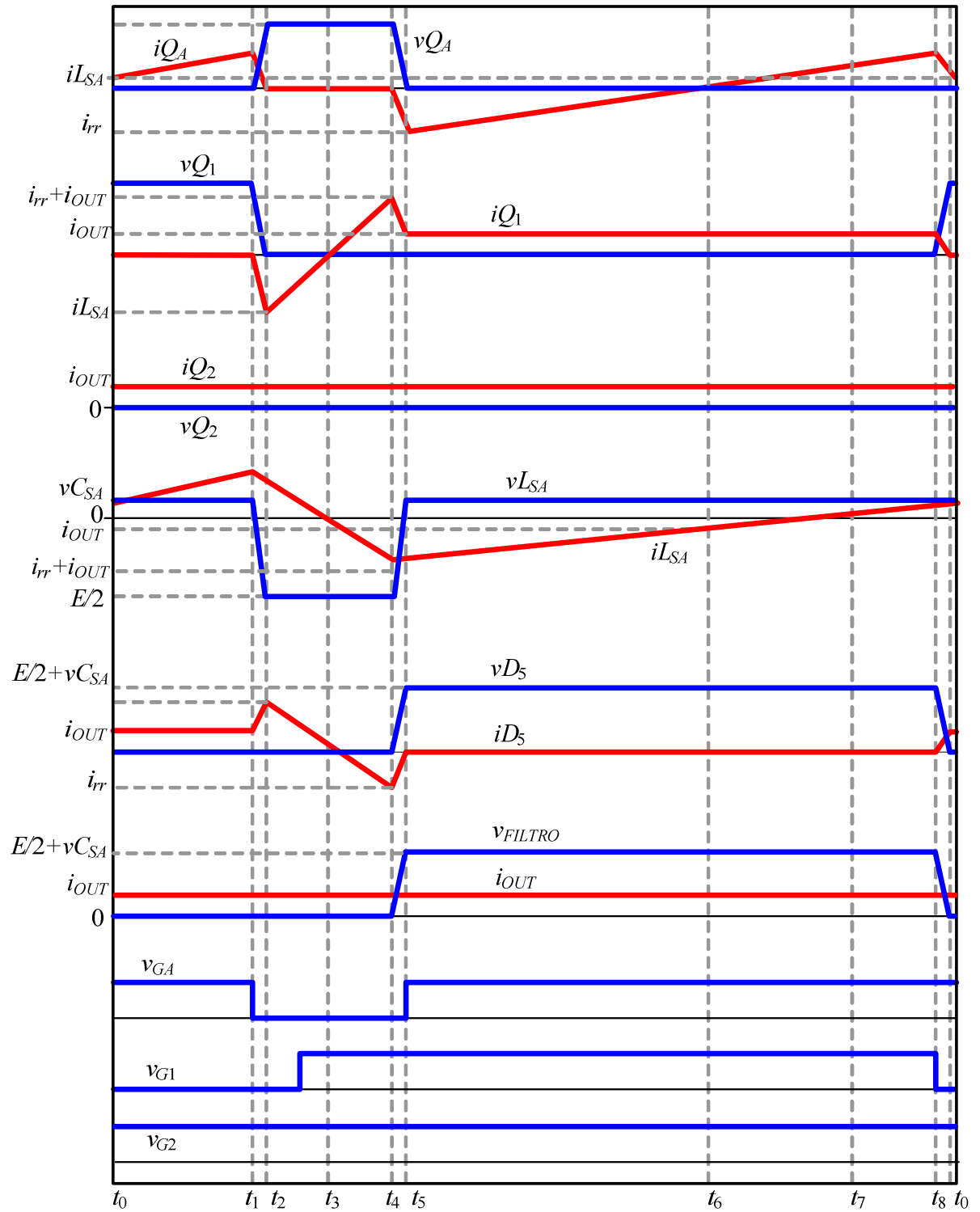


Figura 13 – Formas de onda principais do NPC ZVS PWM.

1.4.1 Estratégia de modulação

A modulação utilizada para o inversor foi a PWM (*Pulse Width Modulation*), ou modulação por largura de pulso. Esta modulação é obtida comparando-se duas formas de onda dente-de-serra a uma referência, conforme apresentado na Figura 3. Cada forma de onda

dente-de-serra é responsável por um conjunto de interruptores, sendo a v_{SAW1} responsável pelos interruptores positivos, ou seja, Q_A , Q_1 e Q_2 , e v_{SAW2} responsável pelos interruptores negativos, ou seja, Q_3 , Q_4 e Q_B . O formato da dente-de-serra é importante para a topologia, uma vez que sincroniza o bloqueio dos interruptores auxiliares com a condução dos interruptores principais, garantindo assim a comutação ZVS. Nota-se pela Figura 3 que a largura de pulso dos interruptores auxiliares é constante e que estes permanecem bloqueados quando a polaridade de saída é oposta a operação do interruptor, ou seja, Q_A está bloqueado quando a saída é negativa, e Q_B está bloqueado quando a saída é positiva, desta forma garante-se que as cargas dos indutores auxiliares dar-se-ão apenas durante o acionamento dos interruptores principais correspondentes a cada metade do circuito.

Para reconstrução da forma de onda senoidal utiliza-se um filtro na saída do inversor.

A tensão de saída do inversor é controlada pelo índice de modulação da amplitude, denominado ma , que corresponde à razão da tensão de pico da saída do inversor pela metade da tensão de barramento, $E/2$, ou ainda, pela razão entre a amplitude do sinal de referência pela amplitude do sinal dente-de-serra.

$$ma = \frac{V_{REF\ pico}}{V_{SAW\ pico}} = \frac{V_{OUT}}{E/2} \quad (1.3)$$

Para um melhor entendimento e simplificação das equações posteriores, embora sabendo que o ciclo ativo normalmente não pode ser negativo, será adotada a seguinte convenção, baseada na modulação da Figura 3:

$D > 0 \rightarrow$ Sinal de referência é maior do que 0 e os interruptores Q_A e Q_1 estão sendo comandados. A tensão instantânea na carga pode ser 0 ou $+E/2$;

$D < 0 \rightarrow$ Sinal de referência é menor que 0 e os interruptores Q_B e Q_4 estão sendo comandados. A tensão na carga pode ser 0 ou $-E/2$.

Sendo D qualquer valor no intervalo de -1 a 1, onde o sinal apenas representa o conjunto de interruptores que estão sendo comandados, com o ciclo ativo variando de 0 a 1.

Assim, a tensão de saída do inversor, para um período de comutação, pode ser expressa pela seguinte equação:

$$V_{OUT} = \frac{E \cdot D}{2} \quad (1.4)$$

Manipulando-se a equação 1.4 obtém-se:

$$D = \frac{2 \cdot V_{OUT}}{E} \quad (1.5)$$

A tensão de saída do inversor é dada por:

$$v_{OUT}(\omega t) = \sqrt{2} \cdot v_{OUT} \cdot \text{sen}(\omega t) \quad (1.6)$$

Onde:

$$\omega = 2 \cdot \pi \cdot f \quad (1.7)$$

Sendo f é a frequência senoidal de saída do inversor.

A partir de 1.3, é definida a tensão máxima de pico:

$$v_{OUT \text{ pico}} = \frac{E \cdot ma}{2} \quad (1.8)$$

A tensão eficaz (RMS), para uma tensão de saída senoidal, fica:

$$v_{OUT} = \frac{E \cdot ma}{2 \cdot \sqrt{2}} \quad (1.9)$$

Pelas equações 1.4, 1.5 e 1.9, obtêm-se o ciclo ativo do inversor:

$$D(\omega t) = ma \cdot \text{sen}(\omega t) \quad (1.10)$$

1.4.2 Estudo da tensão de grampeamento

Conforme visto na análise qualitativa, a tensão de grampeamento dos interruptores da topologia é definida pela metade da tensão de barramento somada à tensão dos capacitores auxiliares C_{SA} ou C_{SB} , dependendo dos interruptores. Para este estudo será analisado apenas o semi-braço superior, composto pelos interruptores Q_A , Q_1 e Q_2 e ativo de 0 a π . O comportamento no semi-braço inferior, composto pelos interruptores Q_B , Q_3 e Q_4 , responsável pelo semi-ciclo negativo de saída, π a 2π , é análogo.

O princípio da análise baseia-se no fato de que a corrente média do capacitor deve ser nula para um período de comutação em regime permanente. Dessa forma pode-se obter a tensão de grampeamento, vC_{SA} .

$$iC_{SA} = \frac{1}{T_S} \left[\int_{t_0}^{t_1} \left(\frac{vC_{SA}}{L_{SA}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_{t_5}^{t_8} \left(\frac{vC_{SA}}{L_{SA}} t - i_{rr} \right) \right] \quad (1.11)$$

Considerando o tempo de comutação dos interruptores muito menor do que o período de comutação do inversor tem-se:

$$t_1 = t_5 = 0 \quad (1.12)$$

$$t_8 - t_5 = D \cdot T_S \quad (1.13)$$

$$t_8 = T_S \quad (1.14)$$

E, portanto, 1.11 torna-se:

$$iC_{SA} = \frac{1}{T_S} \left[\int_{D \cdot T_S}^{T_S} \left(\frac{vC_{SA}}{L_{SA}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_0^{D \cdot T_S} \left(\frac{vC_{SA}}{L_{SA}} t - i_{rr} \right) \cdot dt \right] \quad (1.15)$$

Resolvendo-se a integral e fazendo-se $iC_{SA} = 0$, a tensão no capacitor auxiliar em regime permanente pode ser expressa por 1.16:

$$vC_{SA} = \frac{2 \cdot L_{SA}}{T_S} [i_{rr} + (1 - D) \cdot i_{OUT}] \quad (1.16)$$

A corrente de saída pode ser definida por:

$$i_{OUT}(\omega t) = \frac{E \cdot ma}{2 \cdot Z_{OUT}} \cdot \sin(\omega t) + \phi \quad (1.17)$$

Onde a defasagem ϕ é desprezada devido à corrente em fase com a tensão e Z_{OUT} é a impedância de carga expressa por:

$$Z_{OUT} = \sqrt{R_{OUT}^2 + (\omega \cdot L_C)^2} = R_{OUT} \quad (1.18)$$

Sendo R_{OUT} a resistência de carga e L_C a indutância de carga, que devido a consideração inicial onde a corrente e a tensão estão em fase, possui valor nulo, e portanto a impedância de saída passa a ser R_{OUT} .

Das equações 1.10, 1.16 e 1.17, obtêm-se a tensão sobre o capacitor auxiliar, vC_{SA} :

$$vC_{SA}(\omega t) = \frac{2 \cdot L_{SA}}{T_S} \left[i_{rr} + \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot \sin(\omega t) \cdot (1 - ma \cdot \sin(\omega t)) \right] \quad (1.19)$$

Onde i_{rr} é a corrente de pico da recuperação reversa do diodo de grampeamento D_5 , obtida por 1.20 [34]:

$$i_{rr} = \sqrt{\frac{4}{3} \cdot Q_{rr} \cdot \frac{E}{2 \cdot L_{SA}}} \quad (1.20)$$

Sendo Q_{rr} a carga de recuperação reversa.

Considerando a equação 1.19, podem-se traçar algumas curvas, mostrando o comportamento da tensão sobre o capacitor C_{SA} , para diversos índices de modulação e de carga. O valor do capacitor não é considerado nesta equação, uma vez que se admite que toda energia armazenada neste capacitor é utilizada durante a carga do indutor auxiliar no próximo período de comutação.

A partir dos dados da Tabela 1 pode-se definir:

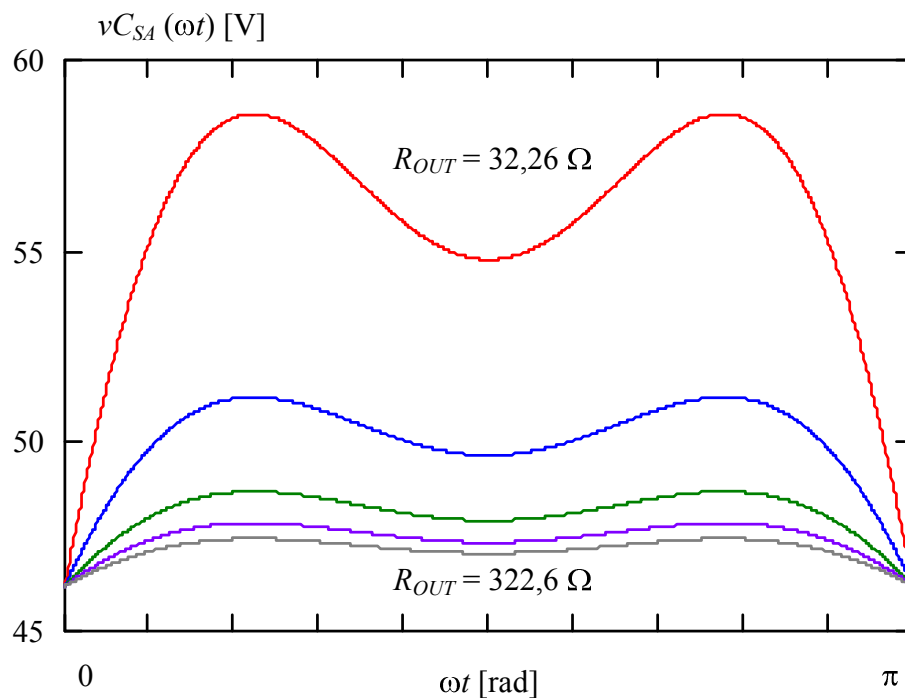
- Para Tensão de saída 220 V $\rightarrow R_{OUT} = 32,26 \, \Omega$
- Para Tensão de saída 127 V $\rightarrow R_{OUT} = 10,75 \, \Omega$

Tabela 1 – Valores iniciais para análise de $v_{C_{SA}}$.

Tensão eficaz de saída	220 V, 127 V
Corrente eficaz máxima de saída	12 A
Potência máxima de saída	1.500 VA
Tensão de barramento E	800 V

Assumindo ainda que $L_{SA} = 10 \mu\text{H}$; $i_{rr} = 11,55 \text{ A}$; $T_S = 5 \mu\text{s}$; e $E = 800 \text{ V}$; pode-se determinar a tensão $v_{C_{SA}}$ para cada tensão de saída, quando a carga varia de 10 % a 100 %, no intervalo de 0 a π . A Figura 14 mostra o comportamento da tensão $v_{C_{SA}}$ para uma saída de 220 V, onde a modulação máxima é de 0,78 em $\pi/2$. A Figura 15 mostra a mesma tensão, porém para uma tensão de 127 V, com modulação máxima de 0,45 em $\pi/2$.

É importante observar que a tensão representada é corresponde a um valor instantâneo, desprezando-se o valor do capacitor. Na aplicação prática, a capacitância de C_{SA} poderá ser grande o suficiente para eliminar a ondulação de baixa frequência desta tensão, tal que para meio ciclo de rede, a tensão em seus terminais será próxima a uma constante.

Figura 14 – Tensão $v_{C_{SA}}$ para uma tensão de saída de 220 V.

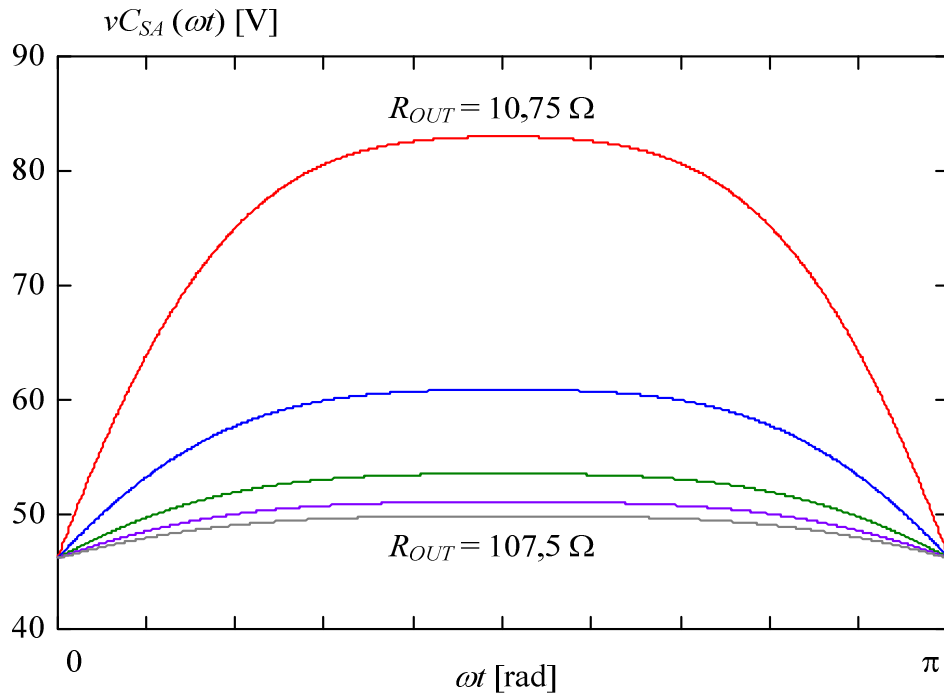


Figura 15 – Tensão vC_{SA} para uma tensão de saída de 127 V.

1.4.3 Estudo da comutação suave

Depois de projetado, o circuito deverá ser capaz de garantir a comutação suave em qualquer faixa de operação, ou seja, dada a carga e a tensão nominal, a comutação suave deve ocorrer para qualquer carga inferior.

Novamente para esta análise será considerado apenas o semi-braço superior, positivo, sendo o comportamento análogo no semi-braço inferior, negativo.

Para que a comutação dos interruptores ocorra sob tensão nula (ZVS), a energia armazenada no indutor auxiliar L_{SA} deve ser suficiente para carregar ou descarregar as capacitâncias intrínsecas, em paralelo aos interruptores. Desta forma, para cada período de comutação, a seguinte condição deve ser atendida:

$$L_{SA} \cdot i_f^2 \geq (C_A + C_1) \cdot \left(\frac{E}{2} + vC_{SA} \right)^2 \quad (1.21)$$

Onde i_f é a corrente de pico do indutor imediatamente antes do bloqueio do interruptor auxiliar Q_A , e C_A e C_1 as capacitâncias intrínsecas dos interruptores Q_A e Q_1 , respectivamente.

Admitindo que $vC_{SA} \ll E/2$ tem-se:

$$i_{f \min} \geq \frac{E}{2} \cdot \sqrt{\frac{C_1 + C_A}{L_{SA}}} \quad (1.22)$$

A equação 1.22 indica a menor corrente i_f admissível, considerando as características das chaves e indutor auxiliar, para que a comutação suave ocorra.

Pela análise anterior da tensão do capacitor auxiliar, vC_{SA} , pode-se obter a expressão da corrente i_f em função de ωt .

$$i_f(\omega t) = \frac{vC_{SA}(\omega t)}{L_{SA}} \cdot T_s - i_{OUT}(\omega t) - i_{rr} \quad (1.23)$$

Combinando-se as equações 1.17, 1.19 e 1.23, obtêm-se a expressão que rege o comportamento da corrente i_f :

$$i_f(\omega t) = i_{rr} + \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot \sin(\omega t) - \frac{E \cdot ma^2}{R_{OUT}} \cdot \sin^2(\omega t) \quad (1.24)$$

Analisando a equação pode-se observar que a condição crítica ocorrerá quando $\omega t = \pi/2$. Reescrevendo a equação para esta condição tem-se:

$$i_{f \min} = i_{rr} + \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot (1 - 2 \cdot ma) \quad (1.25)$$

De acordo com as equações 1.22 e 1.25, a comutação suave será garantida se a seguinte condição for satisfeita:

$$i_{rr} + \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot (1 - 2 \cdot ma) \geq \frac{E}{2} \cdot \sqrt{\frac{C_1 + C_{SA}}{L_{SA}}} \quad (1.26)$$

Para os mesmos parâmetros de projeto descritos anteriormente, pode-se traçar as seguintes curvas de i_f em relação à carga de saída, para diferentes valores de modulação, ma .

Para estas curvas será considerado que $C_1 = C_A = 1 \text{ nF}$.

A Figura 16 mostra a corrente i_f para uma carga de saída de $32,26 \Omega$, que representa a carga máxima a 220 V. A Figura 17 mostra o comportamento de i_f para uma carga de $10,75 \Omega$, que representa a carga máxima do inversor operando a 127 V.

Nota-se que a comutação suave é garantida para toda faixa, uma vez que as modulações correspondentes a 220 V e 127 V, respectivamente 0,78 e 0,45, estão acima de $i_{f \min}$.

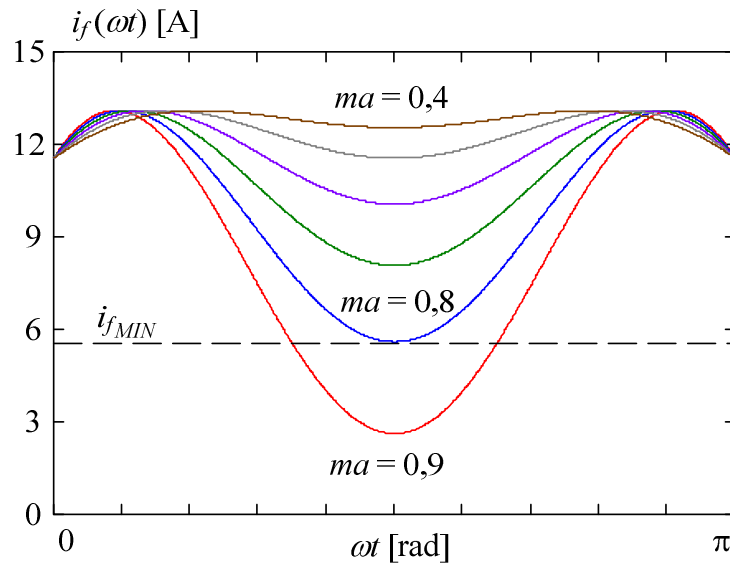


Figura 16 – Corrente i_f quando $R_{OUT} = 32,26 \, \Omega$, para diversos valores de ma .

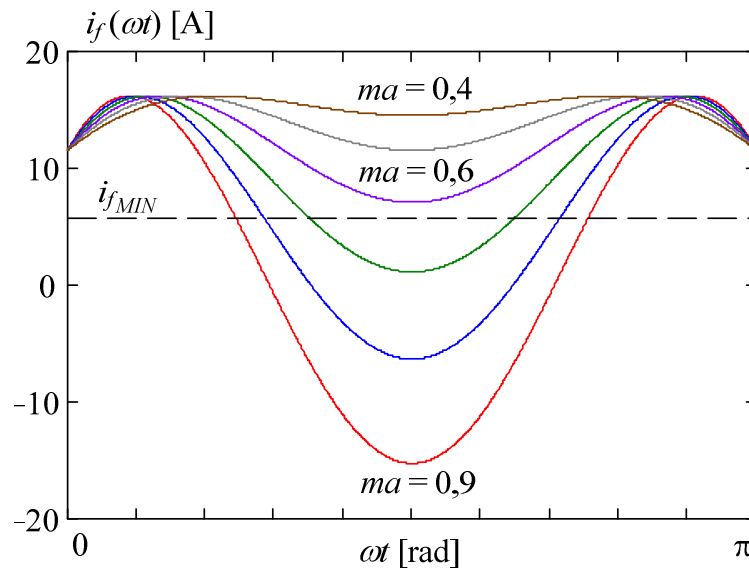


Figura 17 – Corrente i_f quando $R_{OUT} = 10,75 \, \Omega$, para diversos valores de ma .

1.4.4 Esforços dos componentes

Durante este capítulo serão desenvolvidas as principais expressões e ábacos para o posterior dimensionamento dos elementos do inversor. Para o cálculo dos esforços nos componentes serão desprezadas as perdas por comutação.

ESFORÇOS DOS INTERRUPTORES PRINCIPAIS Q_1 E Q_4

A corrente média instantânea (corrente referente a um ciclo de comutação) pode ser obtida através da seguinte expressão:

$$iQ_{1mi} = iQ_{4mi} = \frac{1}{T_s} \cdot \int_0^{D \cdot T_s} i_{OUT} \cdot dt \quad (1.27)$$

Resolvendo-se a integral têm-se:

$$iQ_{1mi} = iQ_{4mi} = D \cdot i_{OUT} \quad (1.28)$$

Utilizando as equações 1.10 e 1.17, aplicando em 1.28 têm-se:

$$iQ_{1mi}(\omega t) = iQ_{4mi}(\omega t) = \frac{E \cdot ma^2}{2 \cdot R_{OUT}} \cdot \text{sen}^2(\omega t) \quad (1.29)$$

A corrente média sobre os interruptores para um período da frequência de saída do inversor é obtida por:

$$iQ_{1,4med} = \frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} \frac{E \cdot ma^2}{2 \cdot R_{OUT}} \cdot \text{sen}^2(\omega t) \cdot d\omega t \quad (1.30)$$

Obtêm-se então:

$$iQ_{1,4med} = \frac{E \cdot ma^2}{8 \cdot R_{OUT}} \quad (1.31)$$

Parametrizando tem-se:

$$\overline{iQ_{1,4med}} = \frac{iQ_{1,4med} \cdot R_{OUT}}{E} = \frac{ma^2}{8} \quad (1.32)$$

A corrente eficaz para um ciclo de comutação é obtida por:

$$iQ_{1,4efi} = \sqrt{\frac{1}{T_s} \cdot \int_0^{T_s} (i_{OUT})^2 \cdot dt} \quad (1.33)$$

$$iQ_{1,4efi} = \sqrt{D} \cdot i_{OUT} \quad (1.34)$$

Para um ciclo de saída de rede, têm-se:

$$iQ_{1,4ef} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} i_{OUT}^2(\omega t) \cdot D(\omega t) \cdot d\omega t} \quad (1.35)$$

Aplicando 1.10 e 1.17 e resolvendo a integral tem-se:

$$iQ_{1,4ef} = \frac{E \cdot ma}{R_{OUT}} \cdot \sqrt{\frac{ma}{6 \cdot \pi}} \quad (1.36)$$

Parametrizando da mesma forma feita para $iQ_{1,4med}$:

$$\overline{iQ_{1,4ef}} = \frac{iQ_{1,4ef} \cdot R_{OUT}}{E} = ma \cdot \sqrt{\frac{ma}{6 \cdot \pi}} \quad (1.37)$$

Com as equações 1.32 e 1.37, pode-se traçar as curvas de corrente média e corrente eficaz para os interruptores Q_1 e Q_4 .

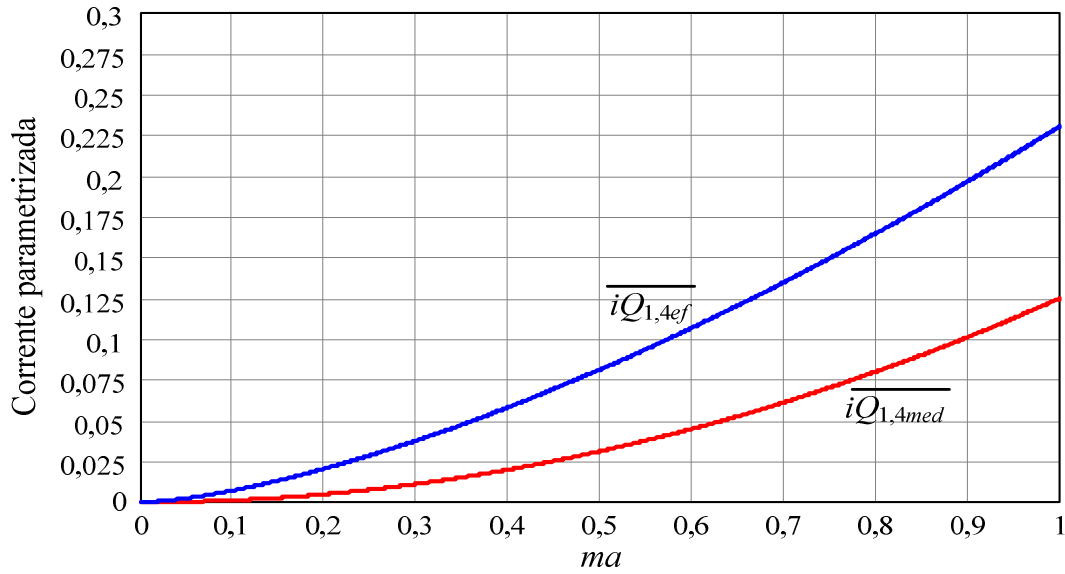


Figura 18 – Valores parametrizados de corrente média e corrente eficaz para os interruptores Q_1 e Q_4 .

ESFORÇOS DOS INTERRUPTORES SECUNDÁRIOS Q_2 E Q_3

Assim como deduzidas para os interruptores principais, podem-se deduzir as equações de corrente média e corrente eficaz para os interruptores secundários, responsáveis pelo grameamento em zero da tensão na carga (efeito roda-livre).

A corrente média nestes interruptores está atrelada a corrente de carga apenas, não importando o período de comutação. Assim, a corrente média é definida por:

$$iQ_{2med} = iQ_{3med} = i_{OUT} \quad (1.38)$$

Para um período de carga, tem-se que:

$$iQ_{2,3med} = \frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot \text{sen}(\omega t) \cdot d\omega t \quad (1.39)$$

Resolvendo-se a integral:

$$iQ_{2,3med} = \frac{E \cdot ma}{2 \cdot \pi \cdot R_{OUT}} \quad (1.40)$$

Parametrizando tem-se:

$$\overline{iQ_{2,3med}} = \frac{iQ_{2,3med} \cdot R_{OUT}}{E} = \frac{ma}{2 \cdot \pi} \quad (1.41)$$

Da mesma forma, pode-se calcular a corrente eficaz sobre os mesmos interruptores:

$$i_{Q_{2,3ef}} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^\pi \left(\frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot \sin(\omega t) \right)^2 \cdot d\omega t} \quad (1.42)$$

Resolvendo a integral tem-se:

$$i_{Q_{2,3ef}} = \frac{E \cdot ma}{4 \cdot R_{OUT}} = \frac{\pi}{2} \cdot i_{Q_{2,3med}} \quad (1.43)$$

Parametrizando da mesma forma que para $i_{Q_{2,3med}}$:

$$\frac{\overline{i_{Q_{2,3ef}}}}{E} = \frac{i_{Q_{2,3ef}} \cdot R_{OUT}}{E} = \frac{ma}{4} \quad (1.44)$$

Com as equações 1.41 e 1.44, pode-se traçar as curvas da corrente média e da corrente eficaz para os interruptores Q_2 e Q_3 . Este ábaco pode ser visto na Figura 19.

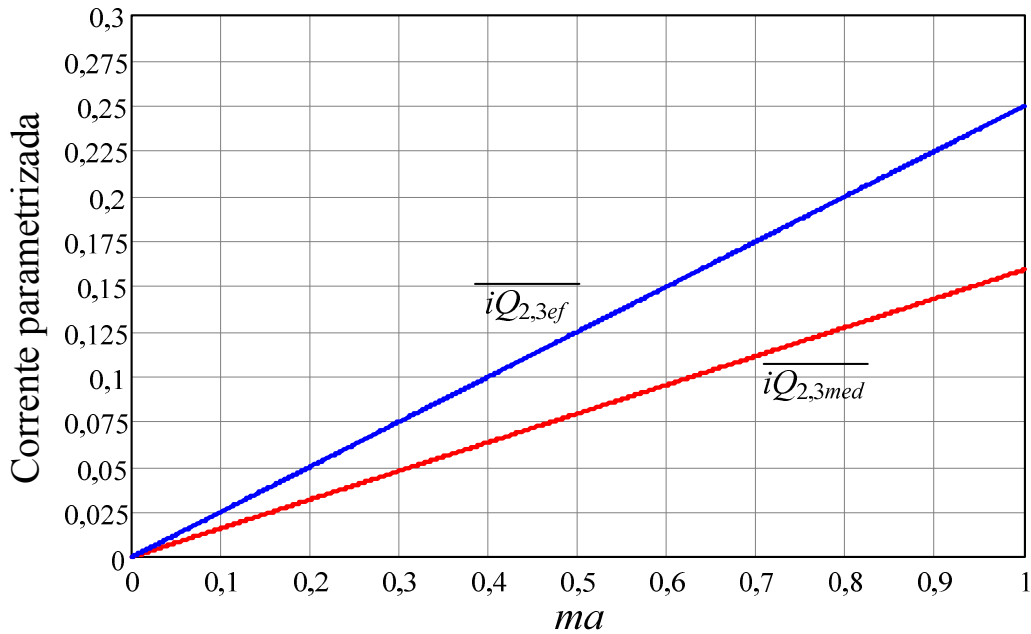


Figura 19 – Valores parametrizados de corrente média e corrente eficaz para os interruptores Q_2 e Q_3 .

ESFORÇOS DOS DIODOS DE GRAMPEAMENTO D_5 E D_6

A corrente nos diodos de grampeamento estará circulando sempre que os interruptores Q_1 e Q_4 estiverem abertos, conforme o sentido da corrente da carga.

Desta forma, usando como base a equação 1.28, tem-se:

$$i_{D_{5mi}} = i_{D_{6mi}} = (1 - D) \cdot i_{OUT} \quad (1.45)$$

Utilizando as equações 1.10 e 1.17, aplicando em 1.43 têm-se:

$$iD_{5mi}(\omega t) = iD_{6mi}(\omega t) = \frac{E \cdot ma}{2 \cdot Z_{OUT}} \cdot \text{sen}(\omega t) \cdot (1 - ma \cdot \text{sen}(\omega t)) \quad (1.46)$$

A corrente média sobre os interruptores principais para um período de carga é obtida por:

$$iD_{5,6med} = \frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} \frac{E \cdot ma}{2 \cdot R_{OUT}} \cdot \text{sen}(\omega t) \cdot (1 - ma \cdot \text{sen}(\omega t)) \cdot d\omega t \quad (1.47)$$

Desta forma:

$$iD_{5,6med} = \frac{E \cdot ma}{8 \cdot R_{OUT}} \cdot \left(\frac{4}{\pi} - ma \right) \quad (1.48)$$

Parametrizando tem-se:

$$\overline{iD_{5,6med}} = \frac{iD_{5,6med} \cdot R_{OUT}}{E} = \frac{ma}{8} \cdot \left(\frac{4}{\pi} - ma \right) \quad (1.49)$$

Da mesma forma, obtêm-se a corrente eficaz:

$$iD_{5,6efi} = \sqrt{\frac{1}{T_S} \cdot \int_{D, T_S}^{T_S} i_{OUT}^2 \cdot dt} \quad (1.50)$$

Resolvendo obtém-se:

$$iD_{5,6efi} = \sqrt{1 - D} \cdot i_{OUT} \quad (1.51)$$

Para um ciclo de frequência fundamental de saída, têm-se:

$$iD_{5,6ef} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} (1 - D(\omega t)) \cdot i_{OUT}^2(\omega t) \cdot d\omega t} \quad (1.52)$$

Aplicando 1.10 e 1.17 e resolvendo a integral tem-se:

$$iD_{5,6ef} = \frac{E \cdot ma}{4 \cdot R_{OUT}} \sqrt{1 - \frac{8 \cdot ma}{3 \cdot \pi}} \quad (1.53)$$

Parametrizando:

$$\overline{iD_{5,6ef}} = \frac{iD_{5,6ef} \cdot R_{OUT}}{E} = \frac{ma}{4} \sqrt{1 - \frac{8 \cdot ma}{3 \cdot \pi}} \quad (1.54)$$

Com as equações 1.49 e 1.54 pode-se traçar as curvas de corrente média e corrente eficaz para os diodos D_5 e D_6 .

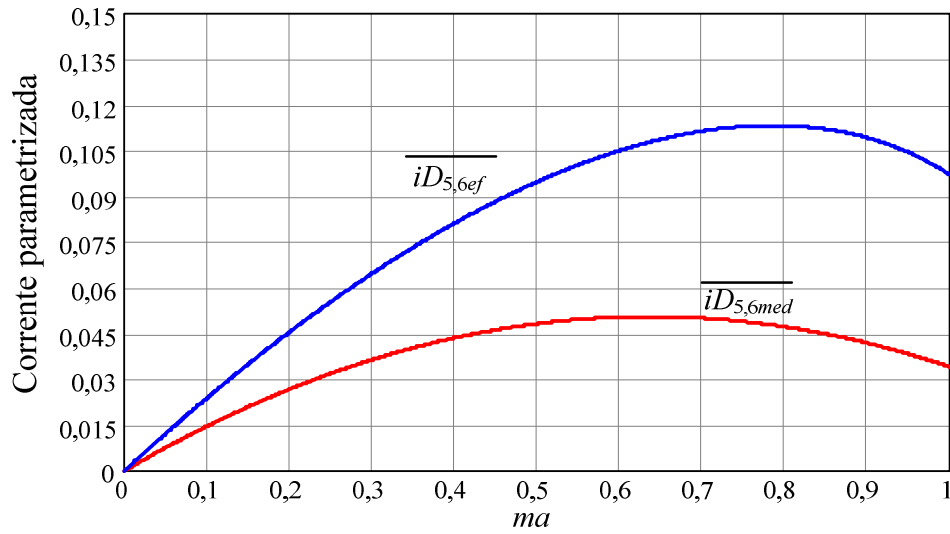


Figura 20 – Valores parametrizados de corrente média e corrente eficaz para os diodos D_5 e Q_6 .

ESFORÇOS DOS DIODOS AUXILIARES D_A E D_B

A corrente média instantânea nos diodos auxiliares é obtida a partir de três condições de operação distintas, determinadas pelo cruzamento da corrente por zero, conforme a Figura 21.

Considerando a corrente de recuperação reversa do diodo como a parcela negativa da forma de onda e os tempos t_A e t_B como sendo:

$$t_A = \frac{L_{SA,B}}{vC_{SA,B}} \cdot i_{rr} \quad (1.55)$$

$$t_B = \frac{L_{SA,B}}{vC_{SA,B}} \cdot (i_{rr} + i_{OUT}) \quad (1.56)$$

Para a condição 1 tem-se:

$$iD_{Ami-1} = iD_{Bmi-1} = -\frac{1}{T_S} \left[\int_{D.T_S}^{t_B} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_0^{D.T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} \right) \cdot dt \right] \quad (1.57)$$

Resolvendo a integral tem-se:

$$iD_{Ami-1}(\omega t) = -\frac{t_B(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_B(\omega t) - i_{rr} - i_{OUT}(\omega t) \right) - D(\omega t) \cdot i_{OUT}(\omega t) \quad (1.58)$$

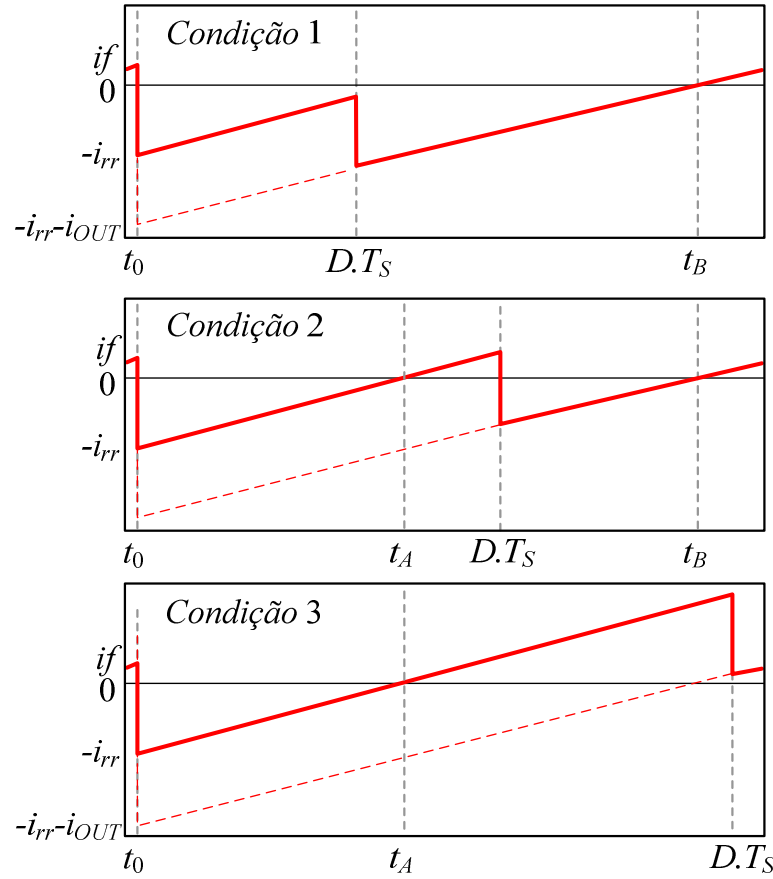


Figura 21 – Condições da corrente em Q_A existentes para um ciclo de comutação.

Para a condição 2 tem-se:

$$iD_{Ami-2} = iD_{Bmi-2} = -\frac{1}{T_S} \left[\int_{D.T_S}^{t_B} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_0^{t_A} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} \right) \cdot dt \right] \quad (1.59)$$

$$iD_{Ami-2}(\omega t) = \left[-\frac{t_A(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} - i_{rr} \right) - \frac{t_B(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_B(\omega t) - i_{rr} - i_{OUT}(\omega t) \right) + D(\omega t) \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} D \cdot (\omega t) \cdot T_S - i_{rr} - i_{OUT}(\omega t) \right) \right] \quad (1.60)$$

Para a condição 3 tem-se:

$$iD_{Ami-3} = iD_{Bmi-3} = -\frac{1}{T_S} \cdot \int_0^{t_A} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} \right) \cdot dt \quad (1.61)$$

$$iD_{Ami-3}(\omega t) = \frac{L_{SA,B}}{2 \cdot T_S \cdot vC_{SA,B}(\omega t)} \cdot i_{rr}^2 \quad (1.62)$$

Ao longo de cada semi-ciclo da frequência fundamental de saída, pode-se ter a primeira condição apenas, a primeira condição e a segunda condição, ou todas as condições descritas anteriormente. Isto pode ser visto através do exemplo da Figura 22, onde o tempo do ciclo ativo é comparado ao tempo t_A e ao tempo t_B .

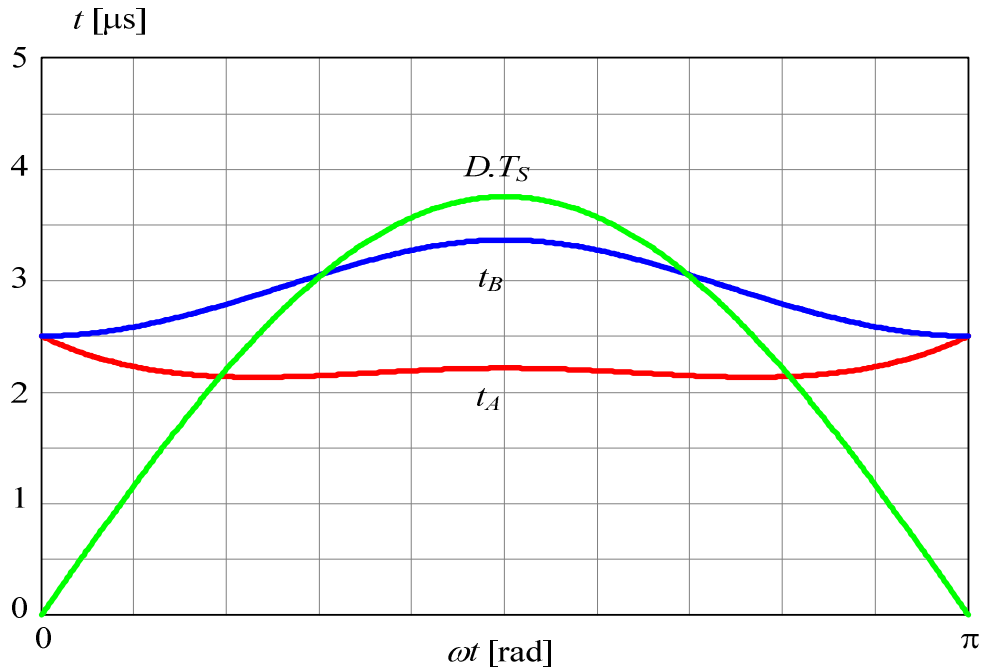


Figura 22 – Condições de operação para um semi-ciclo da frequência fundamental de saída.

No exemplo da Figura 22 todas as condições ocorrem, sendo a primeira condição enquanto $t_A > D.T_S$; a segunda condição quando $t_A < D.T_S < t_B$; e a terceira condição quando $D.T_S > t_B$. As condições irão ocorrer conforme a carga de saída, R_L , e o índice de modulação, ma . As curvas foram obtidas a partir das equações 1.55, 1.56 e pela multiplicação do ciclo ativo pelo período. Como t_B sempre é maior do que t_A , pode-se dizer que para uma carga e um índice de modulação qualquer, a corrente média será dada por:

Quando a condição 1 ocorrer durante todo o semi-ciclo:

$$iD_{Amed} = \frac{1}{\pi} \int_0^{\pi/2} iD_{A_{mi-1}}(\omega t) \cdot d(\omega t) \quad (1.63)$$

Quando as condições 1 e 2 ocorrerem durante todo o semi-ciclo:

$$iD_{Amed} = \frac{1}{\pi} \int_{W_1}^{\pi/2} iD_{Ami-2}(\omega t) \cdot d(\omega t) + \frac{1}{\pi} \int_0^{W_1} iD_{Ami-1}(\omega t) \cdot d(\omega t) \quad (1.64)$$

Onde W_1 é o valor de ωt onde $t_A = D \cdot T_S$.

Quando as condições 1, 2 e 3 ocorrerem durante todo o semi-ciclo.

$$iD_{Amed} = \frac{1}{\pi} \int_{W_2}^{\pi/2} iD_{Ami-3}(\omega t) \cdot d(\omega t) + \frac{1}{\pi} \int_{W_1}^{W_2} iD_{Ami-2}(\omega t) \cdot d(\omega t) + \frac{1}{\pi} \int_0^{W_1} iD_{Ami-1}(\omega t) \cdot d(\omega t) \quad (1.65)$$

Onde W_2 é o valor de ωt onde $t_B = D \cdot T_S$.

Da mesma forma, pode-se encontrar o valor eficaz da corrente de $D_{A,B}$ para as diferentes condições de operação:

Quando a condição 1 ocorrer durante todo o semi-ciclo.

$$iD_{Aef} = \sqrt{\frac{1}{\pi} \int_0^{\pi/2} iD_{Ami-1}(\omega t)^2 \cdot d(\omega t)} \quad (1.66)$$

Quando as condições 1 e 2 ocorrerem durante todo o semi-ciclo.

$$iD_{Aef} = \sqrt{\frac{1}{\pi} \left[\int_{W_1}^{\pi/2} iD_{Ami-2}(\omega t)^2 \cdot d(\omega t) + \int_0^{W_1} iD_{Ami-1}(\omega t)^2 \cdot d(\omega t) \right]} \quad (1.67)$$

Onde W_1 é o valor de ωt onde $t_A = D \cdot T_S$.

Quando as condições 1, 2 e 3 ocorrerem durante todo o semi-ciclo.

$$iD_{Aef} = \sqrt{\frac{1}{\pi} \left[\int_{W_2}^{\pi/2} iD_{Ami-3}(\omega t)^2 \cdot d(\omega t) + \int_{W_1}^{W_2} iD_{Ami-2}(\omega t)^2 \cdot d(\omega t) + \int_0^{W_1} iD_{Ami-1}(\omega t)^2 \cdot d(\omega t) \right]} \quad (1.68)$$

Com base nas equações 1.63 a 1.68 e considerando que $E = 800V$, $i_{rr} = 11,55 A$ e $L_{SA} = 10 \mu H$, pode-se traçar os ábacos para as correntes média, na Figura 23 e eficaz, na Figura 24, para os valores de carga de 10Ω a 50Ω . Nota-se um aumento considerável da corrente para as cargas de 10Ω e 20Ω com o aumento da modulação. Esta condição ocorre porque o tempo para se atingir t_B é maior do que um período de comutação, para um índice de modulação maior do que 0,6, para carga de 10Ω , e 0,75 para carga de 20Ω . Estes índices de modulação são acima do projetado para estes valores de carga.

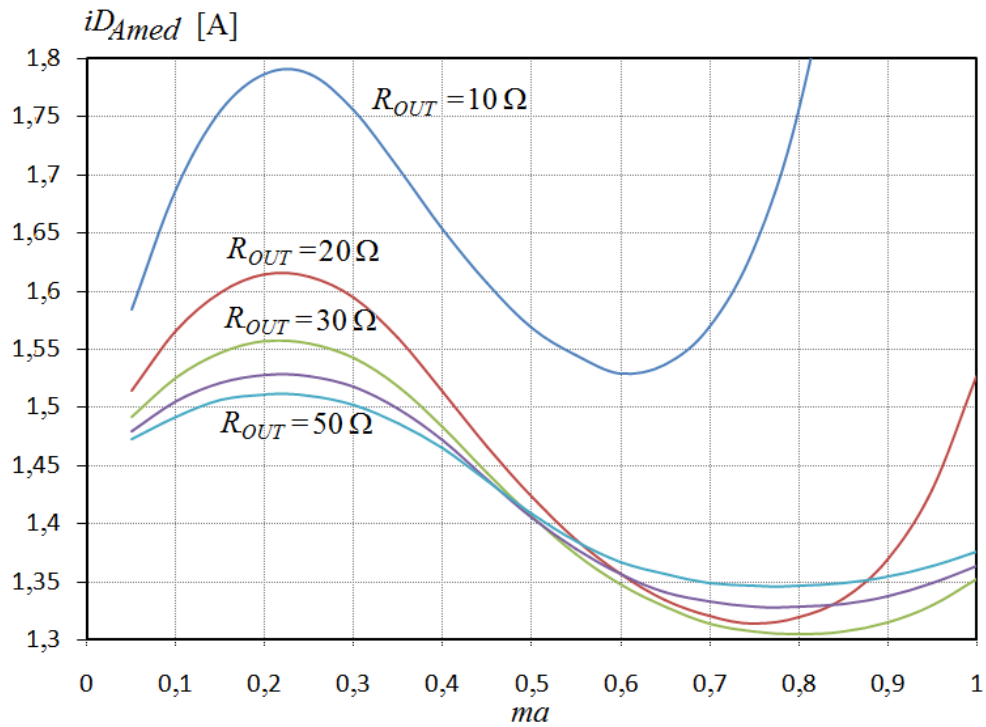


Figura 23 – Valores de corrente média para os diodos D_A e D_B .

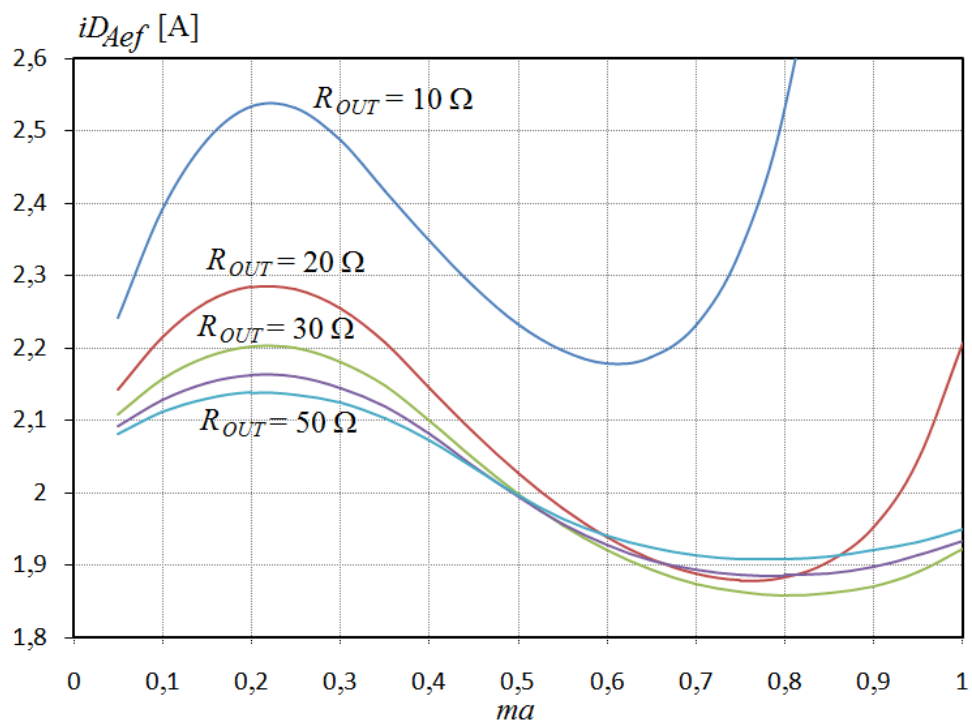


Figura 24 – Valores de corrente eficaz para os diodos D_A e D_B .

ESFORÇOS DOS INTERRUPTORES AUXILIARES Q_A E Q_B

Do mesmo modo que foram calculadas as correntes médias e eficazes para os diodos auxiliares, pode-se calcular para os interruptores auxiliares.

Considerando as três condições apresentadas na Figura 21, onde a parte positiva do sinal corresponde à corrente no interruptor, pode-se deduzir que:

Para a condição 1 tem-se:

$$iQ_{Ami-1} = iQ_{Bmi-1} = \frac{1}{T_S} \cdot \int_{t_B}^{T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt \quad (1.69)$$

Resolvendo a integral tem-se:

$$iQ_{Ami-1}(\omega t) = \frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot T_S - i_{OUT}(\omega t) - i_{rr} - \frac{t_B(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_B(\omega t) - i_{rr} - i_{OUT}(\omega t) \right) \quad (1.70)$$

Para a condição 2 tem-se:

$$iQ_{Ami-2} = iQ_{Bmi-2} = \frac{1}{T_S} \left[\int_{D \cdot T_S}^{T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_{t_A}^{D \cdot T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} \right) \cdot dt \right] \quad (1.71)$$

$$iQ_{Ami-2}(\omega t) = \left[\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot T_S - i_{rr} - i_{OUT}(\omega t) - \frac{t_A(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_A(\omega t) - i_{rr} \right) - \frac{t_B(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_B(\omega t) - i_{rr} - i_{OUT}(\omega t) \right) + D(\omega t) \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot D \cdot (\omega t) \cdot T_S - i_{rr} \right) \right] \quad (1.72)$$

Para a condição 3 tem-se:

$$iQ_{Ami-3} = iQ_{Bmi-3} = \frac{1}{T_S} \cdot \left[\int_{D \cdot T_S}^{T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt + \int_{t_A}^{D \cdot T_S} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} \right) \cdot dt \right] \quad (1.73)$$

Resolvendo a integral tem-se:

$$iQ_{Ami-3}(\omega t) = \frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot T_S - i_{rr} + i_{OUT}(\omega t) \cdot (D - 1) + \frac{t_A(\omega t)}{T_S} \cdot \left(\frac{vC_{SA,B}(\omega t)}{2 \cdot L_{SA,B}} \cdot t_A(\omega t) - i_{rr} \right) \quad (1.74)$$

Igualando-se as equações 1.58 a 1.70, 1.60 a 1.72, 1.62 a 1.74 e ainda utilizando 1.16, chega-se a:

$$\begin{bmatrix} iQ_{Ami-1}(\omega t) = iD_{Ami-1}(\omega t) \\ iQ_{Ami-2}(\omega t) = iD_{Ami-2}(\omega t) \\ iQ_{Ami-3}(\omega t) = iD_{Ami-3}(\omega t) \end{bmatrix} \quad (1.75)$$

E portanto:

$$\begin{bmatrix} iQ_{Amed}(\omega t) = iD_{Amed}(\omega t) \\ iQ_{Aef}(\omega t) = iD_{Aef}(\omega t) \end{bmatrix} \quad (1.76)$$

Desta forma, os mesmos ábacos de corrente média e corrente eficaz para os diodos auxiliares se aplicam aos interruptores auxiliares. Os ábacos podem ser vistos na Figura 25 e na Figura 26.

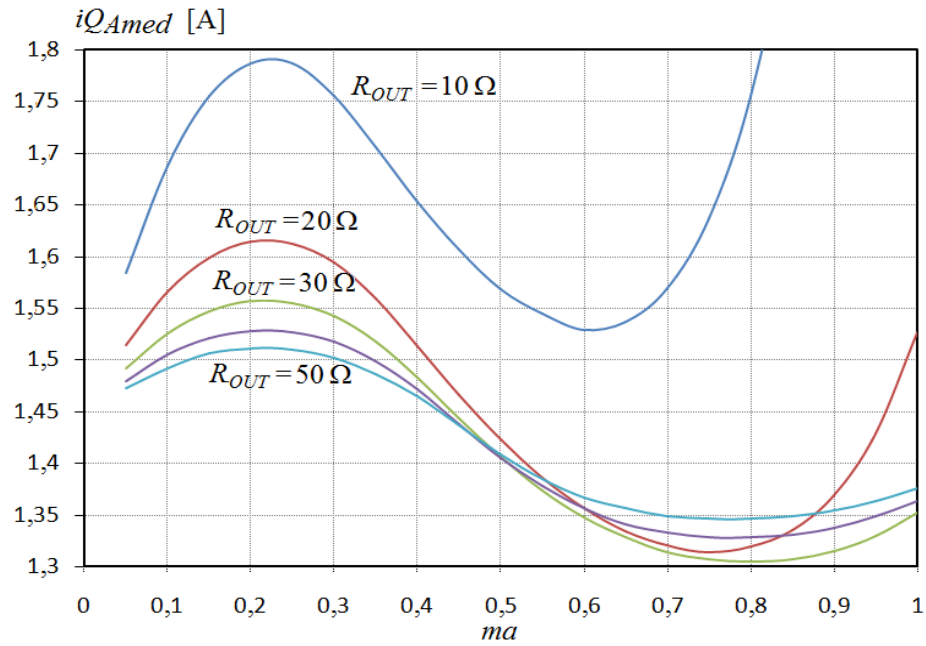


Figura 25 – Valores de corrente média para os interruptores Q_A e Q_B .

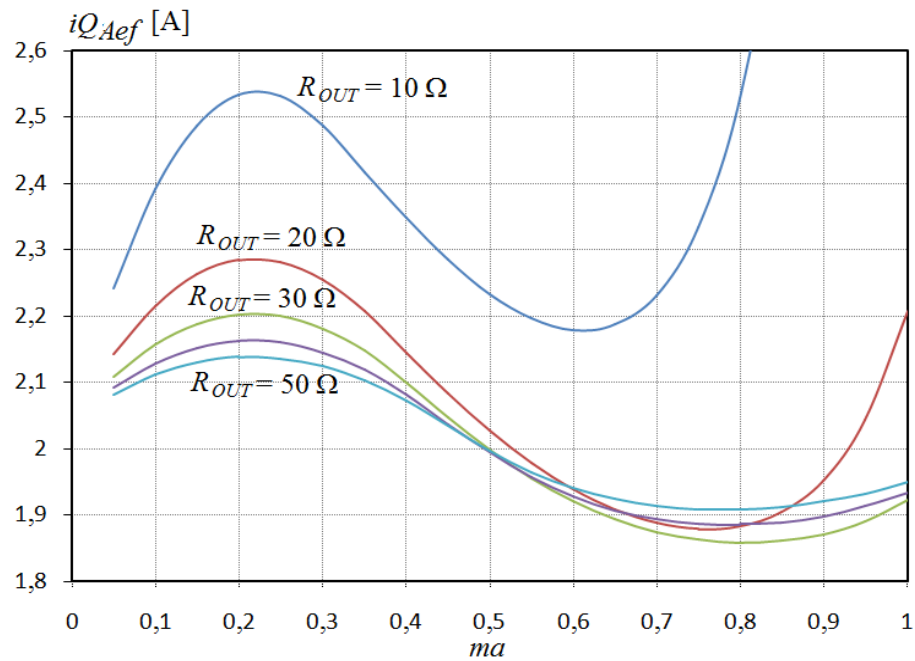


Figura 26 – Valores de corrente eficaz para os interruptores Q_A e Q_B .

ESFORÇOS DOS INDUTORES AUXILIARES L_{SA} E L_{SB}

A corrente média instantânea nos indutores auxiliares é obtida pela seguinte expressão:

$$iL_{SAmi} = iL_{SBmi} = -\frac{1}{T_s} \cdot \int_0^{T_s} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right) \cdot dt \quad (1.77)$$

Resolvendo a integral tem-se:

$$iL_{SAmi} = iL_{SBmi} = -\frac{vC_{SA,B} \cdot T_s}{2 \cdot L_{SA,B}} \cdot i_{rr} + i_{OUT} \quad (1.78)$$

Aplicando a equação 1.19:

$$iL_{SAmi}(\omega t) = iL_{SBmi}(\omega t) = \frac{E \cdot ma^2}{2 \cdot Z_{OUT}} \cdot \sin^2 \omega t \quad (1.79)$$

A corrente eficaz instantânea é obtida por:

$$iL_{SAefi} = iL_{SBefi} = \sqrt{\frac{1}{T_s} \cdot \int_0^{T_s} \left(\frac{vC_{SA,B}}{L_{SA,B}} t - i_{rr} - i_{OUT} \right)^2 \cdot dt} \quad (1.80)$$

$$iL_{SAefi} = \sqrt{\frac{[i_{rr} + (1-D) \cdot i_{OUT}] \cdot \{4 \cdot [i_{rr} + (1-D) \cdot i_{OUT}] - 6 \cdot (i_{rr} + i_{OUT})\}}{3} + (i_{rr} + i_{OUT})^2} \quad (1.81)$$

$$iL_{SAef} = \sqrt{\frac{1}{2 \cdot \pi} \cdot \int_0^{\pi} (iL_{SAefi})^2 dt} \quad (1.82)$$

Considerando $i_{rr} = 11,55$ A e $E = 800$ V, pode-se traçar o ábaco da Figura 27, utilizando as equações 1.10, 1.16 e 1.81.

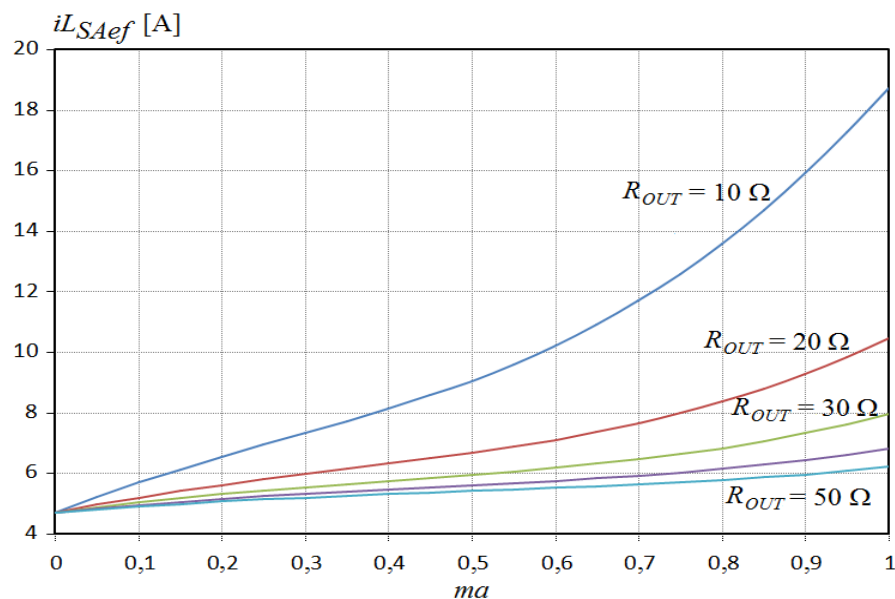


Figura 27 – Valores de corrente eficaz para os indutores L_{SA} e L_{SB} .

1.5 PROJETO DO INVERSOR

Neste capítulo é exposto a metodologia de projeto do inversor NPC ZVS PWM, com base nas especificações desejadas para este estudo.

1.5.1 Especificações gerais

As especificações do inversor são apresentadas na Tabela 2.

Tabela 2 – Especificações gerais do inversor NPC ZVS PWM.

E	Tensão de Barramento	800 V
V_{OUTef}	Tensão eficaz de saída	127 V, 220 V
P_{OUT}	Potência de saída	1,5 kVA
I_{OUTef}	Corrente eficaz máxima de saída	12 A
R_{OUT}	Resistência de carga	10,75 Ω ; 32,26 Ω
f_s	Frequência de comutação	200 kHz
f_{OUT}	Frequência de tensão na carga	60 Hz
f_{OUTmax}	Frequência de corte do filtro de saída	3 kHz
$\Delta i_{L_{OUT}}$	Máxima ondulação de corrente no indutor de saída	25 %

1.5.2 Escolha do indutor auxiliar

O indutor auxiliar controla a derivada de corrente no funcionamento do inversor. Esta está diretamente relacionada com o valor máximo da corrente de recuperação reversa do diodo de grampeamento do NPC.

A derivada de corrente escolhida para o projeto foi de 40 A/ μ s, o que evita um pico de corrente excessivo nas chaves auxiliares, que ocasiona o aumento da corrente eficaz sobre os indutores, assim como o seu tamanho. A partir do valor da derivada de corrente, pode-se obter o valor dos indutores L_{SA} e L_{SB} :

$$L_{SA} = L_{SB} = \frac{E}{2 \cdot \frac{di}{dt}} = \frac{800}{2 \cdot 40} = 10 \mu\text{H} \quad (1.83)$$

1.5.3 Dimensionamento dos diodos de grampeamento D_5 e D_6

O funcionamento do inversor está diretamente relacionado à escolha dos diodos de grampeamento do NPC, uma vez que a energia da recuperação reversa destes é responsável por manter a carga dos capacitores auxiliares, que, como visto na análise qualitativa, é responsável pela comutação suave.

Para os cálculos a seguir, foi considerada uma frequência fundamental de saída baixa, inferior a 100 Hz. Desta forma, a indutância de carga L_{OUT} não afeta a resistência de carga significativamente, pois possui um valor de indutância baixa. Assim $Z_{OUT} \cong R_{OUT}$.

De acordo com a equação 1.46:

$$iD_{5,6med} = \frac{800 \cdot 0,45}{8 \cdot 10,75} \cdot \left(\frac{4}{\pi} - 0,45 \right) = 3,446 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.84)$$

$$iD_{5,6med} = \frac{800 \cdot 0,78}{8 \cdot 32,26} \cdot \left(\frac{4}{\pi} - 0,78 \right) = 1,192 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.85)$$

E de acordo com 1.53:

$$iD_{5,6ef} = \frac{800 \cdot 0,45}{4 \cdot 10,75} \sqrt{1 - \frac{8 \cdot 0,45}{3 \cdot \pi}} = 6,582 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.86)$$

$$iD_{5,6ef} = \frac{800 \cdot 0,78}{4 \cdot 32,26} \sqrt{1 - \frac{8 \cdot 0,78}{3 \cdot \pi}} = 2,811 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.87)$$

A tensão reversa sobre estes diodos é equivalente a metade da tensão de barramento somada à tensão do capacitor auxiliar, v_{CSA} , v_{CSB} . Conforme ábacos da Figura 14 e da Figura 15, esta tensão é inferior a 100 V, portanto a tensão total sobre os diodos é inferior a 500 V. Desta forma, um valor de 600 V é considerado razoável para a aplicação.

Outro ponto importante para o projeto, como visto nos ábacos da Figura 16 e da Figura 17, é a energia da recuperação reversa do diodo. A corrente utilizada no exemplo foi obtida com um diodo com carga de recuperação reversa igual a $2,5 \mu\text{C}$, conforme equação 1.20.

$$i_{rr} = \sqrt{\frac{4}{3} \cdot 2,5 \cdot 10^{-6} \cdot \frac{800}{2 \cdot 10^{-5}}} = 11,55 \text{ A} \quad (1.88)$$

Baseado na tensão máxima, nas correntes média e eficaz, na energia da recuperação reversa e na disponibilidade do laboratório, foi escolhido o diodo para o projeto. As características principais deste diodo podem ser vistas na Tabela 3.

Tabela 3 – Principais características do diodo APT60D120.

Máxima Tensão Reversa	1200 V
Queda de tensão direta @ 60 A e 25 °C ($V_{(TO)}$)	2 V
Resistência de junção (r_T)	8 mΩ
Máxima Corrente Média Direta	60 A
Pico Repetitivo de Corrente Máximo	115 A
Resistência Térmica Junção-Cápsula	0,31 °C/W
Máxima Temperatura de Junção	175 °C
Energia de recuperação reversa	2,5 μC

A tensão máxima sobre o diodo será então de:

$$vD_{5,6} = \frac{E}{2} + vC_{SA,B_{MAX}} = \frac{800}{2} + 100 = 500 \text{ V} \quad (1.89)$$

As perdas são obtidas por:

$$P_{D5,D6} = V_{(TO)} \cdot i_{Dmed} + r_T \cdot i_{Def}^2 \quad (1.90)$$

$$P_{D5,D6} = 2 \cdot 3,446 + 8 \cdot 10^{-3} \cdot 6,582^2 = 7,239 \text{ W}, \text{ para } 127 \text{ V} \quad (1.91)$$

$$P_{D5,D6} = 2 \cdot 1,192 + 8 \cdot 10^{-3} \cdot 2,811^2 = 2,447 \text{ W}, \text{ para } 220 \text{ V} \quad (1.92)$$

O valor de queda de tensão apresentado na tabela e utilizado nas equações anteriores foi o referente a uma temperatura de 25 °C, o que é o pior caso para o diodo, uma vez que esta tensão diminui com o aumento da temperatura de junção.

1.5.4 Dimensionamento dos interruptores principais Q_1 e Q_4

A tensão máxima para estes interruptores será a mesma calculada para os diodos de grampeamento D_5 e D_6 .

A corrente média é calculada pela equação 1.31:

$$iQ_{1,4med} = \frac{800 \cdot 0,45^2}{8 \cdot 10,75} = 1,884 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.93)$$

$$iQ_{1,4med} = \frac{800 \cdot 0,78^2}{8 \cdot 32,26} = 1,886 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.94)$$

A corrente eficaz é calculada por 1.36:

$$iQ_{1,4ef} = \frac{800 \cdot 0,45}{10,75} \cdot \sqrt{\frac{0,45}{6 \cdot \pi}} = 5,174 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.95)$$

$$i_{Q_{1,4ef}} = \frac{800 \cdot 0,78}{32,26} \cdot \sqrt{\frac{0,78}{6 \cdot \pi}} = 3,935 \text{ A} \rightarrow \text{para 220 V} \quad (1.96)$$

O interruptor escolhido para o projeto foi o IGBT da International Rectifier, modelo IRGP50B60PD1. As características deste IGBT podem ser vistas na Tabela 4.

Para o cálculo de perdas, será considerado o pior caso da tensão de saturação emissor-coletor, que ocorre na maior temperatura neste IGBT (coeficiente positivo). Desta forma tem-se:

$$P_{Q_{1,Q4}} = 2,6 \cdot 1,884 = 4,898 \text{ W} \rightarrow \text{para 127 V} \quad (1.97)$$

$$P_{Q_{1,Q4}} = 2,6 \cdot 1,886 = 4,903 \text{ W} \rightarrow \text{para 220 V} \quad (1.98)$$

Tabela 4 – Principais características do transistor IGBT IRGP50B60PD1.

Máxima Tensão Coletor Emissor	600 V
Máxima Corrente Contínua no Coletor	45 A
Máxima Corrente Pulsada	150 A
Resistência Térmica Junção-Cápsula	0,32 °C/W
Tensão de Saturação Emissor-Coletor @ 125 °C	2,6 V
Tensão de Saturação Diodo Interno @ 125 °C	1,3 V

1.5.5 Dimensionamento dos interruptores secundários Q_2 e Q_3

A tensão máxima sobre estes interruptores também será a metade da tensão de barramento somada à tensão do capacitor auxiliar.

A corrente média é obtida pela equação 1.40:

$$i_{Q_{2,3med}} = \frac{800 \cdot 0,45}{2 \cdot \pi \cdot 10,75} = 5,329 \text{ A} \rightarrow \text{para 127 V} \quad (1.99)$$

$$i_{Q_{2,3med}} = \frac{800 \cdot 0,78}{2 \cdot \pi \cdot 32,26} = 3,078 \text{ A} \rightarrow \text{para 220 V} \quad (1.100)$$

A corrente eficaz é calculada por 1.43:

$$i_{Q_{2,3ef}} = \frac{\pi}{2} \cdot 5,329 = 8,372 \text{ A} \rightarrow \text{para 127 V} \quad (1.101)$$

$$i_{Q_{2,3ef}} = \frac{\pi}{2} \cdot 3,078 = 4,835 \text{ A} \rightarrow \text{para 220 V} \quad (1.102)$$

O interruptor escolhido foi o mesmo utilizado para Q_1 e Q_4 . As perdas são calculadas da mesma forma:

$$P_{Q2,Q3} = 2,6 \cdot 5,329 = 13,855 \text{ W} \rightarrow \text{para } 127 \text{ V} \quad (1.103)$$

$$P_{Q2,Q3} = 2,6 \cdot 3,078 = 8,003 \text{ W} \rightarrow \text{para } 220 \text{ V} \quad (1.104)$$

1.5.6 Dimensionamento dos interruptores auxiliares Q_A e Q_B e dos diodos D_A e D_B

A tensão máxima sobre estes interruptores e diodos também será a mesma calculada para os diodos de grampeamento.

A corrente média dos diodos e interruptores é obtida pelos ábacos da Figura 23 e da Figura 25:

$$iD_{A,Bmed} = iQ_{A,Bmed} = 1,61 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.105)$$

$$iD_{A,Bmed} = iQ_{A,Bmed} = 1,31 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.106)$$

A corrente eficaz é obtida pelos ábacos da Figura 24 e da Figura 26:

$$iD_{A,Bef} = iQ_{A,Bef} = 2,25 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.107)$$

$$iD_{A,Bef} = iQ_{A,Bef} = 1,87 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.108)$$

O interruptor escolhido foi o mesmo utilizado para Q_1 e Q_4 . As perdas são calculadas considerando as perdas do diodo e as perdas dos IGBTs:

$$P_{QA,QB} = 2,6 \cdot 1,61 + 1,3 \cdot 1,61 = 6,279 \text{ W} \rightarrow \text{para } 127 \text{ V} \quad (1.109)$$

$$P_{QA,QB} = 2,6 \cdot 1,31 + 1,3 \cdot 1,31 = 5,109 \text{ W} \rightarrow \text{para } 220 \text{ V} \quad (1.110)$$

1.5.7 Dimensionamento dos indutores auxiliares L_{SA} e L_{SB}

A corrente eficaz nos indutores L_{SA} e L_{SB} pode ser obtida pelo ábaco da Figura 27:

$$iL_{SA,Bef} = 8,275 \text{ A} \rightarrow \text{para } 127 \text{ V} \quad (1.111)$$

$$iL_{SA,Bef} = 6,566 \text{ A} \rightarrow \text{para } 220 \text{ V} \quad (1.112)$$

A corrente de pico é obtida pelo pico da corrente de recuperação reversa dos diodos somada à corrente de pico na carga. Desta forma:

$$iL_{SA,Bpico} = i_{rr} + \sqrt{2} \cdot i_{OUT\ max} \quad (1.113)$$

$$iL_{SA,Bpico} = 11,55 + \sqrt{2} \cdot 12 = 28,52\ A \quad (1.114)$$

A metodologia utilizada para dimensionamento físico dos indutores foi baseada em [31] e [32].

Os valores de densidade de corrente, fluxo magnético e fator de utilização da janela do núcleo devem ser arbitrados inicialmente. Para este projeto, utilizaram-se os valores apresentados na Tabela 5.

Tabela 5 – Limites de projeto dos indutores auxiliares.

$Kw = 0,7$	Fator de utilização da janela do núcleo
$J_{max} = 350\ A/cm^2$	Densidade máxima de corrente
$B_{max} = 0,3\ T$	Fluxo magnético máximo

A partir desses valores é possível calcular o produto de áreas do núcleo a ser utilizado, através da equação 1.115.

$$AeAw = \frac{L_{SA} \cdot iL_{SApico} \cdot iL_{SAef} \cdot 10^4}{B_{max} \cdot J_{max}} = \frac{10\ \mu H \cdot 28,52\ A \cdot 8.275\ A \cdot 10^4}{0,3\ T \cdot 350\ A/cm^2} = 0,22\ cm^4 \quad (1.115)$$

Onde:

Ae - Área efetiva do núcleo (cm^2)

Aw - Área da janela do núcleo (cm^2)

Baseado nesses valores de área optou-se pela utilização do núcleo E-30/15/7 de material IP6, fabricado pela Thornton. Embora o núcleo de material IP12 tenha melhores características magnéticas, este não estava disponível no laboratório, por isso a escolha pelo material IP6. Esse núcleo apresenta Ae igual a $0,6\ cm^2$ e Aw igual a $0,8\ cm^2$, resultando num produto de áreas igual a $0,48\ cm^4$. Segundo catálogo do fabricante, esse núcleo apresenta geometria apresentada na Figura 28 e características apresentadas na Tabela 6.

O número de espiras do indutor (N_p) é calculado pela equação 1.116. Esse valor deve ser arredondado para cima.

$$N_p = \frac{L_{SA} \cdot iL_{SApico}}{Ae \cdot B_{max}} = \frac{10^{-5} \cdot 28,52}{0,6 \cdot 10^{-4} \cdot 0,3} = 15,84 \rightarrow 16\ esp. \quad (1.116)$$

Devido à alta frequência de operação do indutor, deve-se estar atento ao efeito pelicular que agirá sobre os condutores. Utilizando a equação 1.117 com o coeficiente de penetração do cobre, pode-se calcular o diâmetro máximo dos condutores (D_{Cmax}).

$$D_{Cmax} = \sqrt{\frac{225 \cdot \text{cm}^2/\text{s}}{f_s}} = \frac{225}{200000} = 0,335 \text{ mm} \quad (1.117)$$

Baseando-se nesse valor máximo de diâmetro, optou-se por utilizar fio AWG 28, que tem as características presentes na Tabela 7.

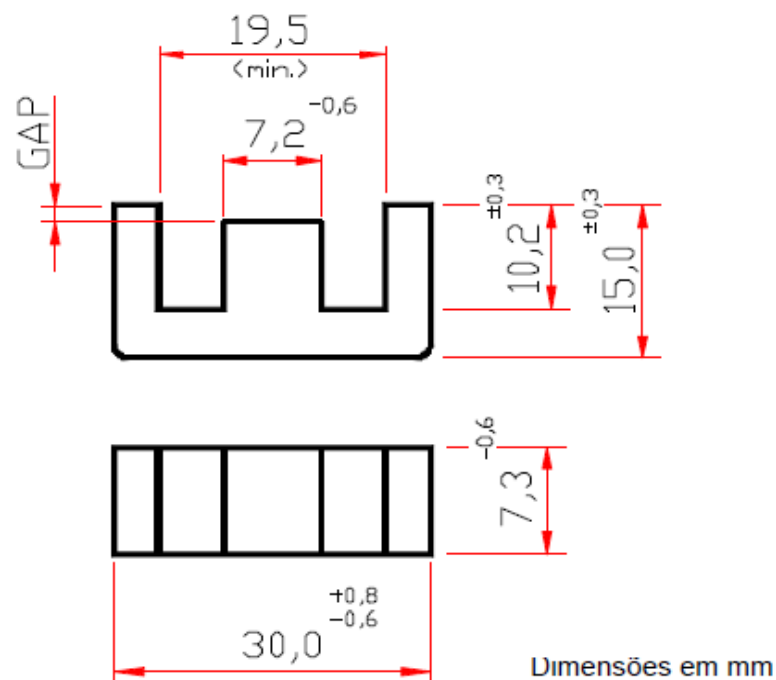


Figura 28 - Dimensões do núcleo 30/15/7 da Thornton.

Tabela 6 - Características do núcleo escolhido.

$l_t = 6,7 \text{ cm}$	Comprimento médio de uma espira
$V_n = 4 \text{ cm}^3$	Volume do núcleo

Tabela 7 – Características do fio AWG 28.

$D_{28} = 0,32 \text{ mm}$	Diâmetro do fio nu
$S_{28} = 0,081 \text{ mm}^2$	Área do fio nu
$S_{28\text{-iso}} = 0,0962 \text{ mm}^2$	Área do fio isolado
$R_{28} = 0,21 \text{ } \Omega/\text{m}$	Resistência do fio a 100°C

A área mínima de cobre pode ser calculada através da relação entre a corrente eficaz através do indutor e a densidade máxima de corrente. Essa relação e o seu resultado são apresentados na equação 1.118.

$$S_L = \frac{iL_{SAef}}{J_{\max}} = \frac{8,275}{3,50} = 2,36 \text{ mm}^2 \quad (1.118)$$

Sabendo-se essa área, divide-se ela pela seção transversal do fio escolhido para se obter a quantidade de fio em paralelo. Esse cálculo é dado pela equação 1.119 e o seu resultado deve ser arredondado.

$$N_L = \frac{S_L}{S_{28}} = \frac{2,36}{0,081} = 29,13 \rightarrow 29 \quad (1.119)$$

A equação 1.120 é utilizada para se verificar a possibilidade de realização do indutor. Ela baseia-se na área total que os condutores ocupam e no fator de preenchimento do núcleo.

$$A_{\min} = \frac{N_L \cdot S_{28-iso} \cdot N_P}{K_W} = \frac{29 \cdot 0,0962 \cdot 16}{0,7} = 0,63 \text{ cm}^2 \quad (1.120)$$

O projeto é executável, já que a área mínima é menor do que a área disponível no núcleo escolhido.

A última etapa do projeto do indutor é o cálculo do entreferro. Esse cálculo é dado pela equação 1.121.

$$l_g = \frac{N_P \cdot \mu_0 \cdot Ae}{2 \cdot L_{SA}} = \frac{16 \cdot 4 \cdot \pi \cdot 10^{-10} \cdot 60}{2 \cdot 10^{-5}} = 1 \text{ mm} \quad (1.121)$$

As perdas magnéticas do núcleo são calculadas por:

$$\Delta B = \frac{B_{\max}}{2} = 1500 \text{ Gauss} \quad (1.122)$$

$$P_p = 1,1046797 \cdot 10^{-2} \cdot f_s^{1,278014} \cdot 2,3615097 \cdot 10^{-7} \cdot \Delta B^{2,45344529} = 0,141 \text{ W/g} \quad (1.123)$$

$$\rho = 4800 \frac{\text{kg}}{(10^2 \text{ cm})^3} \quad (1.124)$$

$$P_{mag} = P_p \cdot \rho \cdot V_n = 2,707 \text{ W} \quad (1.125)$$

E as perdas no cobre são obtidas por:

$$P_{cu} = \frac{R_{28} \cdot N_P \cdot l_t \cdot iL_{SAef}}{N_L} = \frac{0,21 \cdot 16 \cdot 0,067 \cdot 8,275^2}{29} = 0,53 \text{ W} \rightarrow 127 \text{ V} \quad (1.126)$$

$$P_{cu} = \frac{R_{28} \cdot N_p \cdot l_t \cdot iL_{SAef}}{N_L} = \frac{0,21 \cdot 16 \cdot 0,067 \cdot 6,566^2}{29} = 0,334 \text{ W} \rightarrow 220 \text{ V} \quad (1.127)$$

A perda total do indutor é então definida por:

$$P_{L_{SA}} = P_{mag} + P_{cu} = 3,237 \text{ W} \rightarrow 127 \text{ V} \quad (1.128)$$

$$P_{L_{SA}} = P_{mag} + P_{cu} = 3,041 \text{ W} \rightarrow 220 \text{ V} \quad (1.129)$$

1.5.8 Projeto do filtro de saída

O projeto do filtro de saída deve ser feito para limitar as oscilações de tensão e corrente na carga. Na metodologia exposta, é estipulado um limite de oscilação da corrente no indutor do filtro e a frequência de corte do filtro, como segue abaixo.

$$L_{OUT} = \frac{E}{2 \cdot \Delta iL_{OUT} \cdot f_s} \quad (1.130)$$

$$C_{OUT} = \frac{1}{(2 \cdot \pi \cdot f_{OUTmas})^2 \cdot L_{OUT}} \quad (1.131)$$

Para que os requisitos de projeto da Tabela 2 sejam atendidos:

$$L_{OUT} > \frac{800}{2 \cdot 0,25 \cdot 12 \cdot \sqrt{2} \cdot 200000} > 471 \mu\text{H} \quad (1.132)$$

Foi utilizado um modelo disponível no laboratório, com indutância de 560 μH e 0,13 Ω de resistência série. Com base na indutância, C_{OUT} pode ser calculado:

$$C_{OUT} = \frac{1}{(2 \cdot \pi \cdot 3000)^2 \cdot 560 \cdot 10^{-6}} = 5 \mu\text{F} \quad (1.133)$$

Foi utilizada uma associação de cinco capacitores de poliéster de 1 μF cada.

As perdas no filtro são calculadas por:

$$P_{FOUT} = I_{OUTef}^2 \cdot R_{L_{OUT}} = 12^2 \cdot 0,13 = 18,72 \text{ W} \rightarrow 127 \text{ V} \quad (1.134)$$

$$P_{FOUT} = I_{OUTef}^2 \cdot R_{L_{OUT}} = 6,82^2 \cdot 0,13 = 6,043 \text{ W} \rightarrow 220 \text{ V} \quad (1.135)$$

1.5.9 Cálculo do dissipador

Com base nas perdas de todos os semicondutores, pode-se calcular a resistência térmica do dissipador a ser usado no inversor.

A Tabela 8 mostra as perdas em todos os semicondutores no pior caso (127 V a máxima carga).

Tabela 8 – Perdas nos semicondutores.

Q_1, Q_4	4,903 W
Q_2, Q_3	13,85 W
$Q_A + D_A, Q_B + D_B$	6,279 W
D_5, D_6	7,239 W

Com base nas resistências de junção-cápsula dos IGBTs, arbitrando 1 °C/W como a resistência térmica entre cápsula e dissipador, devido aos isoladores e a pasta térmica, e considerando uma temperatura de junção máxima de 100 °C pode-se calcular a máxima temperatura que o dissipador deve atingir, seguindo a metodologia apresentada em [39]:

$$T_D = T_J - (R_{\theta JC} + R_{\theta CD}) \cdot P_{IGBT} = 100 - (0,32 + 1) \cdot 13,85 = 81,72 \text{ °C} \quad (1.136)$$

Nesta equação considerou-se a resistência térmica e a dissipação de potência do IGBT Q_2 , já que este componente é o que possui a maior potência dissipada e também a maior resistência junção-cápsula. Assim, este será o componente com a maior temperatura de junção, quando comparado aos outros elementos montados no mesmo dissipador.

Admitindo-se ainda uma temperatura ambiente máxima de 50 °C, a resistência térmica do dissipador é definida por:

$$R_{\theta DA} = \frac{(T_D - T_{AMB})}{P_{Q1} + P_{Q2} + P_{Q3} + P_{Q4} + P_{QA} + P_{QB} + P_{D5} + P_{D6}} \quad (1.137)$$

$$R_{\theta DA} = \frac{(81,72 - 50)}{62,922} = 0,504 \text{ °C/W} \quad (1.138)$$

O dissipador escolhido foi o da Semikron, modelo P071/250 que, segundo o catálogo do fabricante, apresenta resistência térmica igual a 0,38 °C/W.

1.5.10 Cálculo teórico de rendimento

Para o cálculo teórico de rendimento, consideram-se as perdas de todos os principais elementos do circuito, ou seja, semicondutores, indutores e capacitores auxiliares.

A perda em cada capacitor auxiliar é dada pela resistência série equivalente multiplicada pelo quadrado da corrente eficaz sobre ele, que é a mesma corrente eficaz dos

interruptores auxiliares. Para o capacitor escolhido para o uso no protótipo funcional, esta resistência série equivalente é de $0,249 \Omega$, sendo assim, as perdas sobre este elemento ficam:

$$P_{CSA,B} = (2,25^2 + 2,25^2) \cdot 0,249 = 2,52 \text{ W} \rightarrow \text{para } 127 \text{ V} \quad (1.139)$$

$$P_{CSA,B} = (1,87^2 + 1,87^2) \cdot 0,249 = 1,74 \text{ W} \rightarrow \text{para } 220 \text{ V} \quad (1.140)$$

A perda total é dada por:

$$P_T = \left[P_{Q1} + P_{Q2} + P_{Q3} + P_{Q4} + P_{QA} + P_{QB} + P_{D5} \right. \\ \left. + P_{D6} + P_{LSA} + P_{LSB} + P_{FOUT} + P_{CSA} + P_{CSB} \right] \quad (1.141)$$

$$P_{T127} = 94,776 \text{ W} \rightarrow \text{para } 127 \text{ V} \quad (1.142)$$

$$P_{T220} = 56,529 \text{ W} \rightarrow \text{para } 220 \text{ V} \quad (1.143)$$

O rendimento é obtido então por:

$$R_{D127} = \frac{P_{OUT}}{P_{OUT} + P_{T127}} \cdot 100 = 94,05 \% \rightarrow \text{para } 127 \text{ V} \quad (1.144)$$

$$R_{D220} = \frac{P_{OUT}}{P_{OUT} + P_{T220}} \cdot 100 = 96,36 \% \rightarrow \text{para } 220 \text{ V} \quad (1.145)$$

Na Figura 29 pode-se ver a distribuição das perdas para 127 V e na Figura 30 a distribuição das perdas para 220 V.

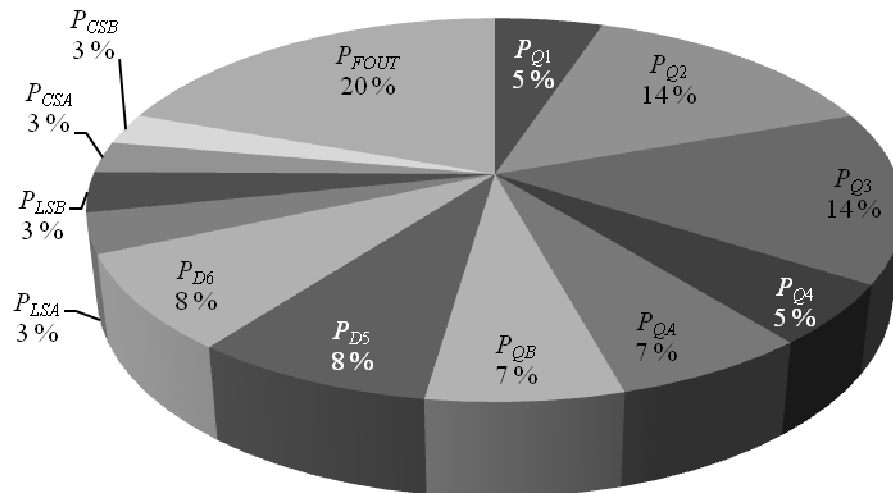


Figura 29 – Distribuição de perdas para 127 V.

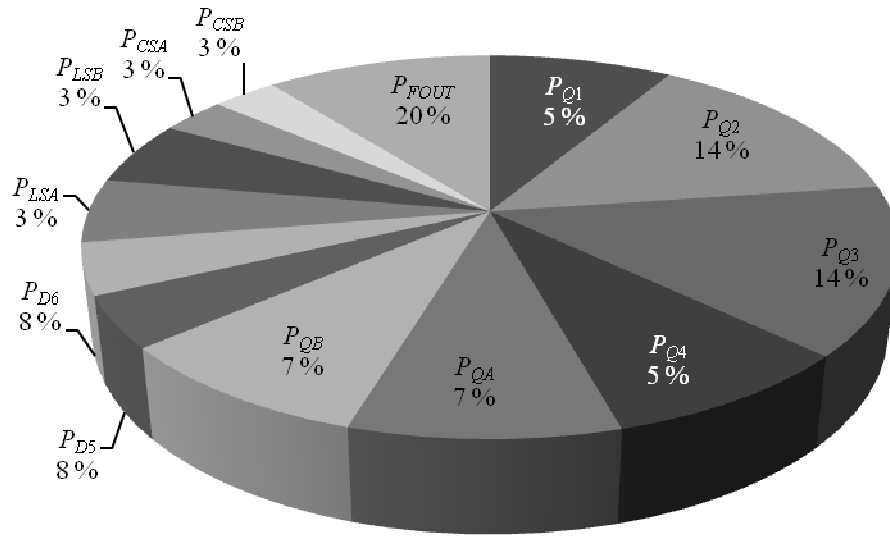


Figura 30 – Distribuição de perdas para 220 V.

As perdas referentes ao circuito de grampeamento ativo são de apenas 26 % das perdas totais, para ambos os casos, 127 V e 220 V. Este gráfico não considera as perdas devido à comutação dissipativa, pois o circuito trabalha com comutação suave.

As perdas no circuito operando com comutação dissipativa podem ser estimadas a partir das informações do fabricante do IGBT, corrente tensão e frequência de comutação. De acordo com as informações do fabricante, pode-se obter a seguinte equação aproximada para a energia em joules dissipada para uma comutação no circuito do NPC:

$$E_{COM} = 24 \cdot 10^{-6} \cdot i_{OUT} \quad (1.146)$$

Aplicando-se a equação 1.17 e fazendo o somatório do número de comutações existentes dentro do período de um segundo, obtêm-se as perdas por comutação nos interruptores Q_1 e Q_4 .

$$P_{COM} = \sum_{n=1}^{f_s} 24 \cdot 10^{-6} \cdot \frac{E \cdot ma}{2 \cdot Z_{OUT}} \cdot \sin\left(\frac{n \cdot f_{OUT}}{f_s} \cdot 2 \cdot \pi\right) \quad (1.147)$$

Substituindo tem-se:

$$P_{COM} = \sum_{n=1}^{200000} 24 \cdot 10^{-6} \cdot \frac{800 \cdot 0,45}{2 \cdot 10,75} \cdot \sin\left(\frac{n \cdot 60}{200000} \cdot 2 \cdot \pi\right) = 51,152 \text{ W , para 127 V} \quad (1.148)$$

$$P_{COM} = \sum_{n=1}^{200000} 24 \cdot 10^{-6} \cdot \frac{800 \cdot 0,78}{2 \cdot 32,26} \cdot \sin\left(\frac{n \cdot 60}{200000} \cdot 2 \cdot \pi\right) = 29,554 \text{ W , para 220 V} \quad (1.149)$$

As perdas totais para o NPC com comutação dissipativa podem ser calculadas por:

$$P_{TD} = P_{Q1} + P_{Q2} + P_{Q3} + P_{Q4} + P_{D5} + P_{D6} + P_{FOUT} + P_{COM} \quad (1.150)$$

$$P_{TD127} = 122,82 \text{ W} \rightarrow \text{para } 127 \text{ V} \quad (1.151)$$

$$P_{TD220} = 66,303 \text{ W} \rightarrow \text{para } 220 \text{ V} \quad (1.152)$$

O rendimento é obtido então por:

$$R_{D127D} = \frac{P_{OUT}}{P_{OUT} + P_{TD127}} \cdot 100 = 92,43 \% \rightarrow \text{para } 127 \text{ V} \quad (1.153)$$

$$R_{D220} = \frac{P_{OUT}}{P_{OUT} + P_{TD220}} \cdot 100 = 95,76 \% \rightarrow \text{para } 220 \text{ V} \quad (1.154)$$

Em relação à eficiência do NPC operando com comutação dissipativa, o circuito com comutação suave obteve uma melhor eficiência, sendo 1,62 % mais eficiente em 127 V e 0,6 % mais eficiente em 220 V.

1.6 CONCLUSÃO

A análise qualitativa do inversor NPC ZVS PWM possibilitou o entendimento das etapas de operação do circuito. Não foi analisado o terceiro quadrante devido a simetria entre os semi-braços do circuito.

Pela análise quantitativa, foi definida a estratégia de modulação e, a seguir, os esforços dos componentes foram equacionados. Com base nas equações, partiu-se para um exemplo de projeto onde todos os esforços foram calculados e os componentes foram escolhidos. A seguir, as perdas nestes componentes foram estimadas e, desta forma, pode-se estimar o rendimento teórico do circuito.

O inversor NPC se mostrou vantajoso por apresentar metade dos esforços de tensão sobre os componentes quando comparados a um inversor clássico. Também foi possível observar a geração do terceiro nível de tensão de saída, que leva aos benefícios apresentados na introdução deste trabalho, como a menor ondulação na forma de onda da corrente de saída e o tamanho dos magnéticos e capacitores do filtro de saída.

O circuito do NPC com comutação suave, mesmo apresentando um maior número de componentes, na frequência de comutação proposta, apresentou uma melhor eficiência em relação ao NPC com comutação dissipativa.

2 CONTROLE DO INVERSOR

2.1 INTRODUÇÃO

Neste capítulo é abordada a modelagem e controle do inversor NPC. Para que o controle seja implementado, primeiramente é necessário realizar o modelo matemático da planta de tensão do inversor. A seguir todos os blocos constituintes da malha de controle são modelados. Por fim é projetado o controlador digital de tensão com base nestes modelos.

O esquema geral de controle no modo contínuo é apresentado na Figura 31.

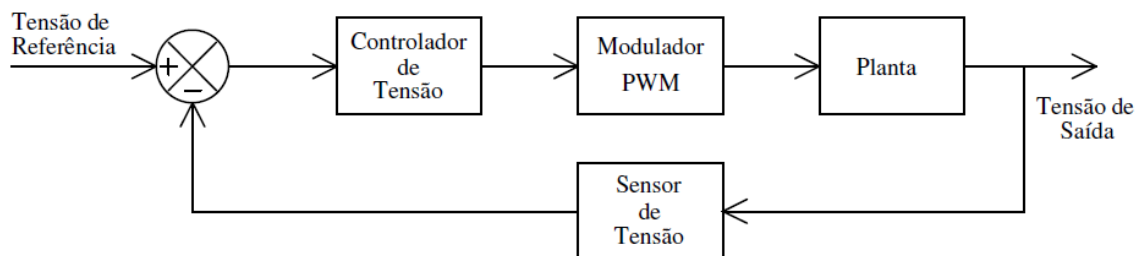


Figura 31 – Esquema geral de controle contínuo.

Para o controle digital, é necessário amostrar o valor analógico, proveniente do sensor de tensão, e processar dentro do processador digital de sinais. Desta forma, na versão digital acrescentamos o amostrador, o ganho do conversor A/D, o filtro anti-aliasing na entrada do conversor A/D e o retentor. O controlador analógico é substituído por um controlador digital de tensão. O diagrama em blocos do controle digital pode ser visto na Figura 32.

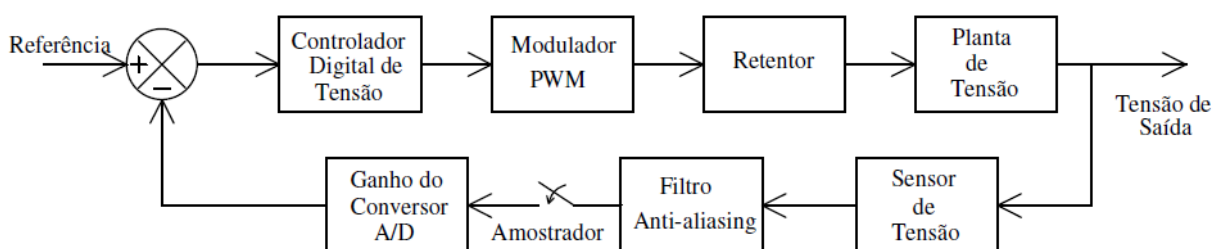


Figura 32 – Esquema geral de controle digital.

Nesse sistema, a tensão de saída é tratada por um sensor de tensão e por um filtro *anti-aliasing* antes de chegar ao conversor A/D. O sensor de tensão tem como função adequar o nível de tensão do sinal amostrado ao nível de tensão do conversor A/D, que interpreta valores entre 0 e 5 V. O filtro *anti-aliasing* tem por função limitar a banda do sinal a ser lido pelo A/D de forma que, com a taxa de amostragem utilizada, não haja problemas de sub-amostragem e recobrimento.

O FPGA faz a amostragem da tensão de saída através do conversor A/D e compara esse valor com uma referência interna. O resultado dessa comparação gera um sinal de erro que passa para o controlador digital de tensão, que gera a referência para o modulador PWM. A partir dessa referência, o modulador PWM gera o sinal de comando para os interruptores ativos do inversor, que está representado pela planta de tensão na Figura 31.

2.2 OBTENÇÃO DOS MODELOS DE CONTROLE

A partir do diagrama em blocos apresentado na Figura 32, pode-se determinar a função de transferência de cada bloco. O projeto do controlador pode ser dividido em duas partes. A primeira parte é a obtenção do modelo matemático que descreva o processo a controlar e a segunda parte é o projeto do controle para que a planta atenda os requisitos de projeto.

2.2.1 Modelo da planta de tensão

Pode-se simplificar o conversor NPC como dois conversores da topologia buck interligados, atuando cada um conforme o sinal de referência aplicado (positivo ou negativo), conforme mostra a Figura 33

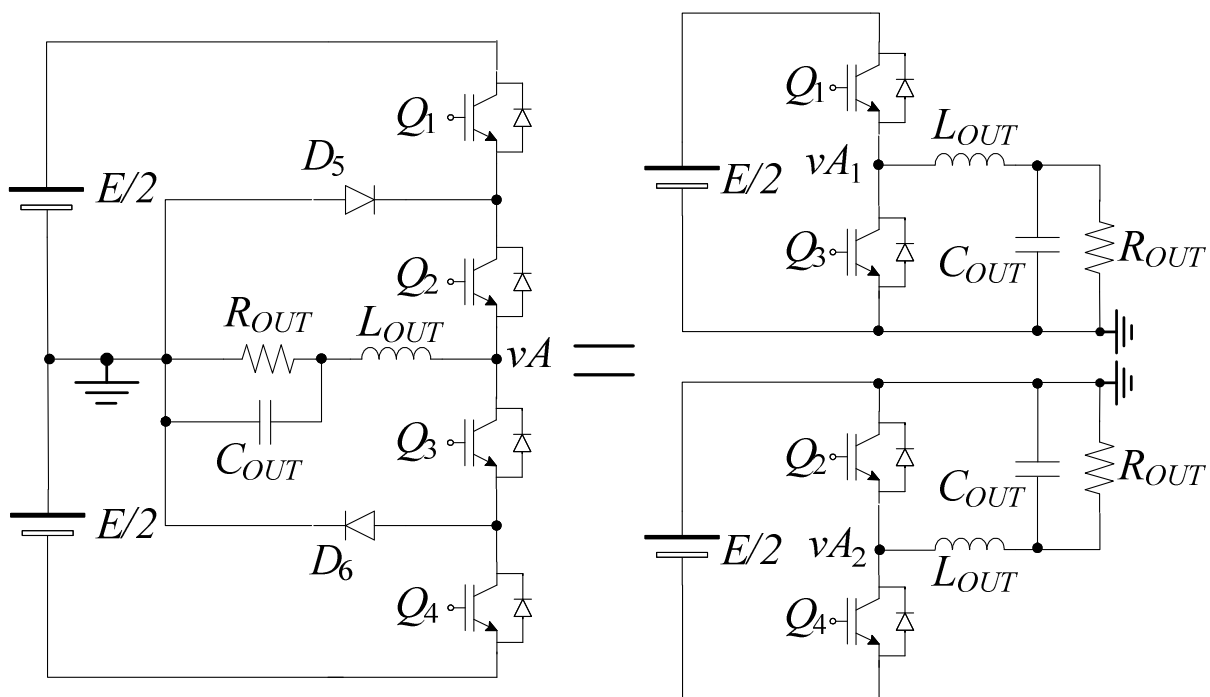


Figura 33 – Aproximação do inversor NPC a dois conversores do tipo Buck.

Considerando a tensão do barramento (E), a tensão na saída dos interruptores no ponto vA , para cada conversor *Buck*, será conforme a Figura 34

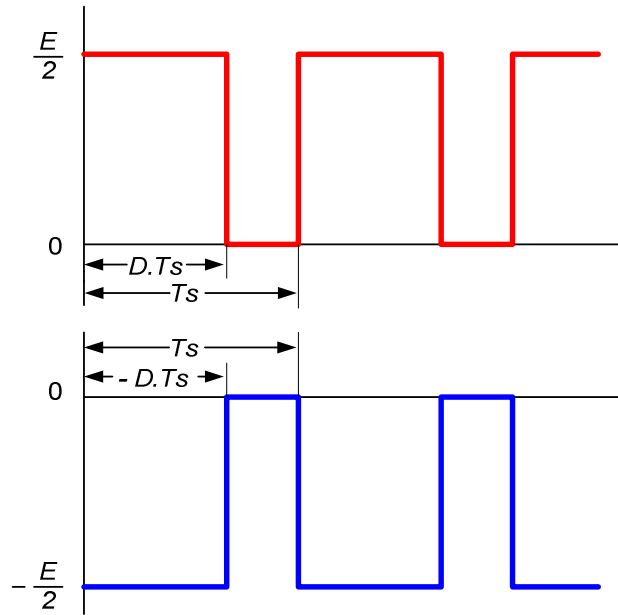


Figura 34 – Formas de onda na saída dos conversores, antes do filtro.

O sinal negativo aplicado no valor do ciclo ativo D , foi usado para diferenciar o conjunto de interruptores em comutação, os quais determinam o sinal da tensão instantânea de saída.

Para um período de comutação, o valor médio instantâneo da tensão vA_1 pode ser definido por:

$$vA_1 = \frac{E}{2} \cdot D_1 \quad (2.1)$$

Analogamente vA_2 pode ser definido por:

$$vA_2 = -\frac{E}{2} \cdot D_2 \quad (2.2)$$

O valor de vA pode ser obtido somando-se as tensões instantâneas dos dois conversores *Buck*:

$$vA = vA_1 + vA_2 \quad (2.3)$$

E assim

$$vA = \frac{E}{2} \cdot D_1 - \frac{E}{2} \cdot D_2 \quad (2.4)$$

Mas as seguintes condições deverão ser atendidas para o funcionamento do NPC

$$D_1 = 0, \text{ se } D_2 > 0 \quad (2.5)$$

$$D_2 = 0, \text{ se } D_1 > 0 \quad (2.6)$$

Assim, pode-se chegar à seguinte expressão para um período de comutação:

$$vA = \frac{E}{2} \cdot D, \text{ onde } -1 \leq D \leq 1 \quad (2.7)$$

O circuito apresentado na Figura 33 pode ser redesenhado conforme a Figura 35.

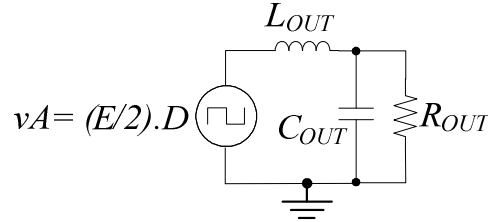


Figura 35 – Circuito simplificado da saída do inversor.

Analisando o circuito pode-se chegar a seguinte expressão

$$vA = L_{OUT} \cdot C_{OUT} \cdot \frac{d^2 vC_{OUT}}{dt^2} + \frac{L_{OUT}}{R_{OUT}} \cdot \frac{dvC_{OUT}}{dt} + vC_{OUT} = \frac{E}{2} \cdot D \quad (2.8)$$

Aplicando o princípio da modelagem para pequenos sinais, onde para um curto intervalo de tempo as variáveis do sistema podem ser consideradas como uma parcela constante mais uma variação, chega-se a seguinte expressão, onde:

$$D = D_Q + \Delta D, \text{ onde } \Delta D \ll D_Q \quad (2.9)$$

E obrigatoriamente:

$$vC_{OUT} = vC_{OUT_Q} + \Delta vC_{OUT}, \text{ onde } \Delta vC_{OUT} \ll vC_{OUT_Q} \quad (2.10)$$

Assim

$$\left[\begin{array}{l} L_{OUT} \cdot C_{OUT} \cdot \frac{d^2 vC_{OUT_Q}}{dt^2} + \frac{L_{OUT}}{R_{OUT}} \cdot \frac{dvC_{OUT_Q}}{dt} + vC_{OUT_Q} + \\ L_{OUT} \cdot C_{OUT} \cdot \frac{d^2 \Delta vC_{OUT}}{dt^2} + \frac{L_{OUT}}{R_{OUT}} \cdot \frac{d\Delta vC_{OUT}}{dt} + \Delta vC_{OUT} \end{array} \right] = \frac{E}{2} \cdot D_Q + \frac{E}{2} \cdot \Delta D \quad (2.11)$$

Pelas equações 2.10 e 2.11, considerando apenas o termo responsável pela variação, chega-se a:

$$L_{OUT} \cdot C_{OUT} \cdot \frac{d^2 \Delta vC_{OUT}}{dt^2} + \frac{L_{OUT}}{R_{OUT}} \cdot \frac{d\Delta vC_{OUT}}{dt} + \Delta vC_{OUT} = \frac{E}{2} \cdot \Delta D \quad (2.12)$$

Aplicando-se a transformada de Laplace e considerando condições iniciais nulas tem-se:

$$G_V = \frac{\Delta vC_{OUT}(s)}{\Delta D(s)} = \frac{E}{2 \cdot L_{OUT} \cdot C_{OUT}} \cdot \frac{1}{s^2 + \frac{1}{R_{OUT} \cdot C_{OUT}} \cdot s + \frac{1}{L_{OUT} \cdot C_{OUT}}} \quad (2.13)$$

Que representa a função de transferência da planta de tensão.

2.2.2 Modelo do modulador PWM

O modulador PWM possui a função de transferência da equação 2.14, quando considerada uma portadora com o formato dente-de-serra, com valor mínimo nulo e máximo igual a V_T . O ciclo ativo é definido como o tempo em que a tensão de controle, v_{REF} , é maior do que a portadora, conforme a equação 2.14 e a Figura 36.

$$D = \frac{T_1}{T_S} \quad (2.14)$$

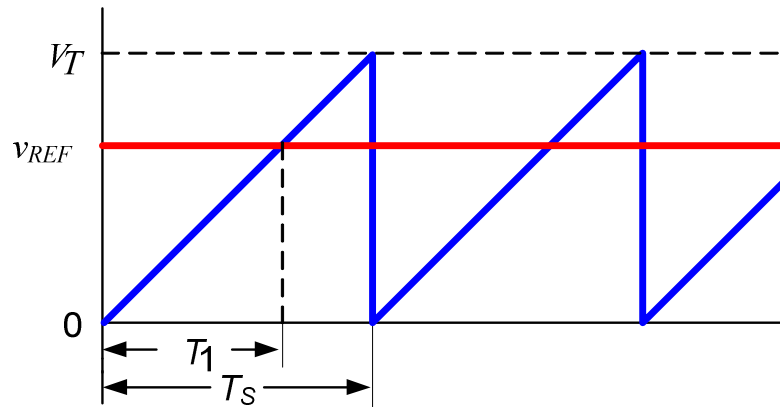


Figura 36 – Portadora dente-de-serra e sinal de controle.

Matematicamente, pode-se chegar a uma relação entre razão cíclica $D(s)$ e a tensão de controle $v_{REF}(s)$

$$\frac{D(s)}{v_{REF}(s)} = \frac{1}{V_T} \quad (2.15)$$

No meio discreto, a forma de onda dente-de-serra é gerada dentro do processador digital de sinais, no caso um FPGA, onde a taxa de variação da rampa será exatamente a frequência de relógio aplicada. Desta forma, o maior número de “degraus” que se pode obter é dado pela divisão do período de comutação, T_S , pelo período do relógio do FPGA, T_{FPGA} , que também determina o valor máximo de V_T . Desta forma:

$$V_T = \frac{T_S}{T_{FPGA}} \quad (2.16)$$

A Figura 37 ilustra a relação entre V_T , T_{FPGA} e T_S .

Dentro do FPGA, o valor da rampa também serve como referência para o sincronismo de todos os sinais de comando aplicados aos interruptores do inversor.

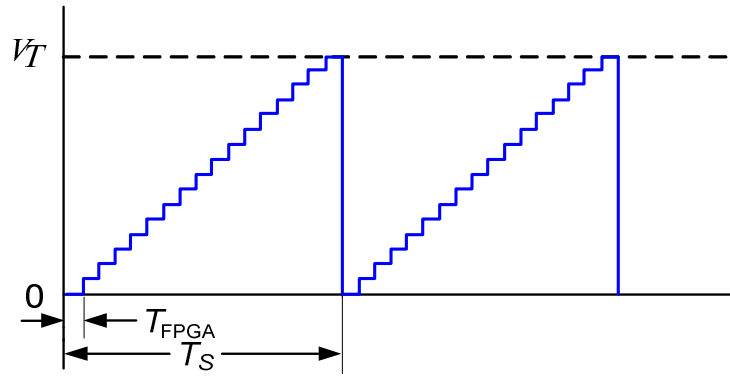


Figura 37 – Representação da lógica do PWM no FPGA.

2.2.3 Modelo do filtro *anti-aliasing*

A função do filtro *anti-aliasing*, como descrito anteriormente, é limitar o espectro de frequência do sinal de entrada a pelo menos metade da frequência de amostragem. Desta forma evita-se o fenômeno de recobrimento. O filtro *anti-aliasing* do projeto, de modo simplificado, trata-se de um filtro passa-baixas analógico com a seguinte função de transferência:

$$\frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{\frac{\omega_a}{2}}{s + \frac{\omega_a}{2}} \quad (2.17)$$

Onde ω_a é a frequência de amostragem em radianos por segundo.

Um exemplo de filtro *anti-aliasing* pode ser visto na Figura 38. Este circuito consiste de um filtro passa baixas de primeira ordem.

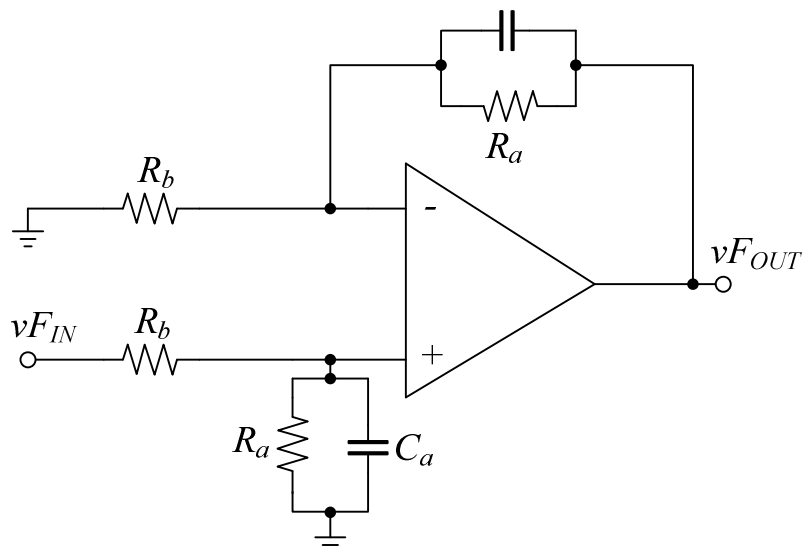


Figura 38 – Filtro *anti-aliasing*.

A função de transferência contínua do filtro pode ser vista a seguir:

$$\frac{vF_{OUT}(s)}{vF_{IN}(s)} = \frac{R_a / R_b}{s \cdot C_a \cdot R_a + 1} \quad (2.18)$$

Para $R_a = R_b$ tem-se:

$$G(s) = \frac{vF_{OUT}(s)}{vF_{IN}(s)} = \frac{1}{s \cdot C_a \cdot R_a + 1} = \frac{1/C_a \cdot R_a}{s + 1/C_a \cdot R_a} \quad (2.19)$$

Igualando 2.17 e 2.19 obtêm-se:

$$\frac{f_a}{2} = \frac{1}{C_a \cdot R_a} \quad (2.20)$$

Onde f_a é a frequência de amostragem do conversor A/D.

2.2.4 Modelo do conversor A/D

Os sinais analógicos pré-condicionados são amostrados pelo conversor analógico digital (A/D). Normalmente os conversores A/D possuem uma faixa de entrada compreendido entre 0 e uma tensão máxima V_{REF} . Dentro desta faixa de tensão, o conversor apresenta um valor digital entre 0 e $2^N - 1$, proporcional a tensão de entrada, onde N é o número de bits do conversor A/D.

O pré condicionamento do sinal é feito para ter uma excursão máxima no valor de saída do conversor A/D, desta forma chega-se a:

$$vAD_{DIG} = vAD_{IN} \frac{2^N}{V_{REF}} \quad (2.21)$$

Logo, o ganho do conversor A/D pode ser definido por:

$$K_{AD} = \frac{vAD_{DIG}}{vAD_{IN}} = \frac{2^N}{V_{REF}} \quad (2.22)$$

2.2.5 Modelo do sensor de tensão

O sensor de tensão utilizado no projeto será simplesmente um divisor de tensão resistivo, onde o ganho é dado pela equação 2.23.

$$K_V = \frac{vSV_{OUT}}{vSV_{IN}} = \frac{R_{SV2}}{R_{SV1} + R_{SV2}} \quad (2.23)$$

A Figura 39 apresenta o modelo do sensor de tensão.

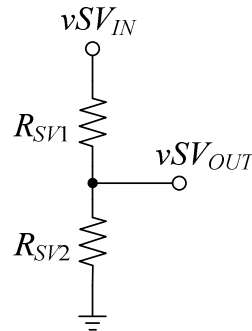


Figura 39 – Modelo do sensor de tensão.

2.2.6 Modelo do retentor

A definição da equação do amostrador retentor é apresentada na referência [33], onde T_a é o período de amostragem do sinal.

$$G_{Hold}(s) = \frac{1 - e^{-sT_a}}{s} \quad (2.24)$$

2.3 PROJETO DOS DISPOSITIVOS PARA CONTROLE DIGITAL DO INVERSOR

Semelhante ao método adotado para sistemas contínuos de controle, o projeto do controlador discreto também parte de uma lista de especificações segundo as quais o projeto será desenvolvido.

A proposta de desenvolvimento a ser seguida neste capítulo será através do mapeamento da resposta para o plano discreto w , onde o ganho e a fase são determinados em função da frequência. Sendo assim, serão seguidas as mesmas metodologias adotadas para sistemas contínuos no plano s , com referências em [33] e [34].

Os requisitos de projeto são:

- Margem de fase entre 30 ° e 90 °;
- A inclinação da curva de ganho para o sistema em malha aberta na passagem por 0 dB deve ser de -20 dB/década;
- Erro estático nulo;
- A frequência de cruzamento da curva de ganho para o sistema em malha aberta deve ser pelo menos quatro vezes menor do que a frequência de chaveamento do modulador PWM.

O projeto será iniciado a partir do diagrama em blocos da Figura 32, que fora adequado para as funções de transferência obtidas anteriormente e mostrado na Figura 40.

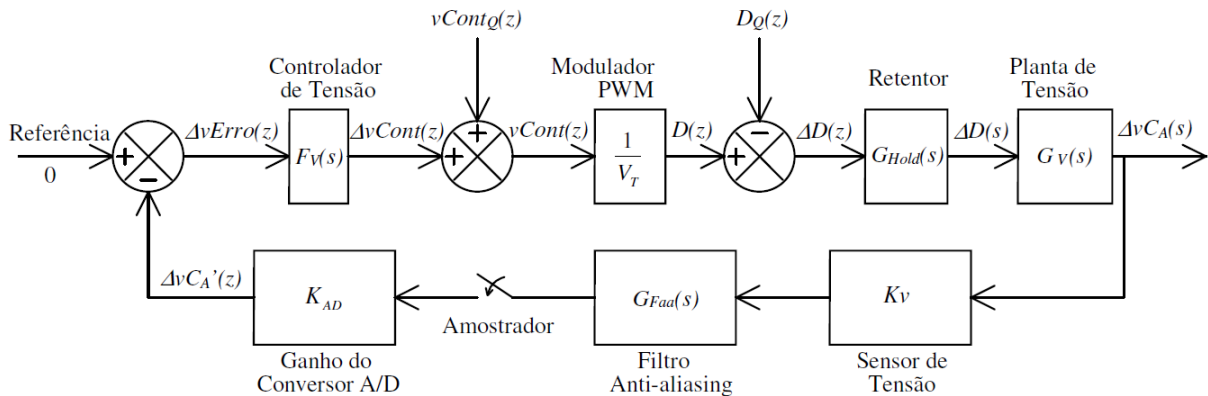


Figura 40 – Malha de controle de tensão.

O filtro *anti-aliasing* pode ser suprimido do diagrama, uma vez que sua frequência de corte é suficientemente alta para não influenciar na análise do sistema de controle na faixa de interesse. Pode-se simplificar também o diagrama unindo-se os blocos do modulador PWM e da planta de tensão do inversor, dando origem a função $G_{V2}(s)$.

$$G_{V2}(s) = \frac{E}{2 \cdot V_T \cdot L_{OUT} \cdot C_{OUT}} \cdot \frac{1}{s^2 + \frac{1}{R_{OUT} \cdot C_{OUT}} \cdot s + \frac{1}{L_{OUT} \cdot C_{OUT}}} \quad (2.25)$$

Pode-se ainda unir os ganhos do conversor A/D e do sensor de tensão.

As simplificações obtidas podem ser vistas na Figura 41.

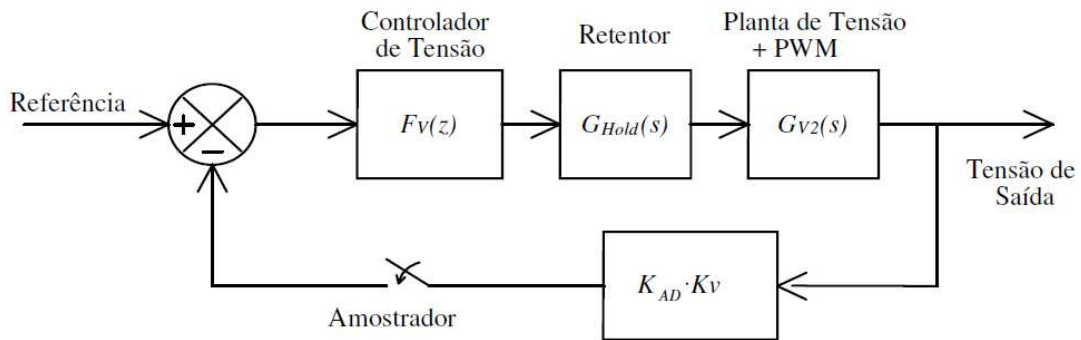


Figura 41 – Malha de controle de tensão simplificada.

A próxima etapa do projeto é a conversão das funções de transferência do domínio s para o plano z , pela relação $z = e^{s \cdot T_a}$.

$$G_V(z) = Z \left\{ \frac{1 - e^{-sT_a}}{s} \cdot \frac{E}{2 \cdot V_T \cdot L_{OUT} \cdot C_{OUT}} \cdot \frac{1}{s^2 + \frac{1}{R_{OUT} \cdot C_{OUT}} \cdot s + \frac{1}{L_{OUT} \cdot C_{OUT}}} \right\} \quad (2.26)$$

$$G_V(z) = Z \left\{ \frac{E \cdot (1 - e^{-sT_a})}{2 \cdot V_T \cdot L_{OUT} \cdot C_{OUT}} \cdot \frac{1}{\left(s^2 + \frac{1}{R_{OUT} \cdot C_{OUT}} \cdot s + \frac{1}{L_{OUT} \cdot C_{OUT}} \right) \cdot s} \right\} \quad (2.27)$$

Expandindo em frações parciais tem-se:

$$G_V(z) = \frac{E}{2 \cdot V_T} Z \left\{ (1 - e^{-sT_a}) \cdot \left[\frac{1}{s} - \frac{s + k_1}{(s + k_1)^2 + k_2} - \frac{k_1}{k_2} \cdot \frac{k_2}{(s + k_1)^2 + k_2} \right] \right\} \quad (2.28)$$

Onde:

$$k_1 = \frac{1}{2 \cdot R_{OUT} \cdot C_{OUT}} \quad (2.29)$$

$$k_2 = \sqrt{\frac{1}{L_{OUT} \cdot C_{OUT}} - \left(\frac{1}{2 \cdot R_{OUT} \cdot C_{OUT}} \right)^2} \quad (2.30)$$

Aplicando a transformada Z obtém-se:

$$G_V(z) = \frac{E}{2 \cdot V_T} \cdot (1 - z^{-1}) \cdot \left\{ \frac{z}{z - 1} - \left[\frac{z^2 + z \cdot e^{-k_1 \cdot T_a} \cdot \left(\frac{k_1}{k_2} \cdot \text{sen}(k_2 \cdot T_a) - \cos(k_2 \cdot T_a) \right)}{z^2 - 2 \cdot z \cdot e^{-k_1 \cdot T_a} \cdot \cos(k_2 \cdot T_a) + e^{-2 \cdot k_1 \cdot T_a}} \right] \right\} \quad (2.31)$$

$$G_V(z) = \frac{E}{2 \cdot V_T} \cdot \left\{ \frac{z \cdot \left[1 - k_3 \cdot \left(\frac{k_1}{k_2} \cdot \text{sen}(k_2 \cdot T_a) + \cos(k_2 \cdot T_a) \right) \right]}{z^2 - 2 \cdot z \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2} \cdot \frac{k_3 \cdot \left(k_3 + \frac{k_1}{k_2} \cdot \text{sen}(k_2 \cdot T_a) - \cos(k_2 \cdot T_a) \right)}{z^2 - 2 \cdot z \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2} \right\} \quad (2.32)$$

Onde:

$$k_3 = e^{-k_1 \cdot T_a} \quad (2.33)$$

A seguir, faz-se a conversão da função $G_V(z)$ do plano z para o plano w , através da transformada bilinear.

$$z = \frac{1 + \frac{T_a}{2} w}{1 - \frac{T_a}{2} w} \quad (2.34)$$

Após fazer a substituição da equação 2.34 na equação 2.32, obtém-se a equação 2.35

$$G_V(w) = \frac{E}{2 \cdot V_T} \cdot \left\{ \frac{w^2 \cdot T_a^2 \cdot \left[k_3 \cdot \left(k_3 + 2 \cdot \frac{k_1}{k_2} \cdot \sin(k_2 \cdot T_a) \right) - 1 \right] + w \cdot T_a \cdot 4 \cdot k_3 \cdot \cos(k_2 \cdot T_a)}{w^2 \cdot T_a^2 \cdot (1 + 2 \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2) + w \cdot T_a \cdot 4 \cdot (1 - k_3^2) + 4 \cdot (1 - 2 \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2)} - \frac{\frac{k_1}{k_2} \cdot \sin(k_2 \cdot T_a) - k_3 + 4 \cdot [k_3 \cdot (k_3 - 2 \cdot \cos(k_2 \cdot T_a)) + 1]}{w^2 \cdot T_a^2 \cdot (1 + 2 \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2) + w \cdot T_a \cdot 4 \cdot (1 - k_3^2) + 4 \cdot (1 - 2 \cdot k_3 \cdot \cos(k_2 \cdot T_a) + k_3^2)} \right\} \quad (2.35)$$

Dando continuidade ao projeto, deve-se obter a função de transferência em malha aberta do controlador de tensão ($FTMA_V$), assim:

$$FTMA_V = F_V(w) \cdot G_V(w) \cdot H_V(w) \quad (2.36)$$

Onde:

$$H_V(w) = K_V \cdot K_{AD} \quad (2.37)$$

O próximo passo do projeto consiste em aplicar os valores das especificações do projeto que compõem a $FTMA_V$. Estes valores podem ser vistos na Tabela 9.

Aplicando os valores tem-se:

$$FTMA_V = F_V(w) \cdot \frac{-1,2212 \cdot 10^{-7} \cdot w^2 - 2,93002 \cdot 10^3 \cdot w + 1,17203 \cdot 10^9}{w^2 + 20,0447 \cdot w + 3,57675 \cdot 10^8} \quad (2.38)$$

Tabela 9 – Especificações do projeto de controle do inversor NPC.

$f_a=200$ kHz	Frequência de amostragem
$f_s=200$ kHz	Frequência de comutação
$E=800$ V	Tensão do barramento
$K_v=5$ mV/V	Ganho do sensor de tensão
$K_{AD}=2^{12}/5,0$	Ganho do conversor A/D
$L_{OUT}=560$ µH	Indutância do filtro de saída
$C_{OUT}=5$ µF	Capacitância do filtro de saída
$R_{OUT}=10$ KΩ	Resistência de carga (circuito aberto)
$f_{clk} = 100$ MHz	Frequência de relógio do FPGA
$V_T = f_{clk} \cdot T_s=500$	Valor de pico das ondas triangulares do modulador PWM
$3 \text{ kHz} < f_c < 10 \text{ kHz}$	Frequência de cruzamento desejada para a $FTMA_V$

A Figura 42 faz uma comparação dos diagramas de bode da planta em w e em s . Nota-se uma pequena distorção próxima e acima da frequência de amostragem. Esta distorção pode ser quantificada por:

$$v = \frac{2}{T_a} \cdot \tan\left(\frac{\omega \cdot T_a}{2}\right) \quad (2.39)$$

Onde ω é a frequência angular no plano s e v é a frequência angular no plano w .

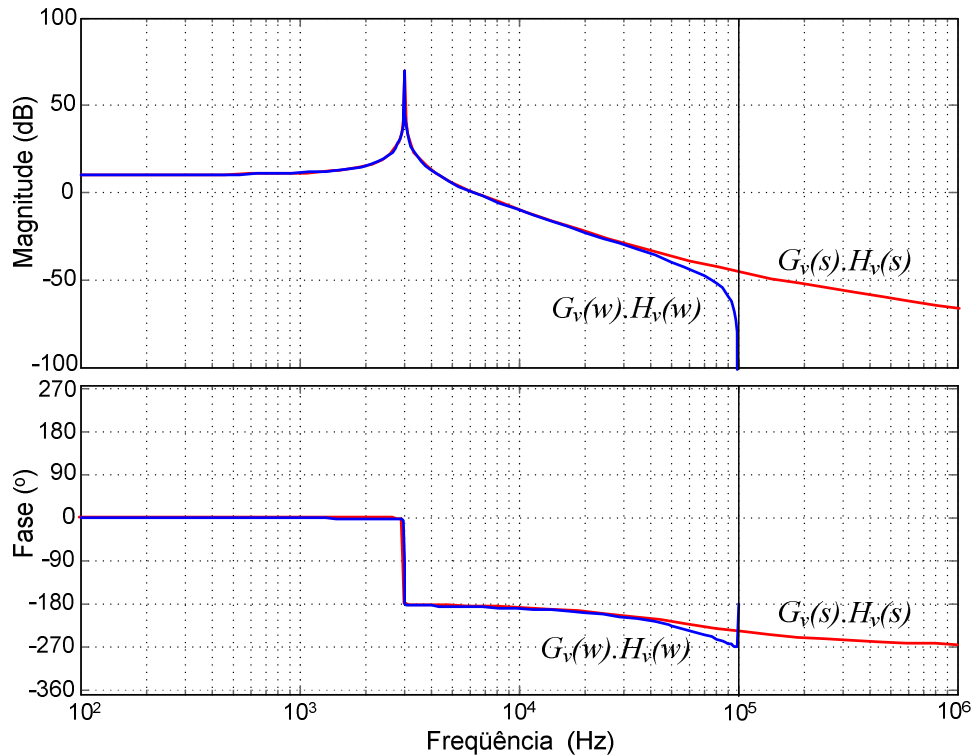


Figura 42 – Comparação do modelo da planta em s e em w .

Analisando a função de transferência $G_v(w)$ pode-se concluir que o sistema é de fase não mínima, com dois zeros e dois pólos.

Para que o erro estático seja nulo é necessária a inclusão de um integrador na função de transferência, ou seja, um pólo na origem $\omega_{pc} = 0 \cdot rad / s$. Este pólo faz com que a $FTMA_v$ passe a ter uma taxa de decrescimento de -60 dB/dec para as frequências acima dos pólos da planta, onde se encontra a frequência de cruzamento de projeto.

Para que seja atendido o requisito de projeto de cruzamento por 0 a uma taxa de -20 dB/dec , é necessária a adição de dois zeros no controlador, antes da frequência de cruzamento. Normalmente estes zeros são colocados em uma frequência próxima a dos pólos da planta, cancelando seus efeitos.

Pode-se incluir ainda, um pólo acima da banda de interesse, aumentando a taxa de decrescimento do módulo da $FTMA_V$ para altas frequências. Desta forma, consegue-se uma maior atenuação das altas frequências e, conseqüentemente, uma maior imunidade a ruídos.

Para projetar o controlador de tensão foi utilizada a ferramenta *Sisotool* do *Matlab*. O projeto foi feito de maneira que a frequência de cruzamento por 0db da planta mais controlador ficasse entre 3 kHz e 10 kHz, e a margem de fase fosse maior que 30 ° na pior situação de operação, ou seja, quando a carga do sistema é apenas o divisor resistivo do sensor de tensão. O controlador projetado pode ser visto na equação 2.40.

$$F_V(w) = \frac{5 \cdot w^2 + 1,2568 \cdot 10^5 \cdot w + 7,89773 \cdot 10^8}{w^2 + 3,142 \cdot 10^5} \quad (2.40)$$

A Figura 43 mostra o diagrama de bode do controlador na pior condição de operação.

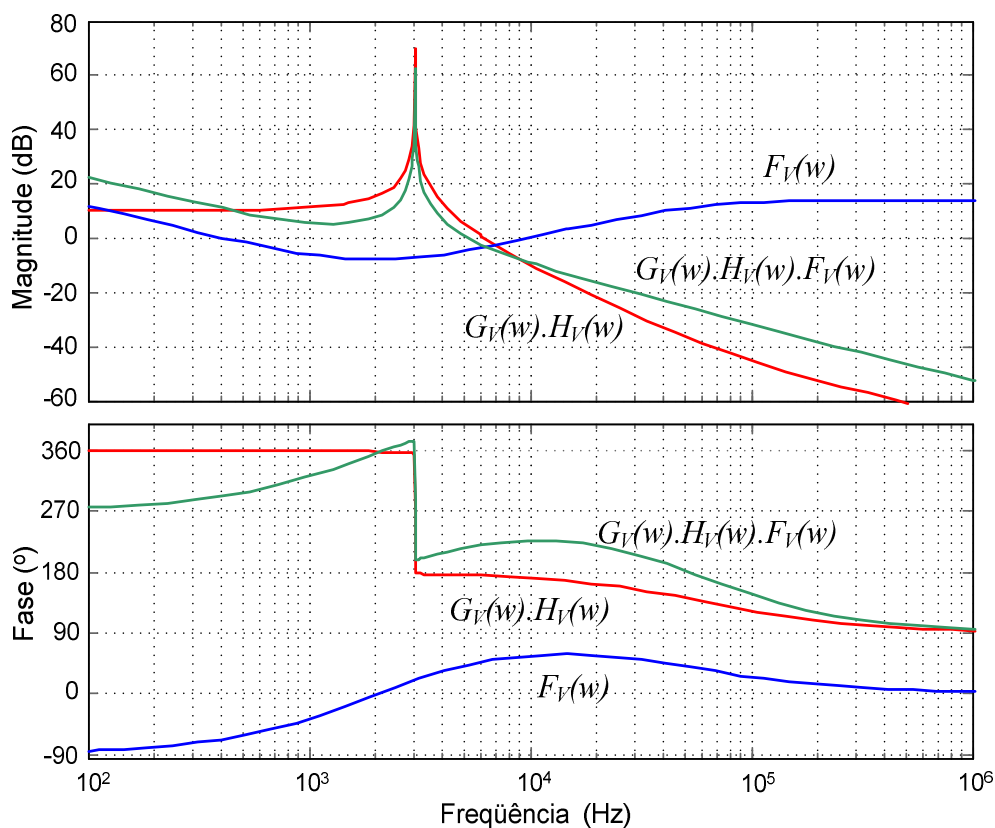


Figura 43 – Diagrama de bode para o sistema operando com carga mínima.

A Figura 44 mostra o mesmo controlador, porém agora operando com uma carga resistiva de 10 Ω. Esta carga corresponde a uma potência de saída de 1.612 W em 127 V.

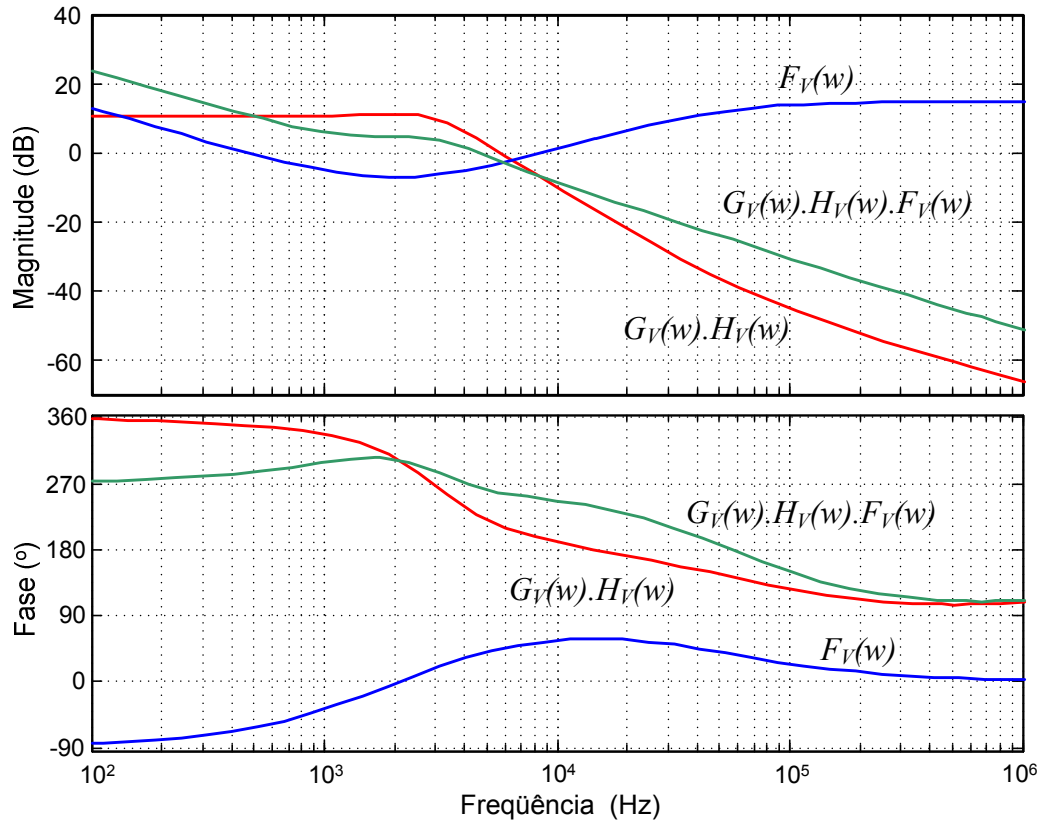


Figura 44 – Diagramas de bode para o sistema operando com carga máxima.

Analisando os diagramas de bode acima, é possível observar que o controlador projetado atendeu as especificações estipuladas. Com carga mínima, a frequência de cruzamento por 0 db ficou igual a 5,2 kHz e a margem de fase igual 37,2 °. Com carga máxima, obteve-se 4,1 kHz de frequência de cruzamento por 0 db e 89,4 ° de margem de fase.

A partir do $F_V(w)$ calculado, equação 2.40, determina-se a $F_V(z)$, pela equação apresentada em 2.41.

$$w = \frac{2}{T_a} \cdot \frac{z-1}{z+1} \quad (2.41)$$

Assim,

$$F_V(z) = \frac{2,9791 \cdot z^2 - 5,5951 \cdot z + 2,6271}{z^2 - 1,1201 \cdot z + 0,12013} \quad (2.42)$$

$$F_V(z) = \frac{C(z)}{E(z)} = \frac{2,9791 \cdot z^2 - 5,5951 \cdot z + 2,6271}{z^2 - 1,1201 \cdot z + 0,12013} \quad (2.43)$$

$$C(z) \cdot (1 - 1,1201 \cdot z^{-1} + 0,12013 \cdot z^{-2}) = E(z) \cdot (2,9791 - 5,5951 \cdot z^{-1} + 2,6271 \cdot z^{-2}) \quad (2.44)$$

Transformando a equação 2.44 em uma equação de diferenças, tem-se:

$$c_{(k)} = 2,9791 \cdot e_{(k)} - 5,5951 \cdot e_{(k-1)} + 2,6271 \cdot e_{(k-2)} + 1,1201 \cdot c_{(k-1)} - 0,12013 \cdot c_{(k-2)} \quad (2.45)$$

A equação de diferenças 2.45 determina a ação do controle digital, baseada nas informações do erro atual e anteriores, e nos esforços de controles anteriores. Esta será a equação que será empregada dentro do processador digital de sinais

2.4 CONCLUSÃO

Neste capítulo foi modelado o inversor e os circuitos auxiliares, utilizando-se de metodologias de controle clássicas [33, 34]. A ferramenta *Sisotool*, disponível no programa *Matlab*, permitiu a modelagem rápida do controlador.

Mesmo com a frequência de comutação elevada do inversor, optou-se por uma banda passante estreita no controlador, permitindo uma maior estabilidade e um melhor estudo da parte foco do trabalho, que é a operação do inversor com comutação suave. Esta banda poderia ser expandida para uma frequência de até $\frac{1}{10}$ da frequência de comutação, para tanto seria necessário uma remodelagem do filtro de saída e um novo projeto do controlador para atender esta nova banda passante e para manter a margem de fase atual.

3 SIMULAÇÕES NUMÉRICAS

3.1 INTRODUÇÃO

Este capítulo mostra as principais simulações feitas do circuito do inversor. Estas simulações visam comprovar o estudo teórico feito e estão divididas em duas partes:

A primeira parte é a simulação do circuito de potência, feita no software *Orcad/Pspice*, que visa à verificação das principais formas de onda e esforços previamente calculados na análise qualitativa e na análise quantitativa.

A segunda parte é a simulação de toda a parte de controle da topologia, onde o controlador de tensão desenvolvido no capítulo anterior foi submetido a variações de carga para comprovar sua estabilidade e funcionamento. Para esta simulação usou-se o software *Matlab/Simulink*.

3.2 SIMULAÇÃO DO CIRCUITO DE POTÊNCIA

A simulação do circuito de potência foi feita no software *Orcad 16.0* e o circuito utilizado para realização das simulações pode ser visto na Figura 45. Neste circuito foram utilizados os modelos reais dos componentes, fornecidos pelos fabricantes dos mesmos. Os capacitores e os indutores tiveram suas não idealidades suprimidas, de forma a simplificar a análise. Os drivers dos IGBTs também foram feitos de forma ideal. O circuito do modulador PWM foi feito com amplificadores operacionais (comparadores), mas na prática este bloco é feito digitalmente dentro do FPGA.

Nesta simulação não se utiliza o controle em malha fechada, uma vez que o objetivo deste estudo é verificar as formas de onda e os esforços dos componentes apenas.

A modulação do circuito é determinada pela tensão *REF* e as formas de onda dente-de-serra são geradas pelas fontes *Vrampa* e *Vrampb*. O pulso para controle dos interruptores auxiliares possui largura fixa e é gerado pela fonte *ZVSpulse*, sendo o interruptor selecionado pela polaridade da referência de tensão.

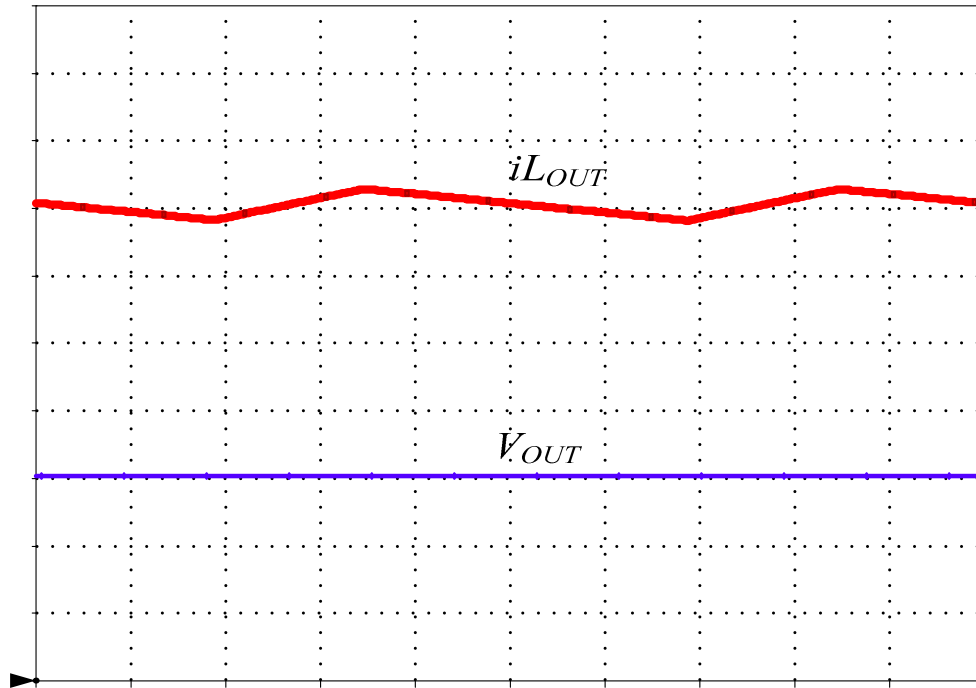


Figura 46 – Corrente no indutor do filtro de saída e tensão na carga (2 A/div, 50 V/div, 1 μs/div).

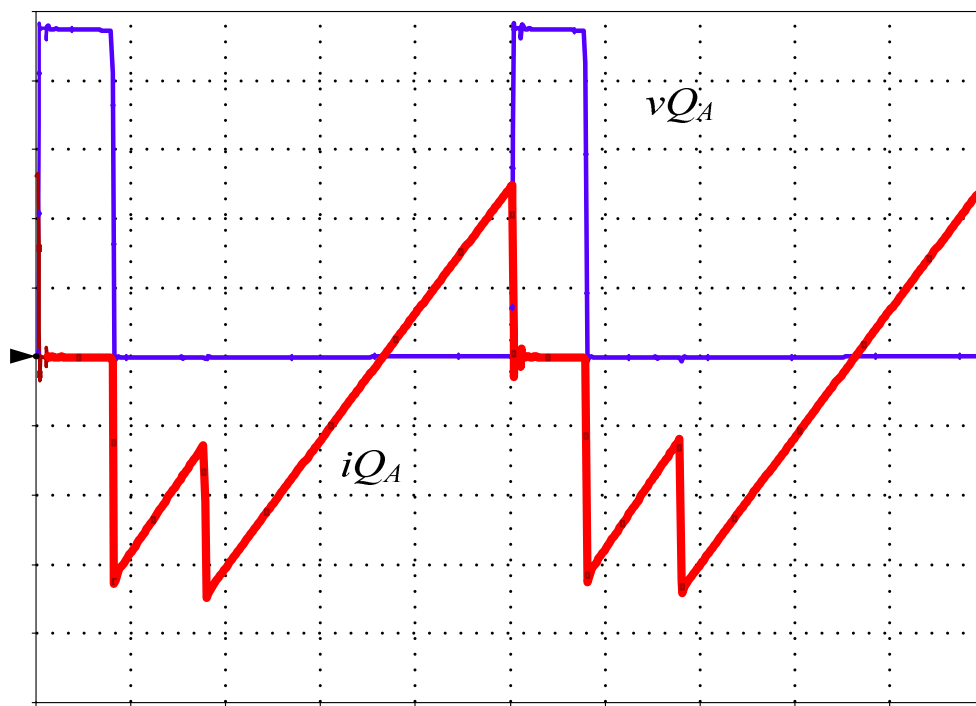


Figura 47 – Corrente e tensão no interruptor auxiliar Q_A (4 A/div, 100 V/div, 1 μs/div).

A Figura 48 mostra as formas de onda de tensão e corrente sobre o interruptor principal, Q_1 . Nota-se a comutação suave pela inversão no sentido da corrente e permanência da tensão nula sobre o interruptor. O pico positivo de corrente corresponde à corrente de recuperação reversa do diodo D_5 somada a corrente de carga. Logo após o pico positivo, nota-

se a corrente de carga. O pico negativo de corrente corresponde à corrente de pico do indutor auxiliar no instante em que o interruptor auxiliar bloqueia.

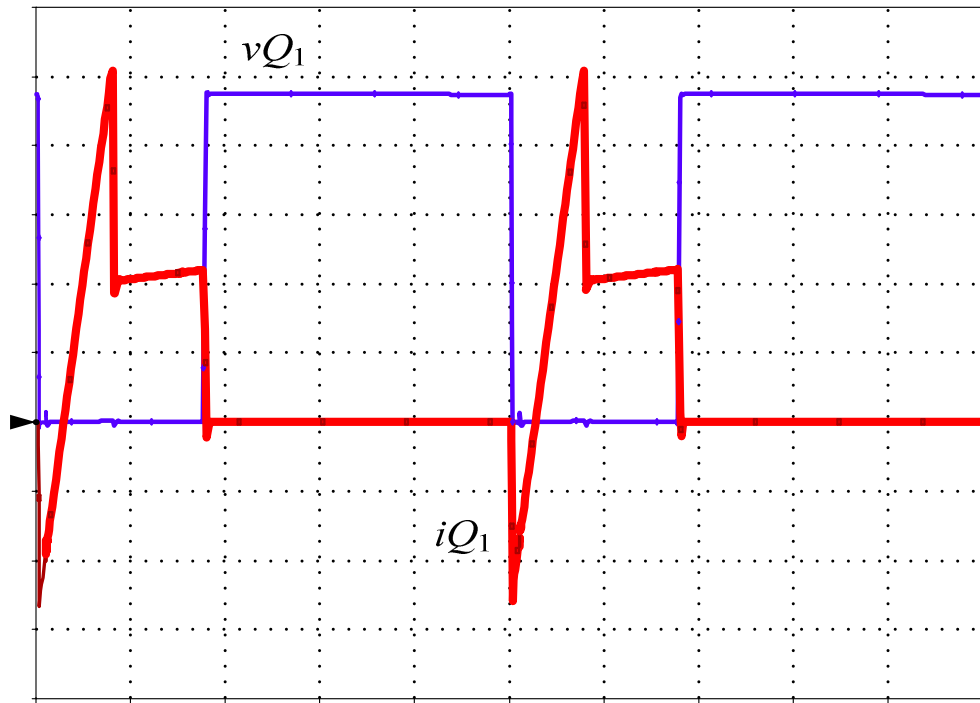


Figura 48 – Corrente e tensão no interruptor principal Q_1 (4 A/div, 100 V/div, 1 μ s/div).

A Figura 49 apresenta as formas de onda de tensão e corrente sobre o interruptor secundário, Q_2 . A corrente sobre este interruptor é igual à corrente do indutor de saída.

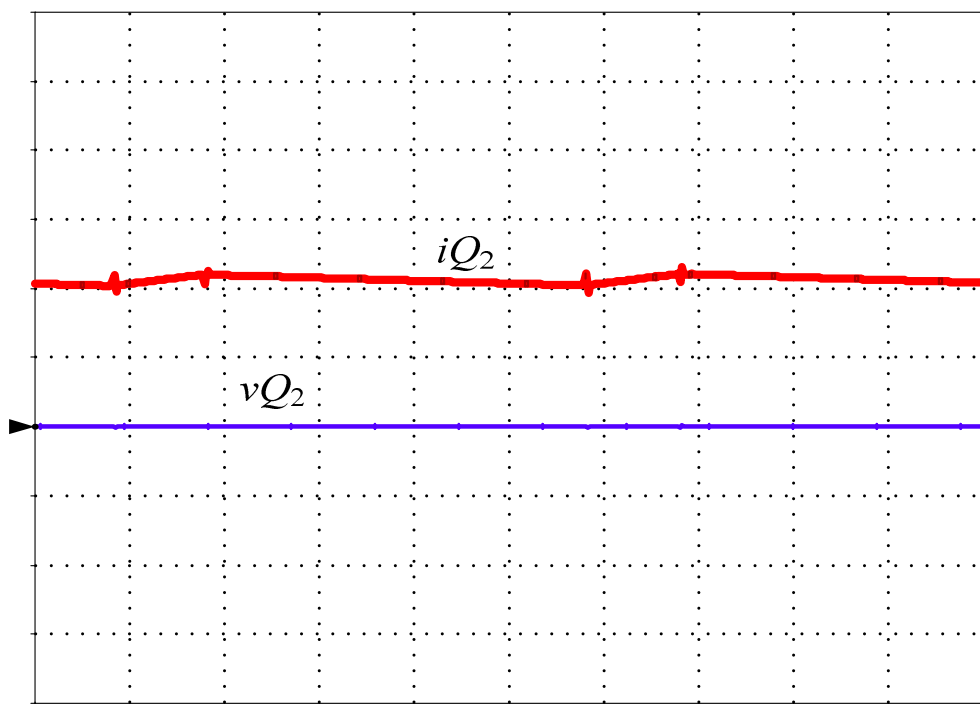


Figura 49 – Corrente e tensão no interruptor secundário Q_2 (4 A/div, 100 V/div, 1 μ s/div).

A Figura 50 mostra a corrente e a tensão sobre o diodo de grampeamento D_5 . O pico negativo de corrente representa a corrente de recuperação reversa i_{rr} . O pico positivo de corrente representa a corrente no indutor auxiliar no instante do bloqueio do interruptor auxiliar Q_A .

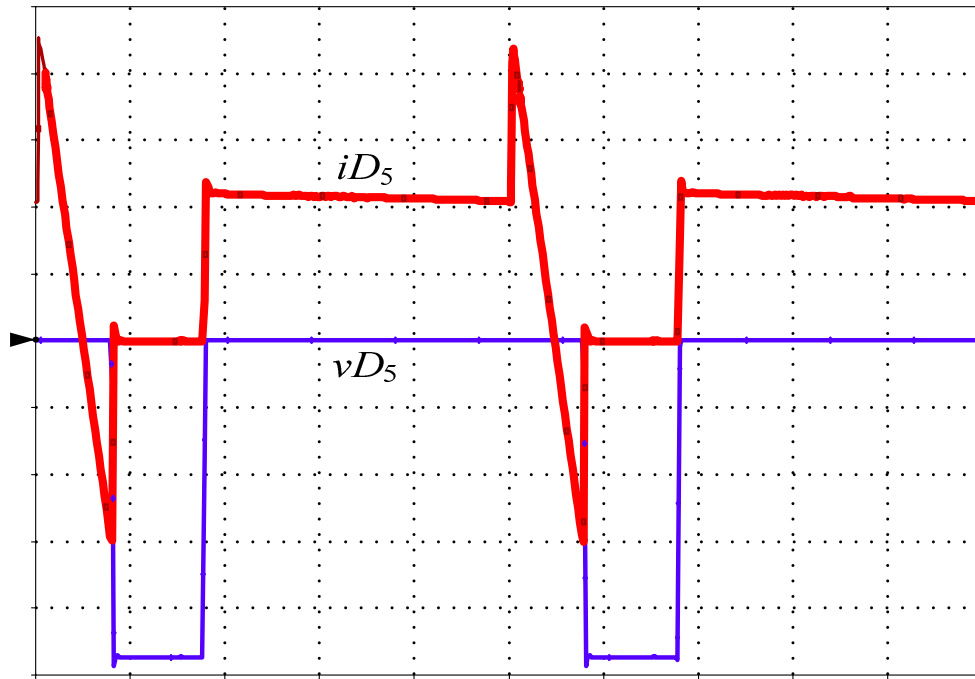


Figura 50 – Corrente e tensão no diodo de grampeamento D_5 (4 A/div, 100 V/div, 1 μ s/div).

A Figura 51 mostra a tensão e a corrente no indutor auxiliar L_{SA} . Podem-se notar os esforços de tensão e as derivadas de corrente correspondentes.

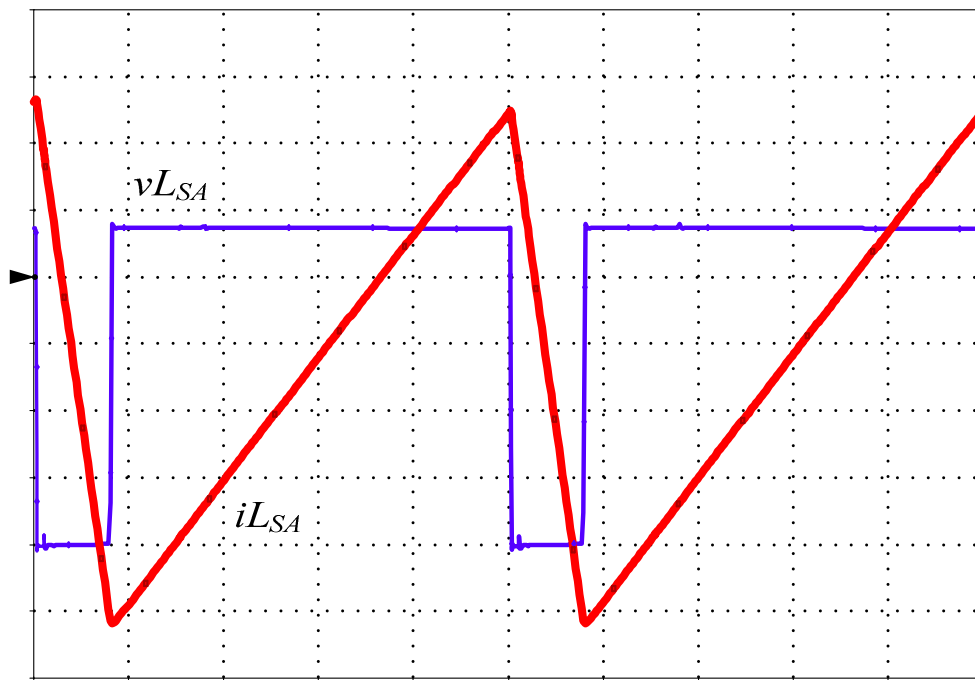


Figura 51 – Corrente e tensão no indutor auxiliar L_{SA} (4 A/div, 100 V/div, 1 μ s/div).

A Figura 52 mostra a corrente e a tensão no capacitor auxiliar C_{SA} . Esta corrente é igual à corrente do interruptor Q_A , porém com a polaridade invertida.

A Figura 53 mostra o detalhe da comutação suave no interruptor principal. Pode-se notar que o interruptor é comandado a conduzir quando a tensão sobre o mesmo já é nula.

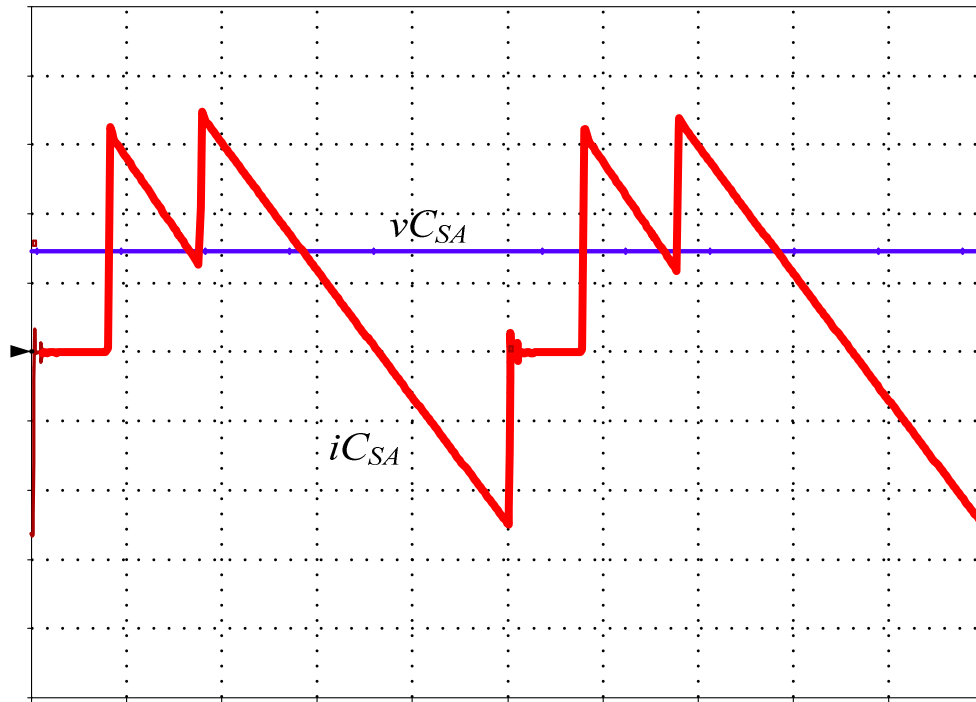


Figura 52 – Corrente e tensão no capacitor auxiliar C_{SA} (4 A/div, 50 V/div, 1 μ s/div).

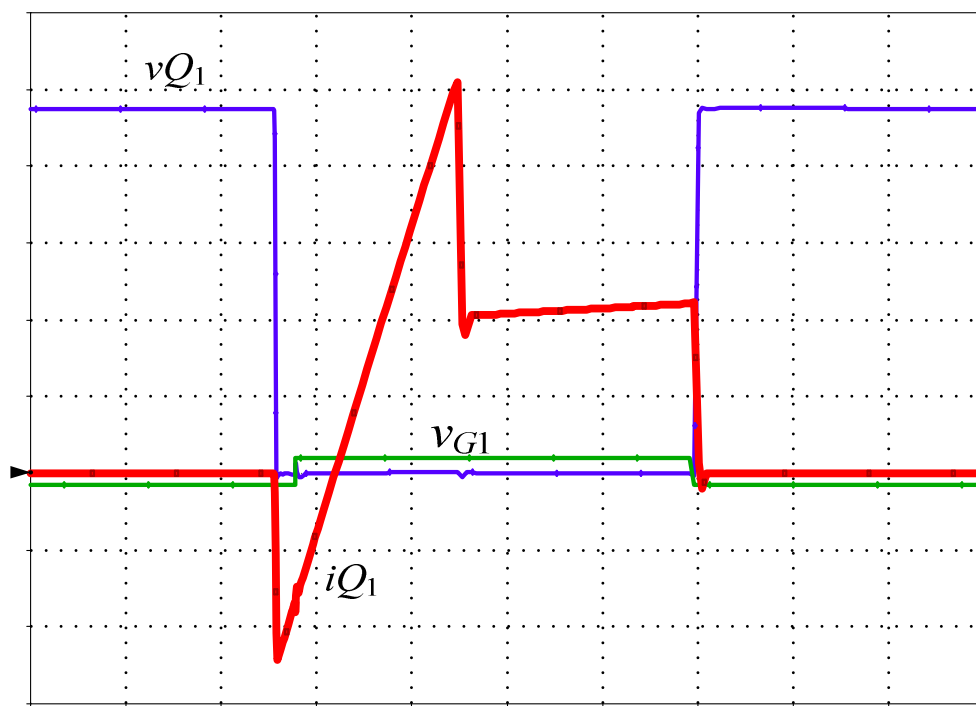


Figura 53 – Detalhe da comutação suave no interruptor principal (4 A/div, 100 V/div, 400 ns/div).

As próximas figuras mostram a simulação da tensão de grameamento no capacitor auxiliar C_{SA} . Inicialmente simulou-se com o valor de capacitância utilizado no protótipo, 1.000 μF , de forma a se obter a variação da tensão para um ciclo de rede. Esta variação pode ser vista na Figura 54, para carga máxima a 127 V, e na Figura 55, para carga máxima a 220 V. Nota-se uma distorção na passagem por zero, que é causada por um erro na largura de pulso, decorrente do tempo em que a tensão permanece em zero durante a recuperação reversa do diodo de grameamento do NPC. Esta distorção não é compensada, pois o circuito está operando em malha aberta.

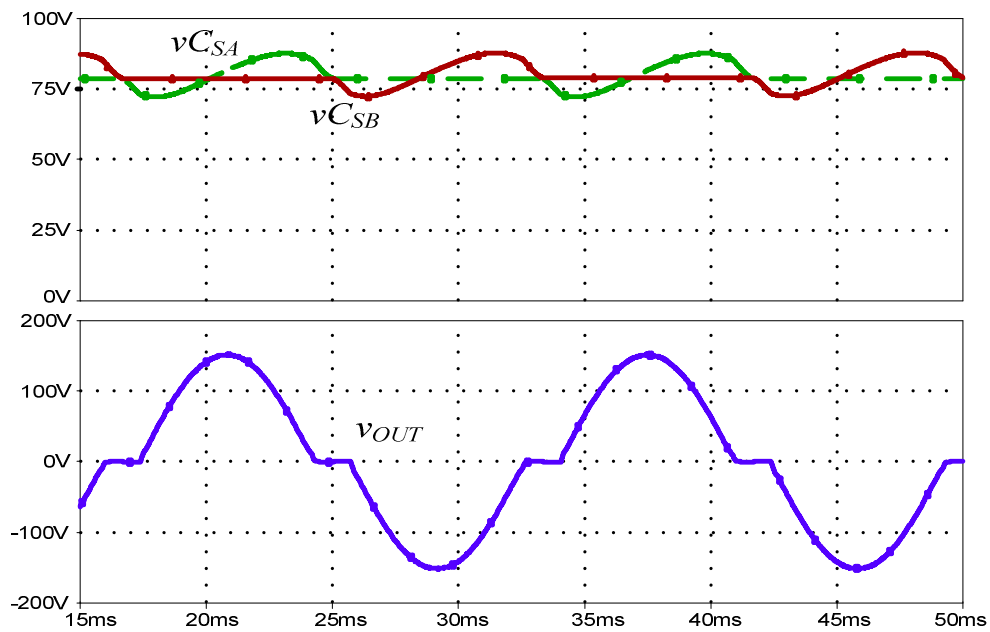


Figura 54 – Tensão no capacitor de grameamento para carga máxima à 127 V de saída.

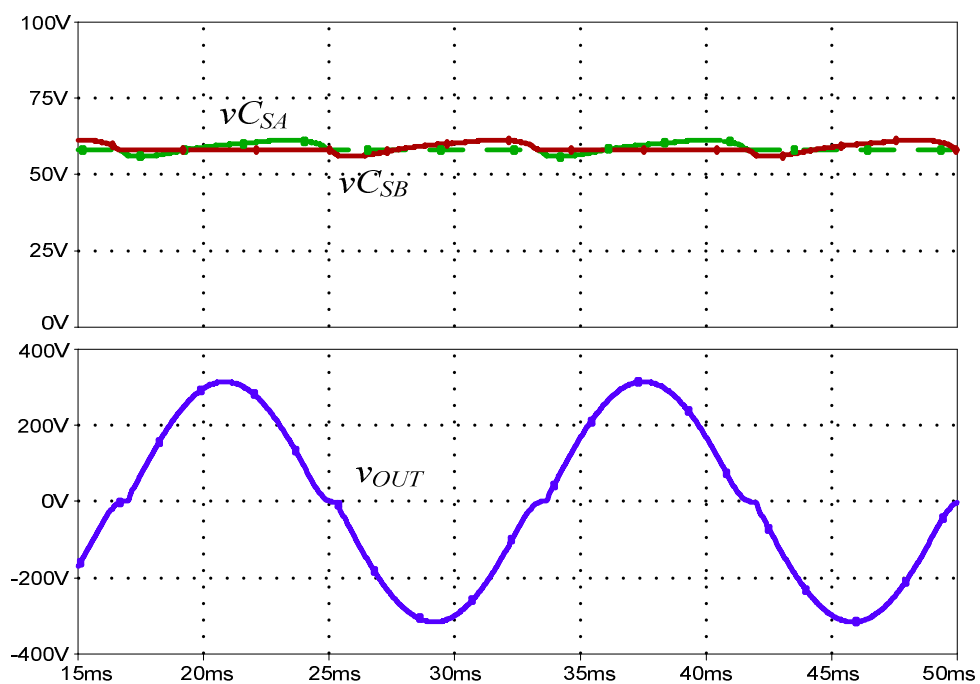


Figura 55 – Tensão no capacitor de grameamento para carga máxima à 220 V de saída.

Para verificação dos ábacos de tensão de C_{SA} , o valor do capacitor foi alterado para 10 μF , desta forma pode-se ver a relação direta entre carga, índice de modulação e tensão $v_{C_{SA}}$. Esta análise foi feita para os piores casos, ou seja, carga de 10,75 Ω para 127 V de tensão de saída, Figura 56, e carga de 32,26 Ω para 220 V de tensão de saída, Figura 57.

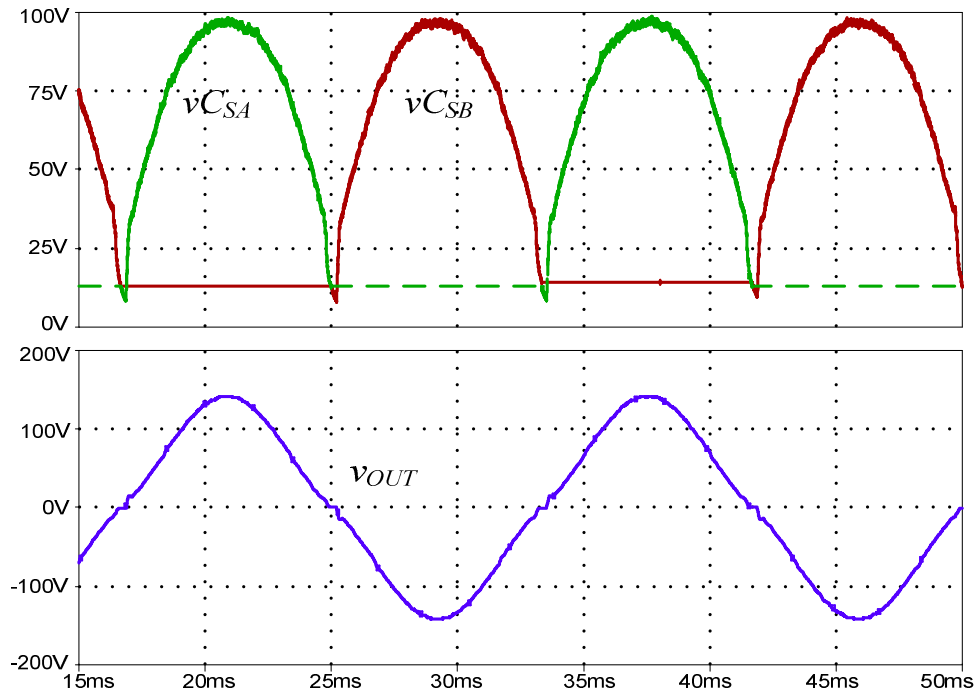


Figura 56 – Tensão no capacitor de grameamento para carga máxima à 127 V de saída.

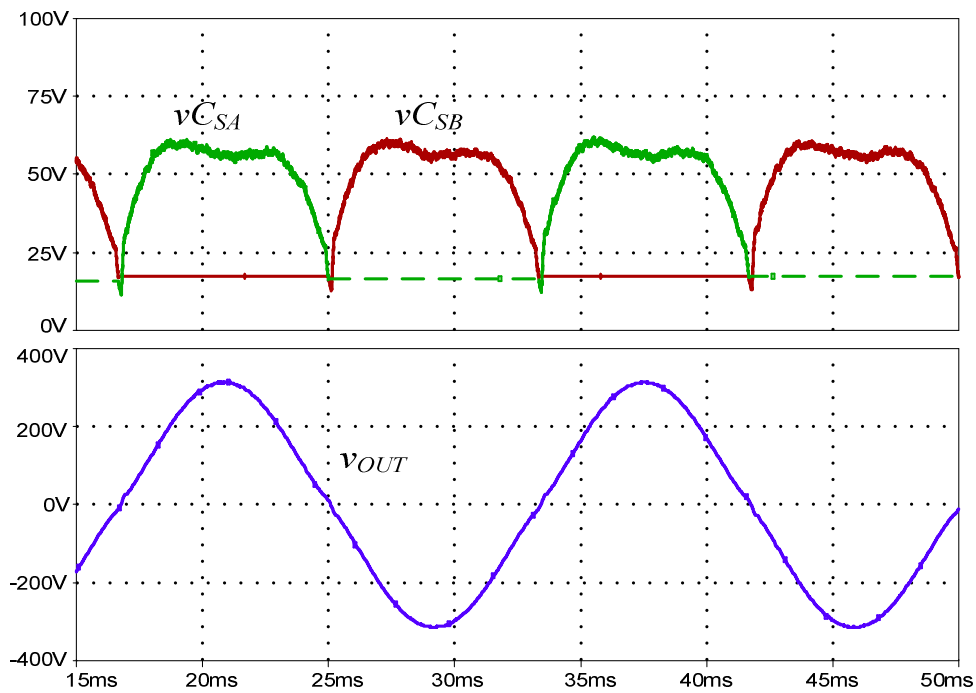


Figura 57 – Tensão no capacitor de grameamento para carga máxima à 220 V de saída.

Os valores ficaram bastante próximos aos calculados. Entende-se que as diferenças devem-se aos modelos de simulação, onde as capacitâncias intrínsecas dos interruptores e o tempo de recuperação reversa dos diodos D_5 e D_6 são ligeiramente diferentes.

A Tabela 10 faz um comparativo entre os valores dos esforços de corrente calculados e simulados. O erro percentual também é apresentado.

Tabela 10 – Comparativo entre os resultados simulados e teóricos.

	Simulação (A)	Cálculo (A)	Erro (%)
$iD_{5,6med}$ (127 V)	3,409	3,446	-1,07
$iD_{5,6med}$ (220 V)	1,173	1,192	-1,59
$iD_{5,6ef}$ (127 V)	6,536	6,582	-0,69
$iD_{5,6ef}$ (220 V)	2,812	2,811	0,03
$iQ_{1,4med}$ (127 V)	1,862	1,884	-1,16
$iQ_{1,4med}$ (220 V)	1,861	1,886	-1,32
$iQ_{1,4ef}$ (127 V)	5,136	5,174	-0,73
$iQ_{1,4ef}$ (220 V)	3,902	3,935	-0,84
$iQ_{2,3med}$ (127 V)	5,286	5,329	-0,81
$iQ_{2,3med}$ (220 V)	3,096	3,078	0,58
$iQ_{2,3ef}$ (127 V)	8,318	8,372	-0,64
$iQ_{2,3ef}$ (220 V)	4,873	4,835	0,78
$iQ_{A,Bmed}$ (127 V)	0	0	0
$iQ_{A,Bmed}$ (220 V)	0	0	0
$iQ_{A,Bef}$ (127 V)	3,299	3,182	3,67
$iQ_{A,Bef}$ (220 V)	2,576	2,616	1,55
$iL_{SA,Bef}$ (127 V)	8,763	8,275	5,89
$iL_{SA,Bef}$ (220 V)	6,839	6,566	4,15
i_{rr}	12,13	11,55	5,02

Os valores simulados ficaram bem próximos aos valores calculados, com exceção da corrente eficaz dos indutores auxiliares e a corrente eficaz nos interruptores auxiliares. Esta variação deve-se a corrente de pico da recuperação reversa dos diodos de grameamento do NPC, que fez com que a corrente sobre os indutores fosse maior do que o calculado.

3.3 SIMULAÇÃO DO CONTROLE

A simulação do controle foi feita utilizando-se a ferramenta *Simulink*, do programa *Matlab*. O circuito pode ser dividido em diversas partes. A Figura 58 mostra o esquemático do modulador PWM. Notam-se os dois geradores dente-de-serra utilizados na comparação com o sinal de compensação.

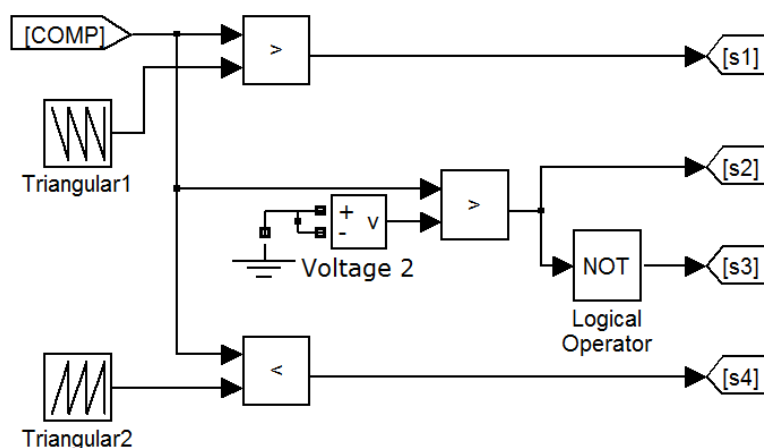


Figura 58 – Circuito do modulador PWM utilizado no *Simulink*.

A Figura 59 apresenta os blocos responsáveis pela amostragem, digitalização, quantização, controle e referência. O bloco de controle foi implementado em linguagem *matlab* e o código pode ser visto no Apêndice A. Este bloco é responsável por calcular a equação de diferenças e pela saturação do sinal enviado ao modulador PWM.

A Figura 60 apresenta o esquemático da etapa de potência do NPC. Os interruptores auxiliares não foram implementados, uma vez que o objetivo é avaliar a resposta do controlador, que não é afetado pelos interruptores auxiliares.

A carga de saída foi dividida em duas, de forma a simular os degraus de carga de 50 % para 100 % e de 100 % para 50 %. Os sinais *Step_1* e *Step_2* controlam os instantes em que metade da carga máxima é adicionada à saída.

A Figura 61, a Figura 62 e a Figura 63 mostram o resultado da simulação de degrau de carga para 220 V de tensão de saída.

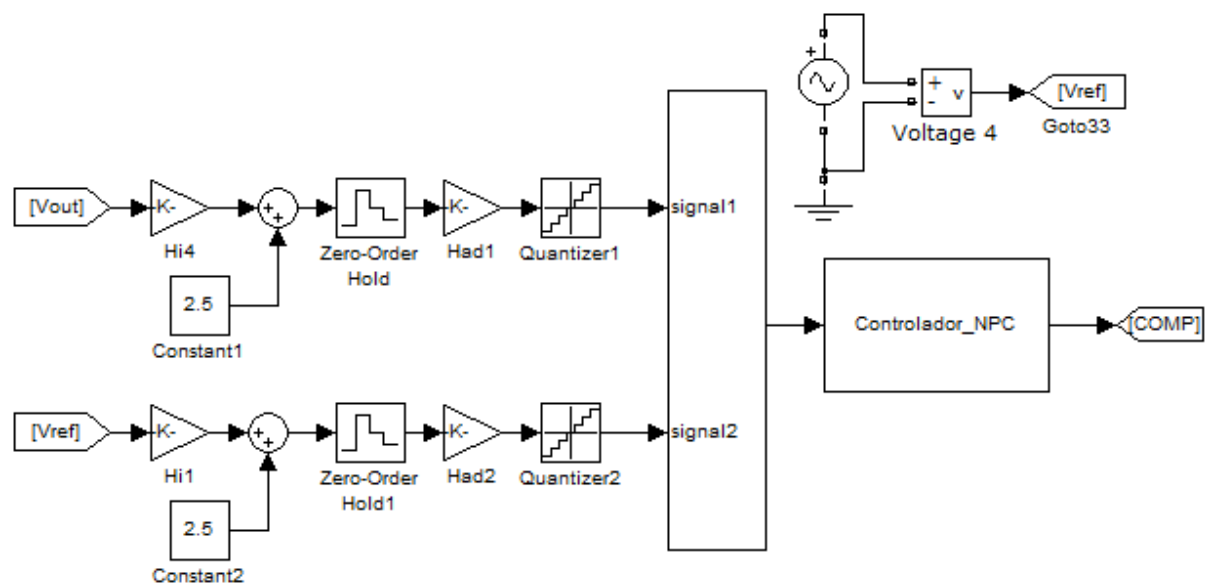


Figura 59 – Blocos responsáveis pela aquisição dos sinais e controle.

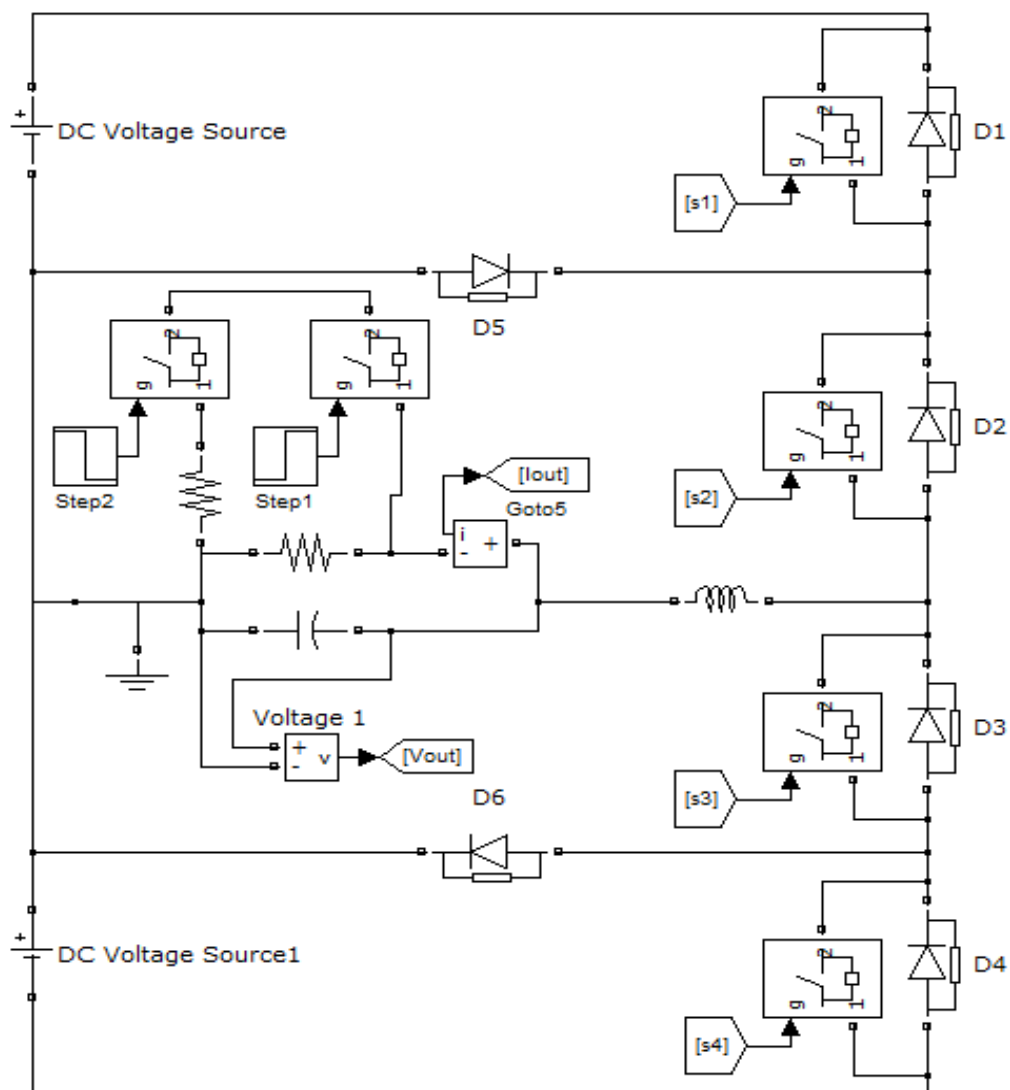


Figura 60 – Estágio de potência da simulação no *Simulink*.

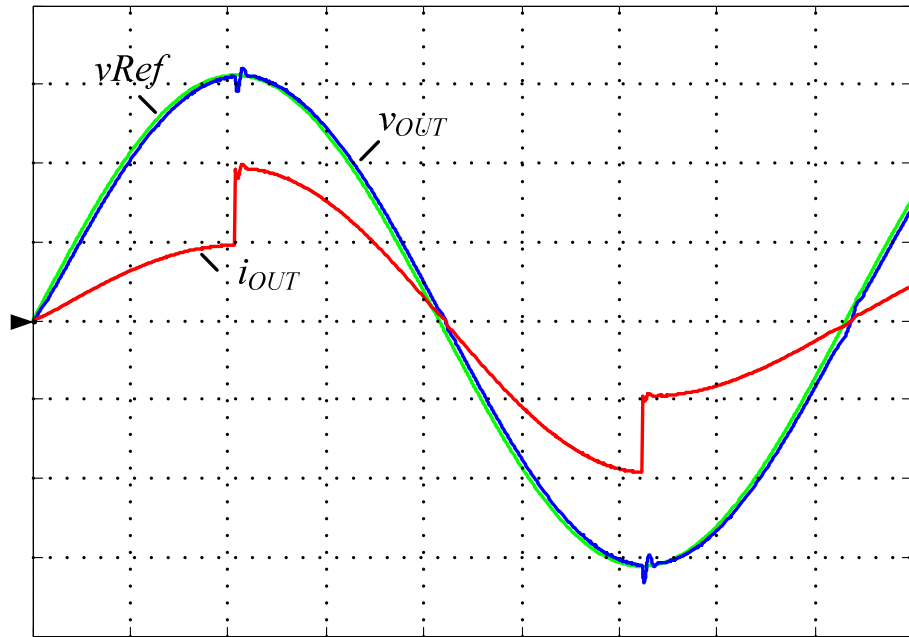


Figura 61 – Resultado de simulação de degrau de carga a 220 V (100 V/div, 5 A/div, 2 ms/div).

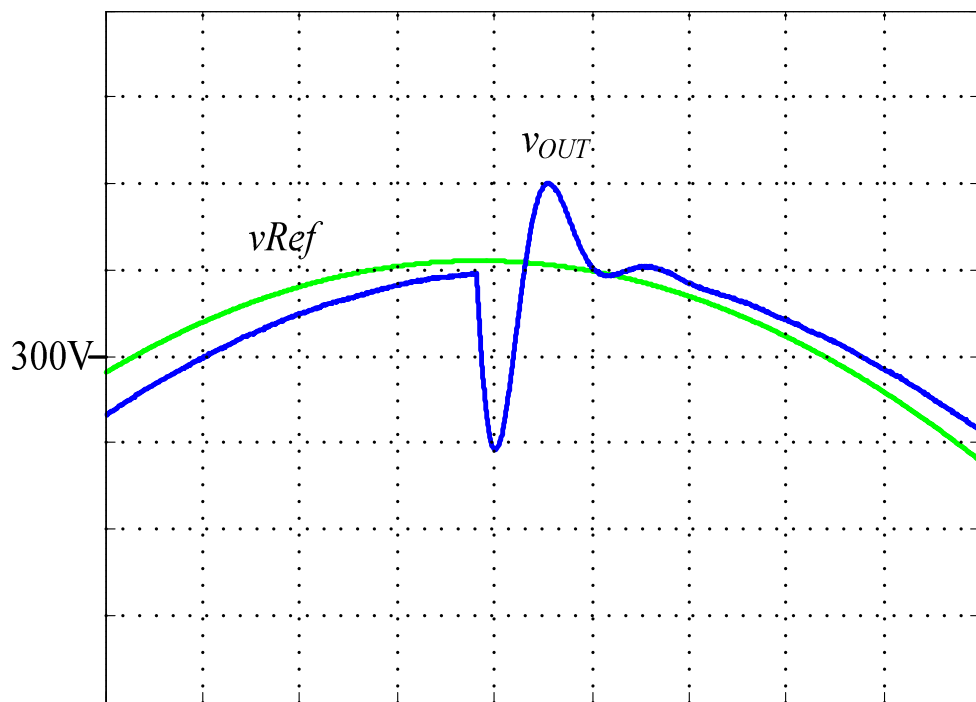


Figura 62 – Detalhe para inserção de carga a 220 V (10 V/div, 200 μ s/div).

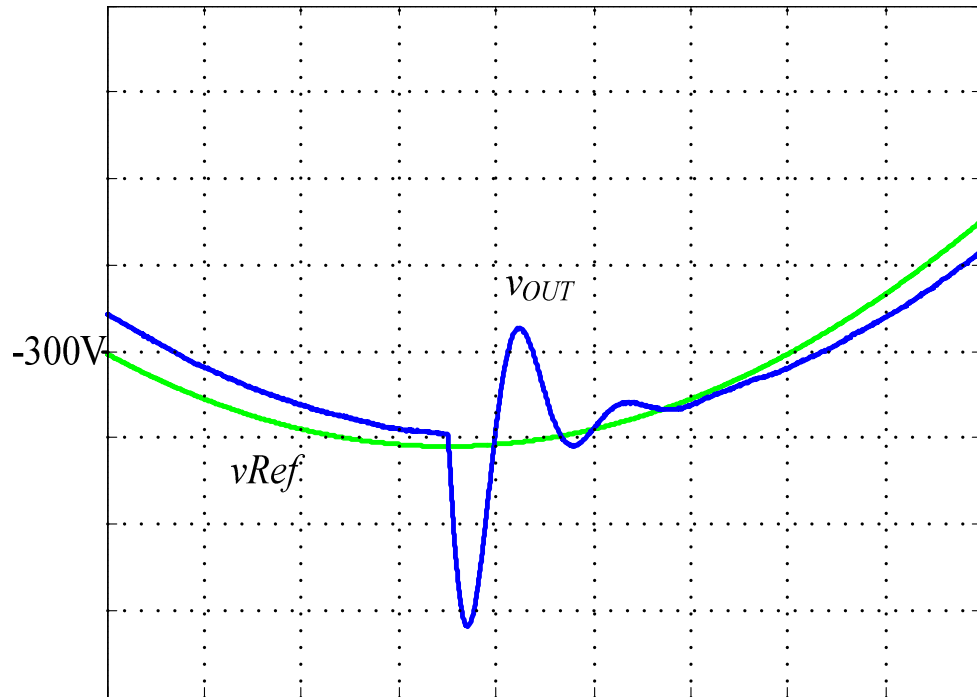


Figura 63 – Detalhe para remoção de carga a 220 V (10 V/div, 200 μ s/div).

A Figura 64, a Figura 65 e a Figura 66, mostram a mesma simulação, porém para 127 V de tensão de saída.

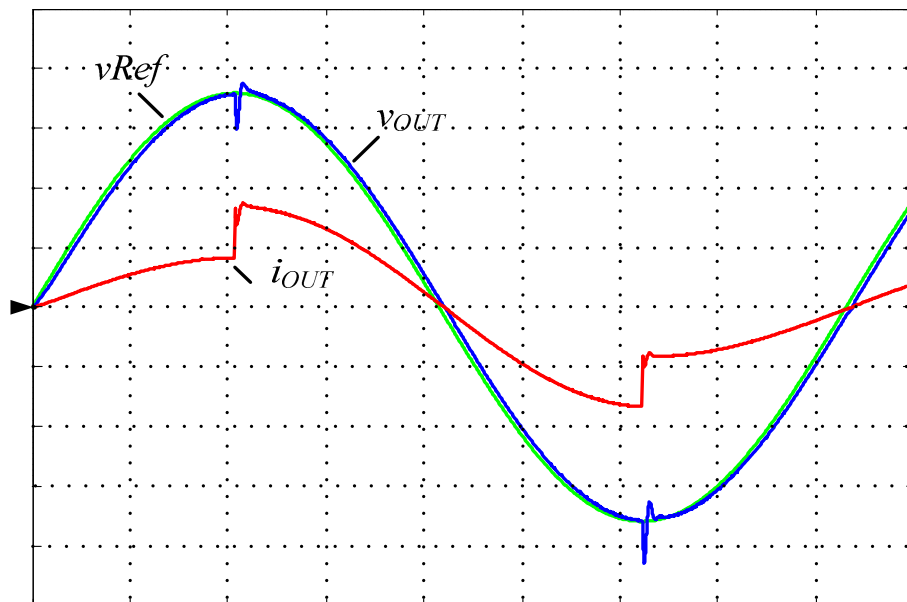


Figura 64 – Resultado de simulação de degrau de carga para 127 V (50 V/div, 10 A/div, 2 ms/div).

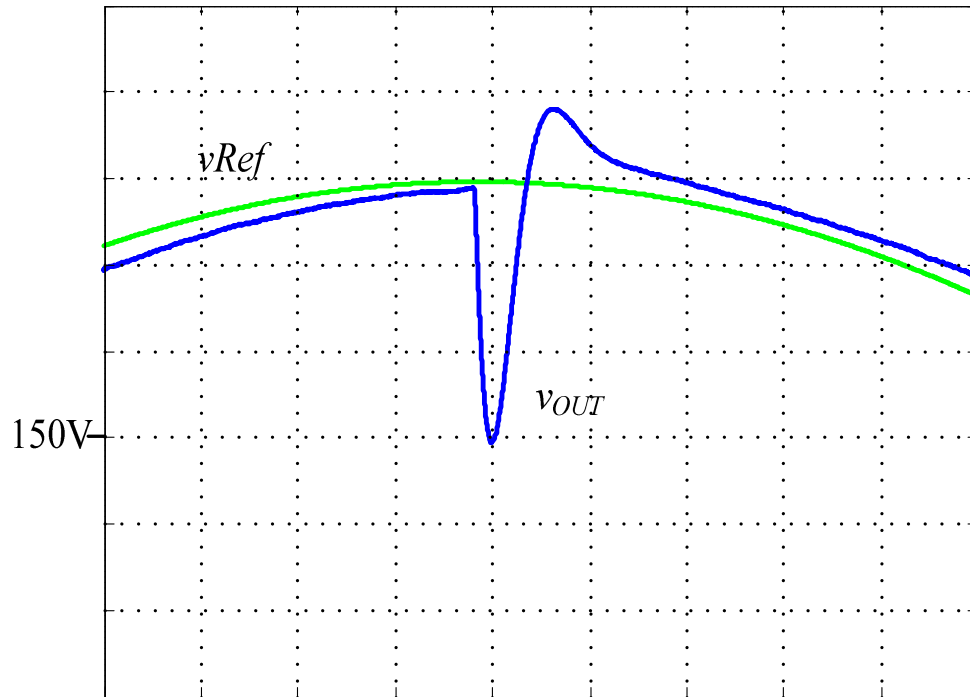


Figura 65 – Detalhe para inserção de carga a 127 V (10 V/div, 200 μ s/div).

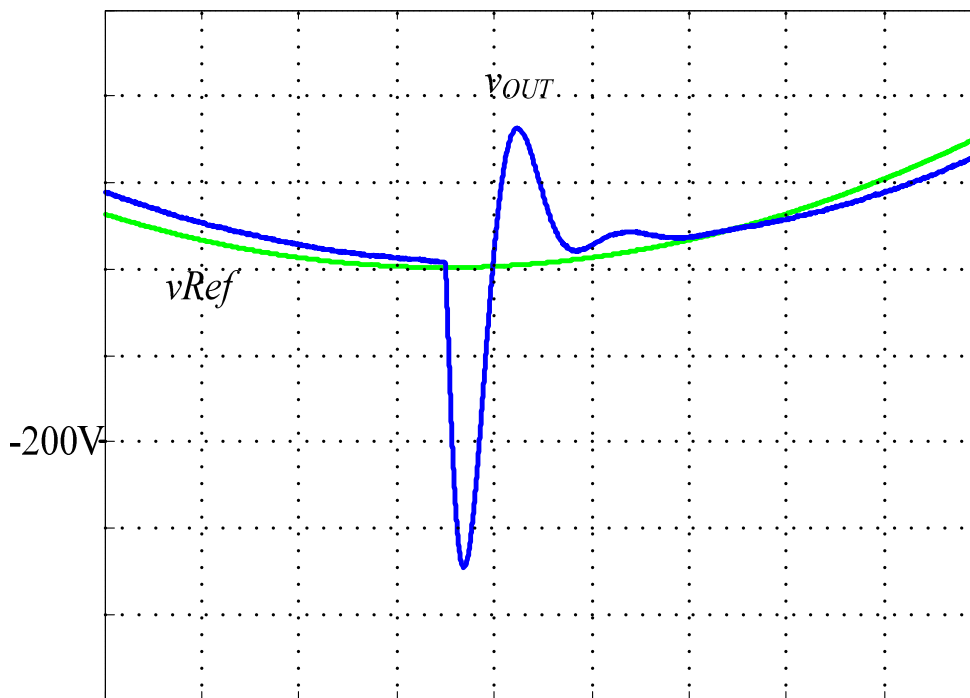


Figura 66 – Detalhe para remoção de carga a 127 V (10 V/div, 200 μ s/div).

O pior caso observado para degrau de carga foi em 127 V, onde a variação de tensão chegou a 33 V. Esta resposta deve-se principalmente ao dimensionamento do filtro de saída, que possui uma frequência de corte baixa. Nota-se também um pequeno atraso entre a referência e a tensão de saída, porém este atraso é constante e não gera distorções.

Dando continuidade a análise da resposta do controlador, foram feitas duas simulações para carga não linear. A carga não-linear segue a norma IEC62040-3 [40] e o circuito pode ser visto na Figura 67.

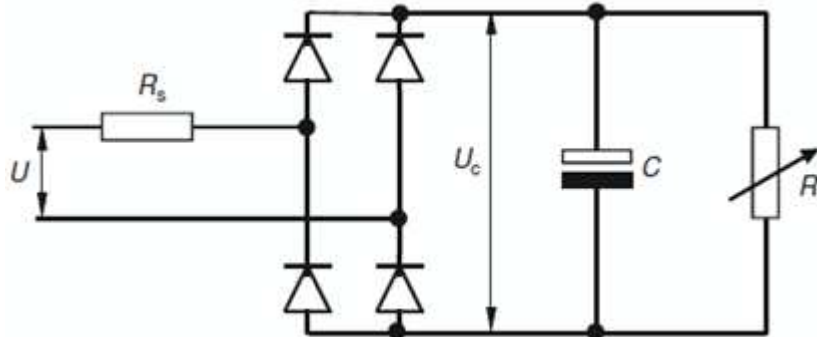


Figura 67 – Carga não linear utilizada nas simulações.

Os valores dos componentes desta carga são calculados da seguinte forma:

$$R_s = 0,04 \cdot \frac{U^2}{S} \quad (3.1)$$

Onde U é a tensão de saída do inversor e S é a potência aparente do inversor.

A resistência de carga e a capacitância são calculadas, respectivamente, por:

$$U_c = 1,22 \cdot U \quad (3.2)$$

$$R_1 = \frac{U_c^2}{0,66 \cdot S} \quad (3.3)$$

$$C = \frac{7,5}{f \cdot R_1} \quad (3.4)$$

Onde U_c é a tensão retificada, e f é a frequência de saída do inversor.

Os valores dos componentes calculados, para uma frequência de saída de 60 Hz, potência aparente de 1.500 VA, para 127 V e para 220 V podem ser vistos na Tabela 11.

Tabela 11 – Valores dos componentes para carga não linear.

	127 V	220 V
R_s	0,9 Ω	1,5 Ω
C	5 mF	1,7 mF
R_1	25 Ω	73 Ω

A Figura 68 mostra a resposta da saída para a carga não-linear calculada para 127 V e a Figura 69 mostra a resposta para a carga não-linear de 220 V.

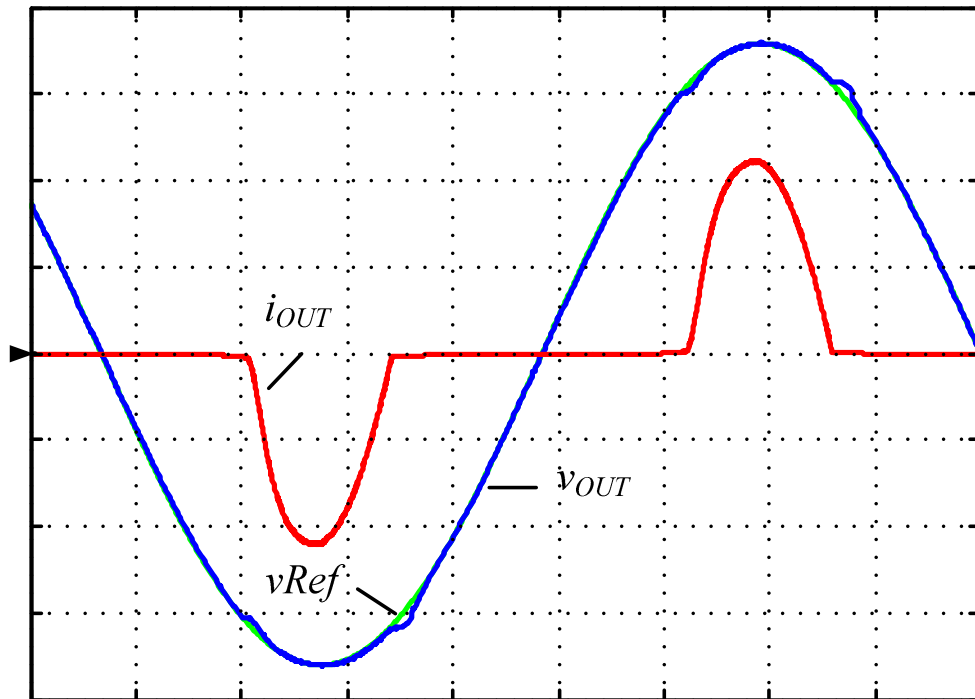


Figura 68 - Simulação de carga não linear para 127 V (50 V/div, 12,5 A/div, 2 ms/div).

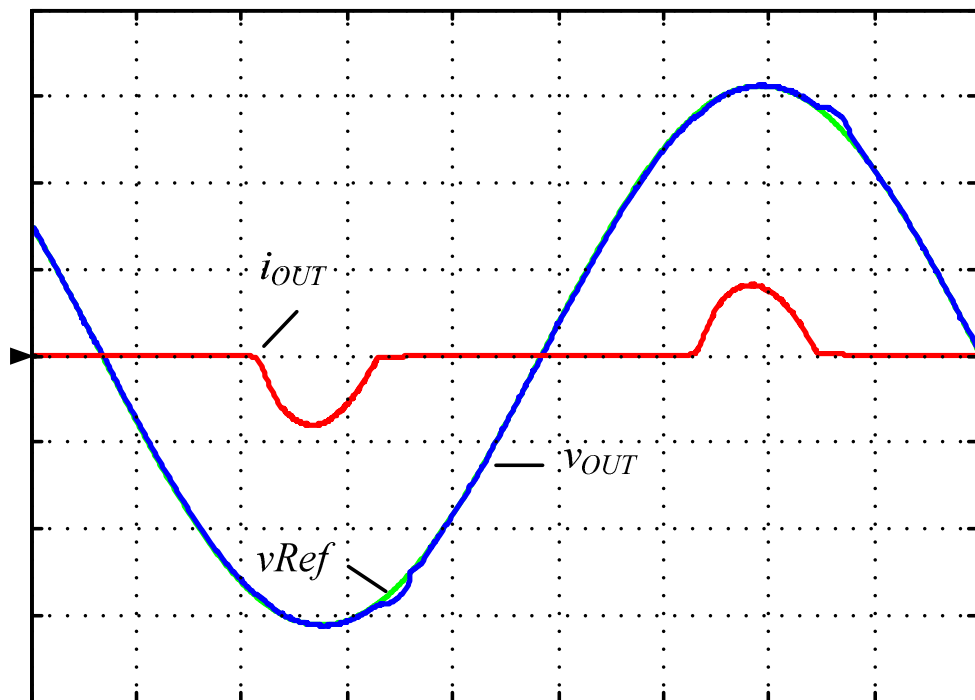


Figura 69 - Simulação de carga não linear para 220 V (100 V/div, 25 A/div, 2 ms/div).

Pode-se observar que a variação brusca de corrente causa uma pequena distorção no sinal de saída, principalmente no bloqueio dos diodos da carga não-linear. As análises dos componentes harmônicos das tensões de saída podem ser vistas na Figura 70 e na Figura 71.

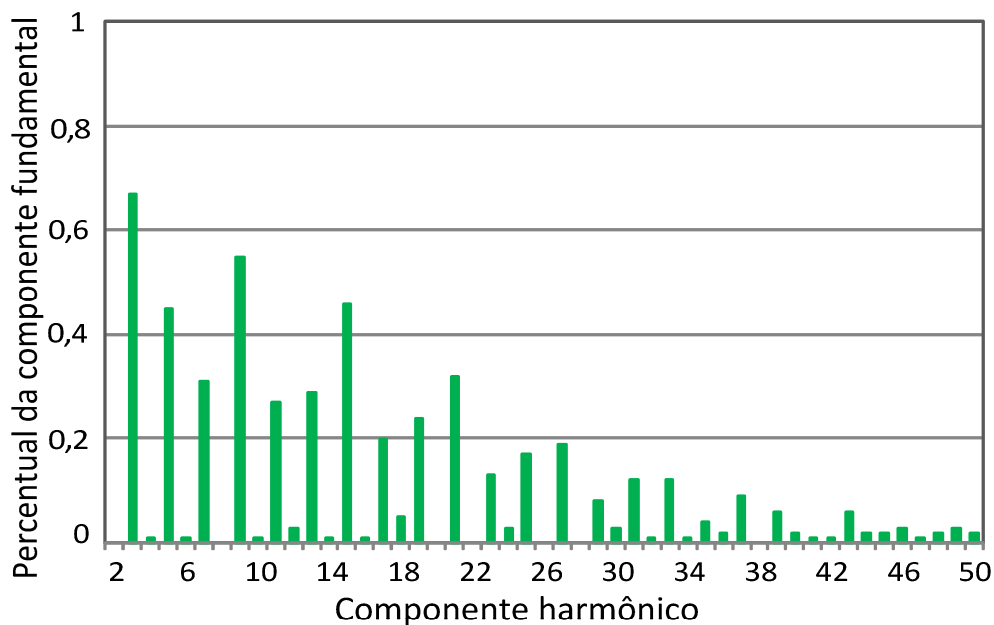


Figura 70 – Componentes harmônicos para 127 V de tensão de saída com carga não linear.

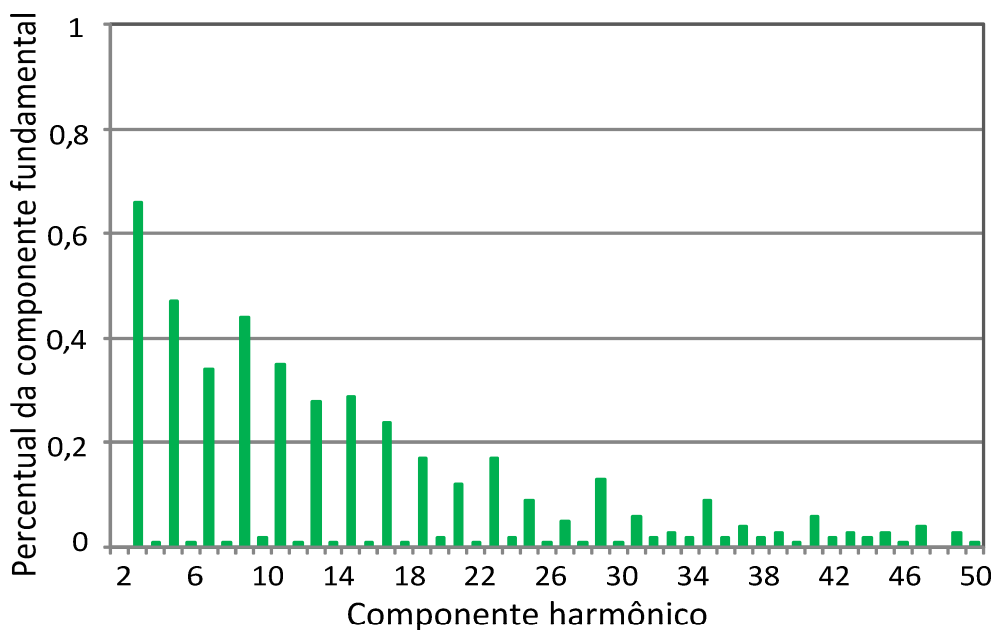


Figura 71 – Componentes harmônicos para 220 V de tensão de saída com carga não linear.

A distorção harmônica total (DHT) obtida foi de 1,35 % para a tensão de 127 V com carga não linear e 1,24 % para a tensão de 220 V com carga não linear.

3.4 CONCLUSÃO

Através das simulações realizadas pôde-se verificar a análise teórica do inversor NPC.

Pela simulação do circuito de potência pode-se comprovar a comutação suave e verificar a tensão de grampeamento previamente deduzida, assim como verificar os esforços dos componentes. Notou-se também uma distorção no cruzamento da tensão por zero, devido ao erro causado no ciclo ativo pelo circuito de auxílio à comutação, que faz com que a tensão imposta ao filtro seja nula desde o momento da abertura do interruptor auxiliar até o término da recuperação reversa dos diodos de grampeamento do NPC.

Já pela simulação do circuito de controle, pode-se verificar a resposta do controlador calculado. Para isso utilizou-se das respostas ao degrau e à carga não-linear. O controlador apresentou uma boa resposta para degrau de carga e um pouco de distorção no bloqueio dos diodos da carga não-linear, porém abaixo de 5 %.

4 IMPLEMENTAÇÃO

Após o estudo efetuado nos capítulos 1, 2 e 3, partiu-se para a implementação de um protótipo funcional para verificar os resultados obtidos teoricamente e por simulações.

O diagrama em blocos da estrutura implementada pode ser visto na Figura 72. Nele podem-se ver oito blocos distintos: retificador/ dobrador, fonte de alimentação auxiliar, drivers dos IGBTs, circuito principal do NPC ZVS, filtro e saída, sensor de tensão, condicionamento de sinais + conversor A/D e placa de processamento com FPGA. Estes blocos estão divididos em quatro placas. Dentro do bloco do FPGA notam-se outros blocos, que foram implementados em *gateware*, que é o nome dado ao código feito dentro de um FPGA, proveniente de *logic gate*, que em inglês é o nome dado às portas lógicas. Estes blocos são responsáveis pela geração dos sinais de controle PWM dos interruptores, pelo cálculo do controle, pela leitura do conversor A/D, pela proteção e, opcionalmente, pela geração do sinal de referência.

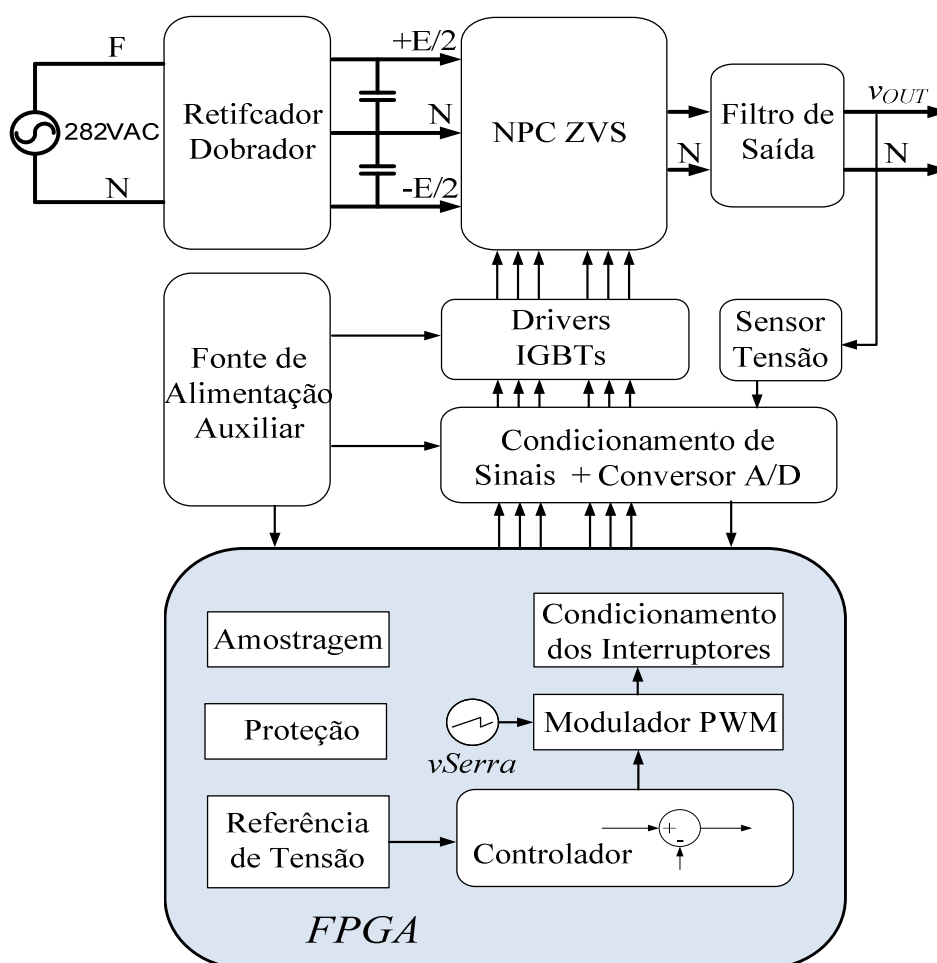


Figura 72 – Diagrama geral do protótipo implementado.

O circuito opera com frequência de comutação de 200 kHz, tensão de barramento E de 800 V, amostragem de 200 kHz, feita por conversores A/D externos de 12 bits e entrada de tensão de 0 a 5 V. A fonte de alimentação utilizada possui saídas de alimentação simétricas de ± 15 V. Esta fonte alimenta as fontes isoladoras dos drivers dos IGBTs, assim como a placa de condicionamento, sensor de tensão e a placa de processamento. O sensor de tensão utilizado é do tipo *hall*.

Uma foto do protótipo é apresentada na Figura 73. Nela podem-se ver as quatro placas que constituem o protótipo. Estas placas são explicadas em detalhes à seguir.

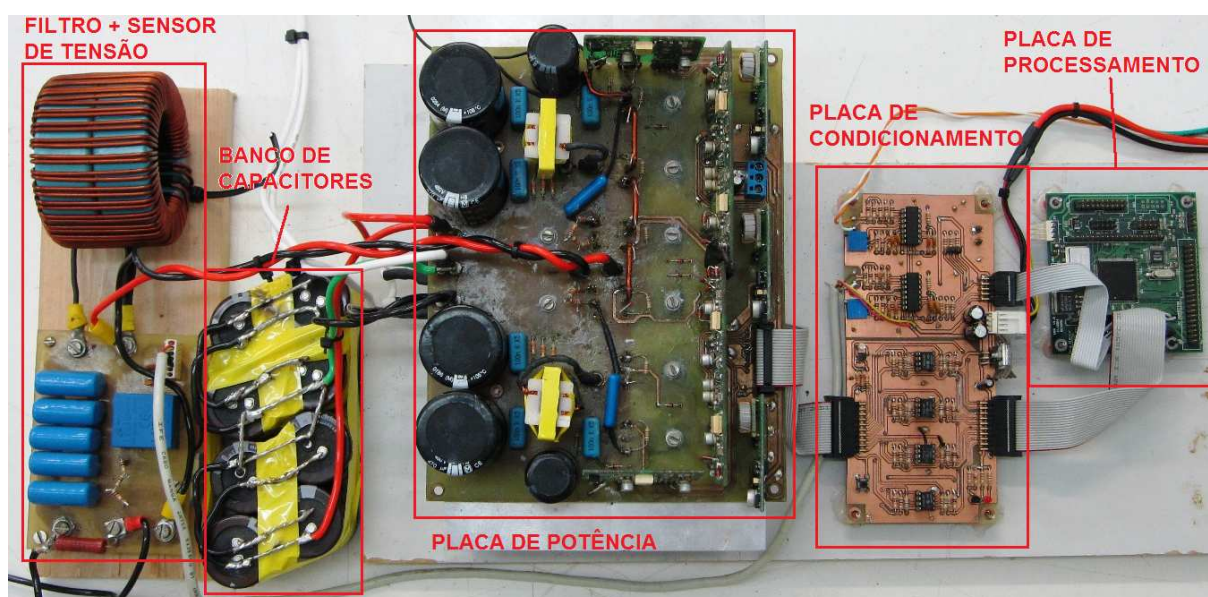


Figura 73 – Vista superior do protótipo.

4.1 CIRCUITOS ELETRÔNICOS

A seguir, é apresentado em detalhes cada parte do circuito utilizado para validação do inversor proposto.

4.1.1 Estágio de entrada

O estágio de entrada é responsável por gerar a tensão de barramento DC de 800 V, dividido em duas tensões simétricas de 400 V, que são aplicadas ao circuito do inversor NPC. Este estágio é mostrado na Figura 74.

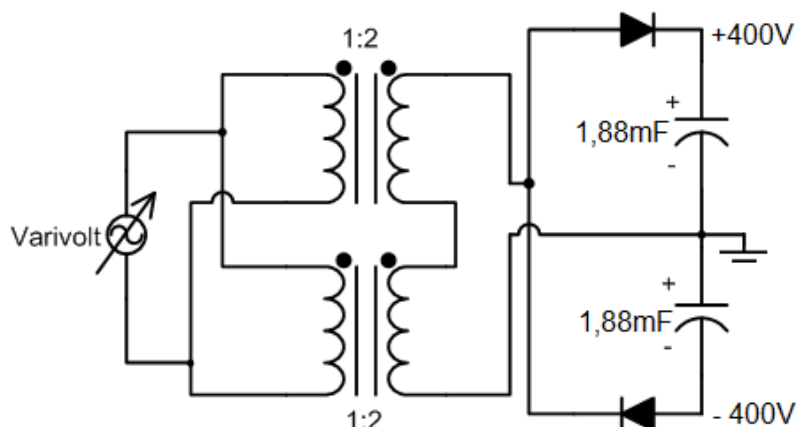


Figura 74 – Esquemático do estágio de entrada.

A tensão, proveniente de um variador de tensão, alimenta dois transformadores com relação de transformação 1:2 (110 V/ 220 V). Estes transformadores possuem os primários conectados em paralelo e os secundários conectados em série, formando um transformador com relação de transformação 1:4. Este secundário é conectado a um retificador dobrador, formado por dois diodos, formando assim um barramento de 800 V para uma tensão AC de entrada de aproximadamente 70 V. Os capacitores do barramento foram escolhidos de forma a se obter uma baixa ondulação de tensão, e foram obtidos pela associação de oito capacitores de 470 μF / 450 V, quatro em paralelo para a tensão de +400 V e quatro em paralelo para a tensão de -400 V.

4.1.2 Fonte auxiliar

A fonte auxiliar alimenta com +15 V e -15 V a placa de condicionamento e o sensor de tensão, e com +15 V os drivers. Esta fonte foi obtida no laboratório e teve o circuito de saída de tensão positiva alterado para suportar a corrente dos drivers dos IGBTs. O circuito da fonte auxiliar pode ser visto na Figura 75. Ele é composto por um transformador com primário de 220 V e dois secundários de 18 V em série. Os secundários são ligados a uma ponte de diodos com um par de filtros capacitivos.

Para se obter a tensão correta de saída, dois reguladores lineares foram utilizados, sendo que na saída positiva um estágio de potência foi adicionado.

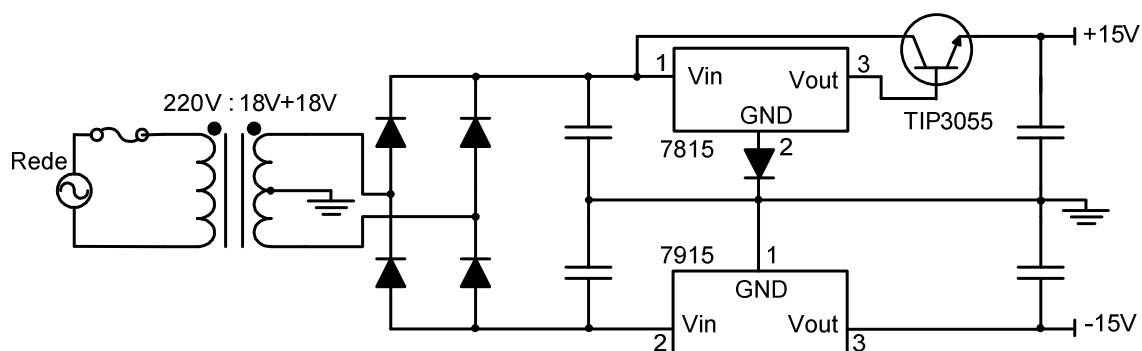


Figura 75 – Esquemático da fonte auxiliar.

4.1.3 Condicionamento

A placa de condicionamento é responsável por fazer a adequação dos níveis de tensão dos sinais entre o FPGA e os drivers, pelo condicionamento do sinal provenientes do sensor de tensão e da referência externa, pela conversão A/D e pela geração da tensão de 5 V, que alimenta o conversor A/D e a placa do FPGA. Uma foto dessa placa pode ser vista na Figura 76.

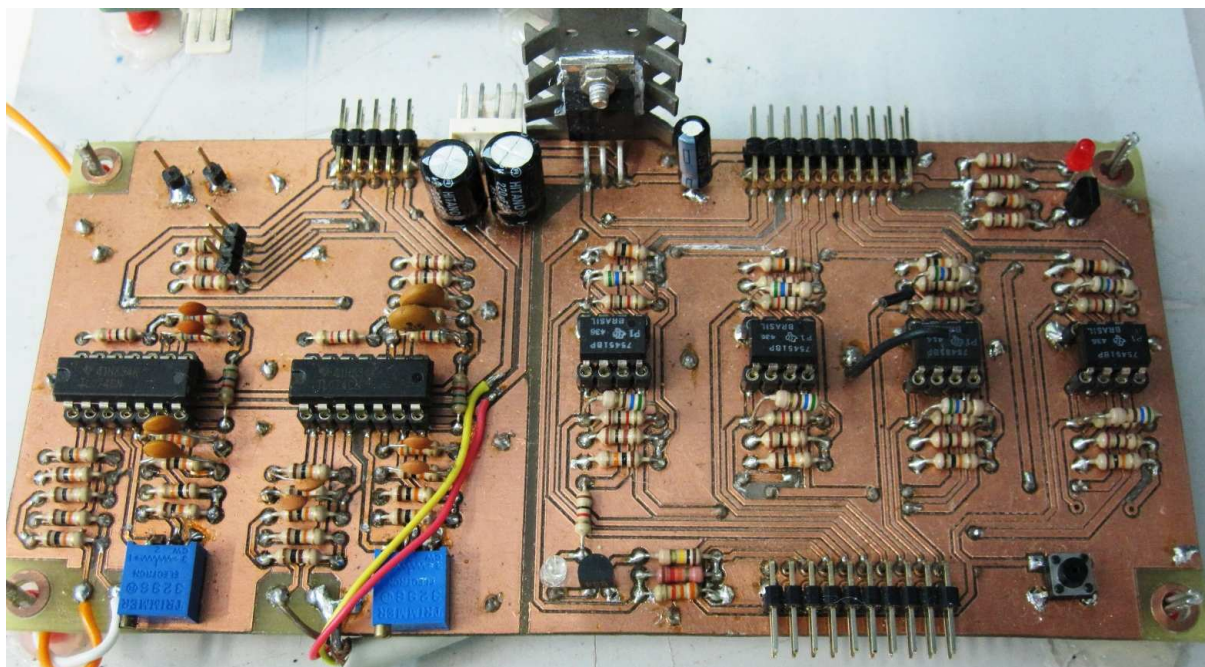


Figura 76 – Placa de condicionamento.

A Figura 77 mostra o circuito do regulador de tensão linear para geração dos 5 V e o conector de alimentação da placa.

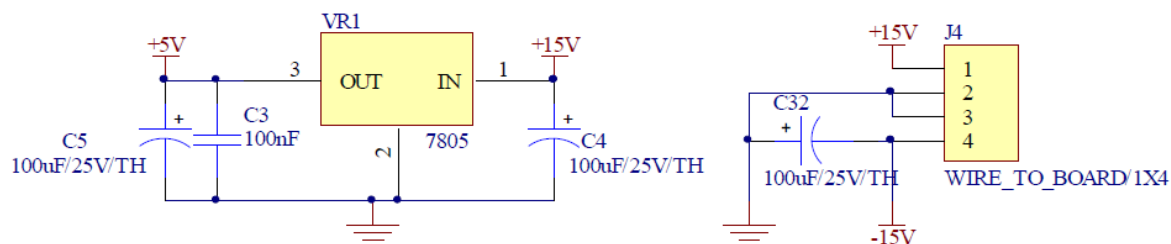


Figura 77 – Fonte de alimentação de 5 V e conector de alimentação.

O circuito do condicionamento de sinais para os drivers pode ser visto na Figura 78. Este circuito converte a tensão de saída do FPGA, 3,3 V, em um sinal de 15 V, desta forma podendo ser interpretado corretamente pelos drivers dos IGBTs. Ao todo, são três circuitos montados para o acionamento dos seis interruptores e um para reset dos drivers, no caso de proteção por sobre corrente.

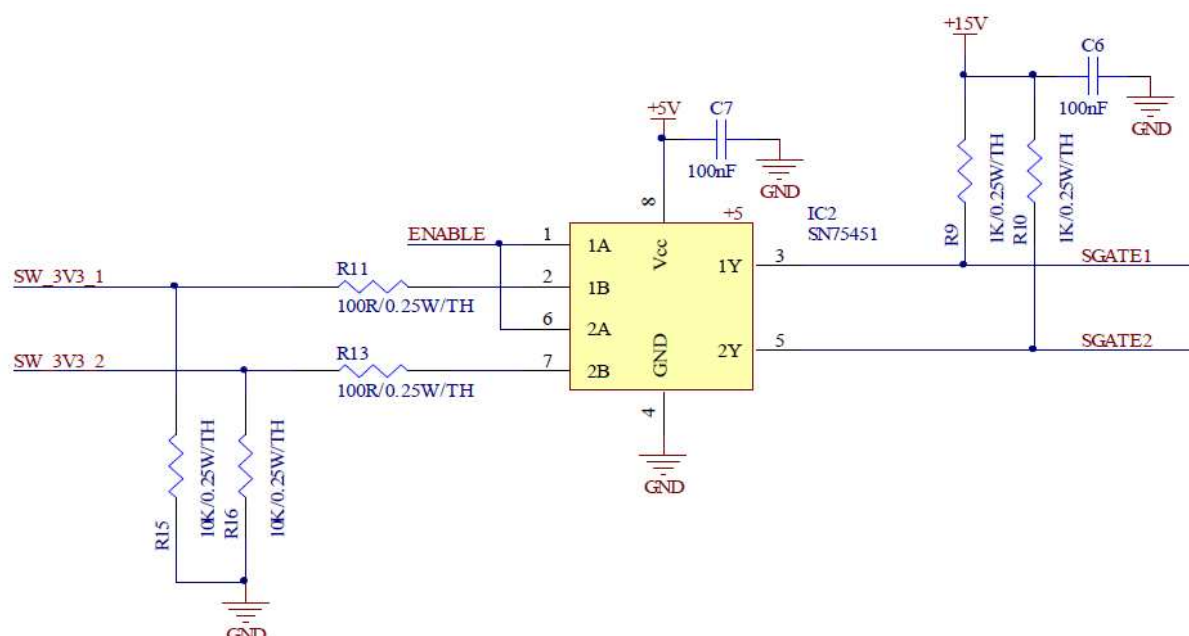


Figura 78 – Conversor de nível de tensão – 3,3 V do FPGA para 15 V dos drivers.

O circuito do filtro *anti-aliasing* com o conversor A/D pode ser visto na Figura 79. Este filtro limita a banda de frequência entregue ao conversor A/D em 100 kHz, assim como gera um offset de tensão exatamente ao centro da escala deste conversor, ou seja, 2,5 V. Desta forma, valores de tensão positivas e negativas podem ser interpretadas por este conversor. O ajuste deste offset é feito pelo resistor variável do circuito. Ao todo são dois circuitos idênticos na placa de condicionamento, um para condicionamento do sinal proveniente do sensor de tensão e outro proveniente de uma referência de tensão externa, utilizada, quando desejado, em substituição ao sinal de referência gerado dentro do FPGA.

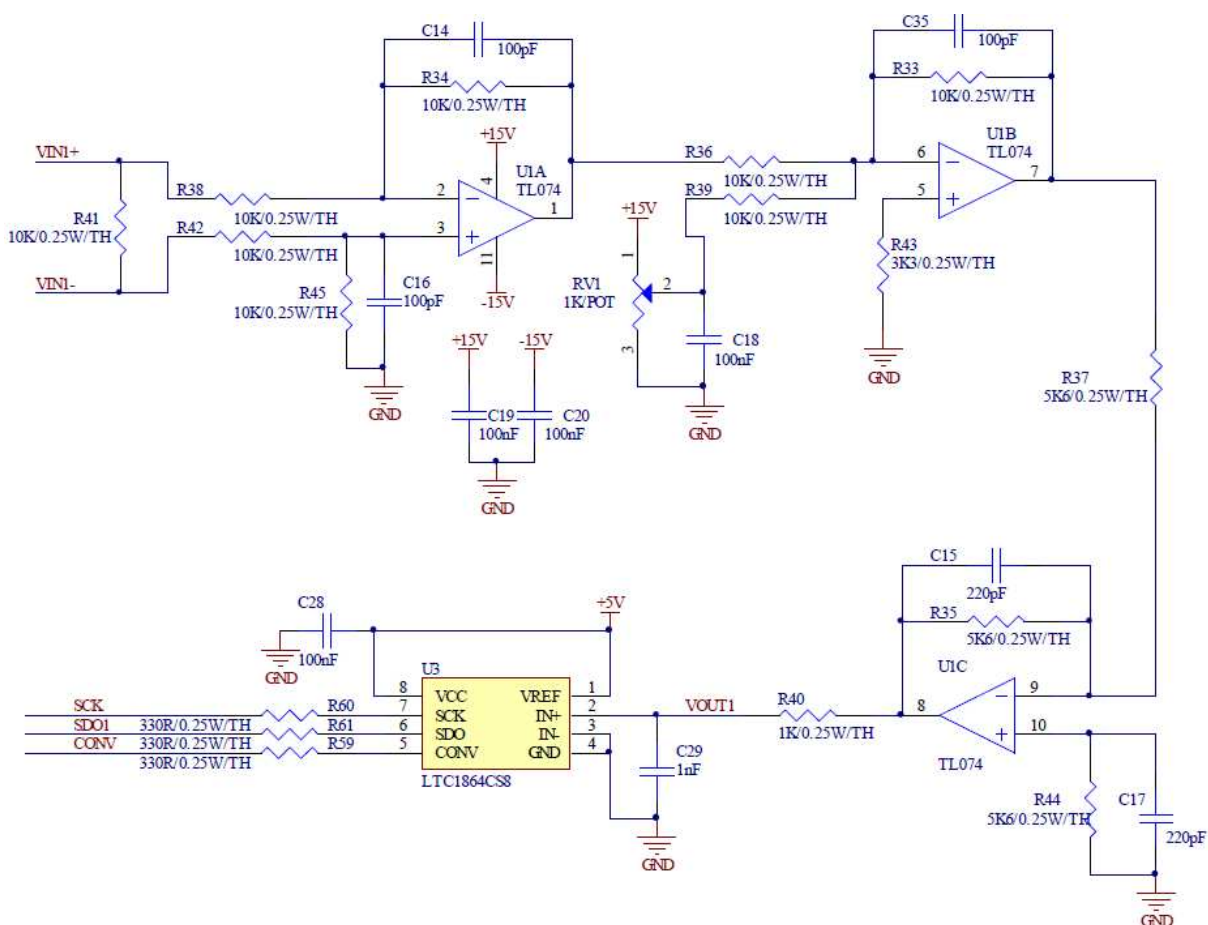


Figura 79 – Circuito de condicionamento da tensão de saída.

O diagrama de bode deste filtro pode ser visto na Figura 80.

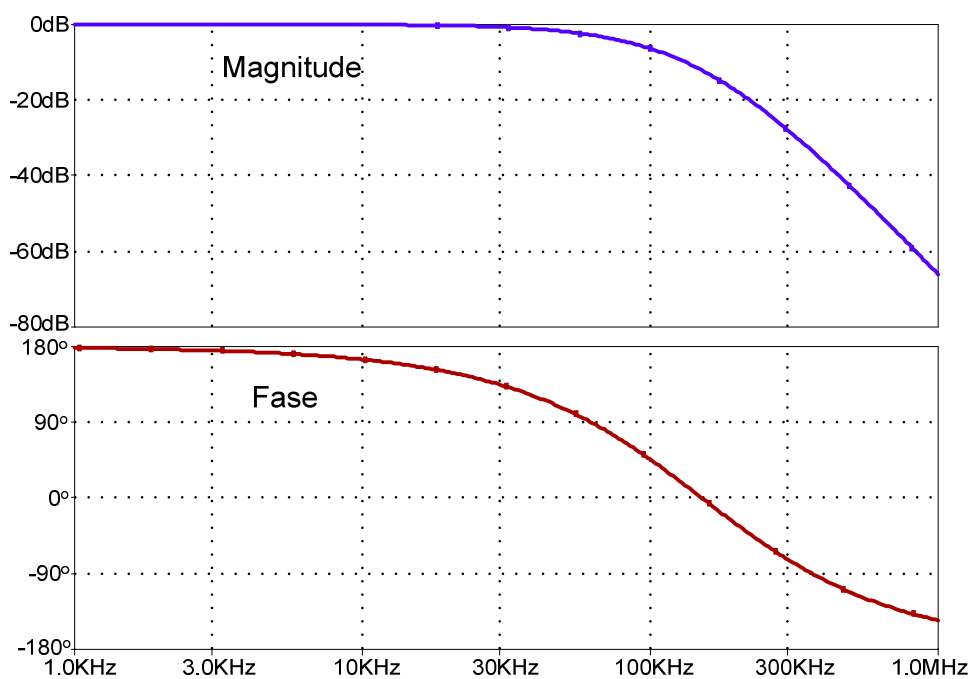


Figura 80 – Diagrama de bode do filtro *anti-aliasing*.

O conversor A/D utilizado é da National Semiconductor, modelo LTC1860, e possui 12 bits. Seu range de tensão de entrada vai de 0 a 5 V. Como o ganho do filtro *anti-aliasing* é unitário, a entrada de tensão do circuito de condicionamento pode variar de -2,5 V a +2,5 V. Este valor é utilizado para determinar o ganho do sensor de tensão.

4.1.4 Filtro de saída e sensor de tensão

O filtro de saída é formado por um indutor toroidal, de 560 μH e por cinco capacitores de polipropileno de 1 μF associados em paralelo, formando um capacitor de 5 μF . A foto desta placa pode ser vista na Figura 81.

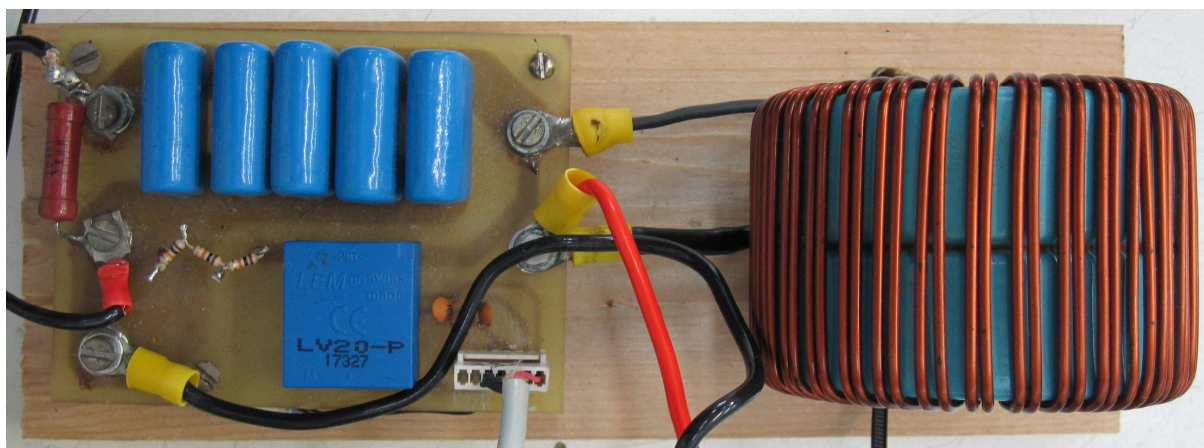


Figura 81 – Filtro de saída e sensor de tensão.

O sensor de tensão utilizado é o da marca LEM, modelo LV20P. Este sensor além de possuir uma barreira isoladora, também possui uma saída em corrente, o que torna o circuito mais imune a ruído. O circuito típico deste sensor pode ser visto na Figura 82.

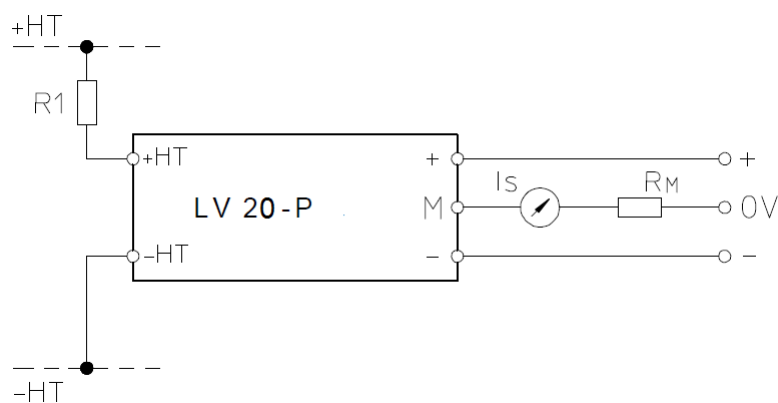


Figura 82 – Circuito do sensor de tensão.

Este sensor possui uma relação de transformação de 1:2,5 e precisão de $\pm 1\%$. Na aplicação do inversor, foi utilizado $50\text{ k}\Omega$ para R_1 e $100\ \Omega$ para R_M de forma a se obter uma tensão de entrada no circuito de condicionamento de $\pm 2,5\text{ V}$ para uma tensão v_{OUT} de $\pm 500\text{ V}_{pico}$.

4.1.5 Processamento

O dispositivo selecionado para o processamento digital de sinais foi um dispositivo de lógica programável, do tipo FPGA – *Field Programmable Gate Array*.

Um FPGA é um dispositivo semicondutor que é largamente utilizado para o processamento de informações digitais. Foi criado pela Xilinx Inc., e teve o seu lançamento no ano de 1985, como um dispositivo que poderia ser programado de acordo com as aplicações do usuário (programador). O FPGA é composto basicamente por três tipos de componentes: blocos de entrada e saída (IOB), blocos lógicos configuráveis (CLB) e circuitos de interconexão (*Switch Matrix*). Os blocos lógicos são dispostos de forma bidimensional, os circuitos de interconexão são dispostos em formas de trilhas verticais e horizontais entre as linhas e as colunas dos blocos lógicos, conforme mostra a Figura 83.

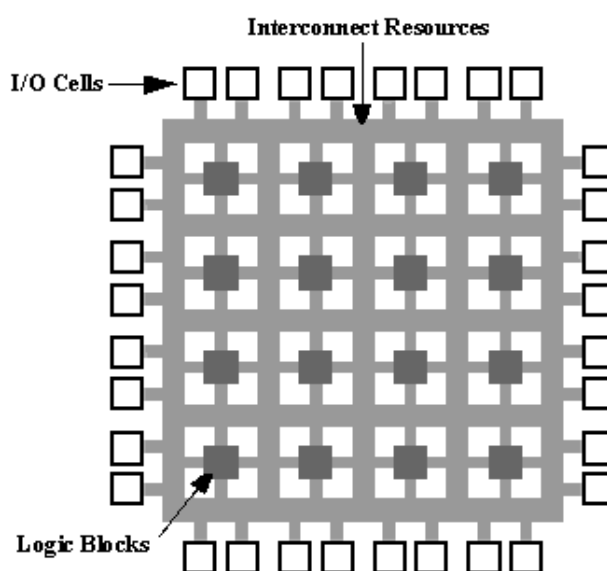


Figura 83 – Estrutura interna de um FPGA.

Na teoria, qualquer circuito 100 % digital pode ser implementado dentro de um FPGA, desde que a quantidade de lógica e a velocidade sejam compatíveis. Na prática, a maioria dos circuitos conhecidos como ASICs (*Application Specific Integrated Circuits*) foram criados

utilizando a linguagem VHDL ou Verilog, e primeiramente implementados e testados utilizando dispositivos FPGA, incluindo na lista processadores de 32 bits, blocos de memória entre outros.

Diferentemente dos dispositivos conhecidos como DSP - Processadores Digitais de Sinais, a capacidade de armazenamento ou a quantidade de programa a ser armazenado é medida pelo número de blocos lógicos, e não em bytes. Normalmente o código fonte é chamado de *gateway* e não de *software*.

O dispositivo utilizado no projeto foi selecionado conforme a disponibilidade e de forma que atendesse às necessidades do projeto. Desta forma, o Altera Cyclone EP1C3T144C8, que possui as características apresentadas na Tabela 12, foi selecionado.

Tabela 12 – Características do Altera Cyclone EP1C3T144C8.

Elementos lógicos - LEs	2910
M4K RAM blocks (4 kbits + paridade)	13
Memória interna (kbits)	59
PLLs	1
Pinos de entrada e saída	104
Canais diferenciais	34

A foto da placa utilizada pode ser vista na Figura 84.



Figura 84 – Placa de processamento com FPGA.

Esta placa não é comercial e foi reaproveitada de outro projeto. No mercado existem diversos kits de desenvolvimento que podem ser utilizados.

O início deste trabalho foi feito utilizando-se um “Starter Kit” da família Cyclone II, gentilmente cedido pela empresa Altera, porém no protótipo final optou-se por utilizar outra placa devido ao tamanho reduzido.

4.1.6 Drivers

O drivers utilizados no circuito do inversor NPC são da empresa Semikron. Dois drivers são simples, do modelo SKHI10op, utilizados para o acionamento dos interruptores auxiliares, e dois são duplos, do modelo SKHI20op, para acionamento dos interruptores da topologia NPC. Eles podem ser visualizados na Figura 85 e Figura 86, respectivamente. Estes drivers são responsáveis por: isolar os sinais da placa de condicionamento dos sinais de comando dos IGBTs, possuir corrente suficiente para o rápido carregamento/descarregamento das capacitâncias intrínsecas da porta dos IGBTs e proteger o circuito contra sobrecorrente.

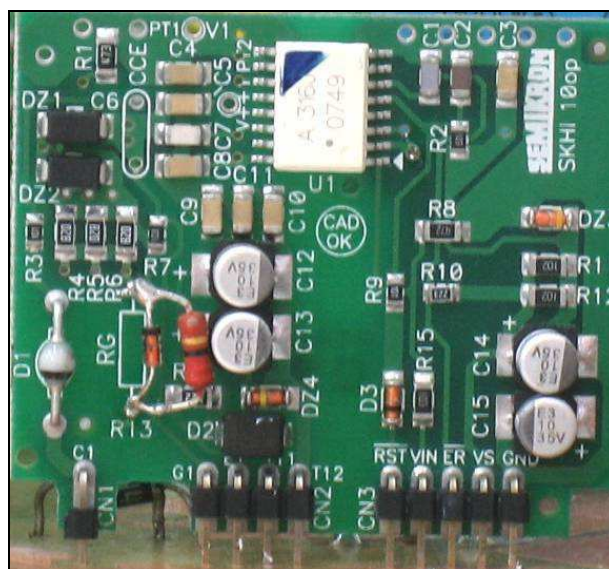


Figura 85 – Driver simples.

Para o funcionamento destes drivers, é necessário o uso de fontes de alimentação independentes e isoladas para cada canal, ou seja, seis fontes no total são necessárias. O módulo da Semikron SKHI PS2 possui duas fontes de alimentação isoladas em uma mesma placa. No total são utilizados três destes módulos no projeto do inversor. A foto deste módulo pode ser vista na Figura 87.

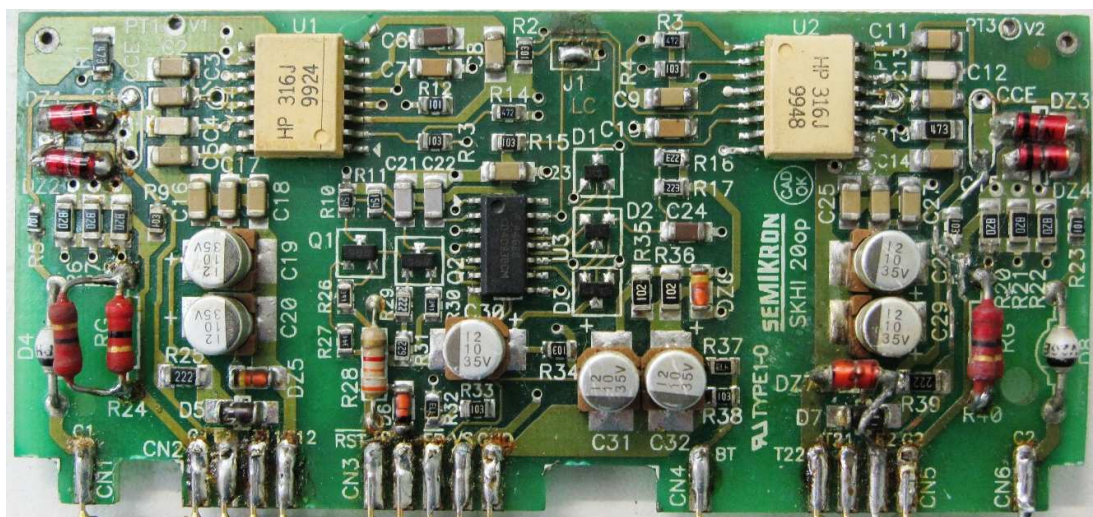


Figura 86 – Driver duplo SKHI 20op.

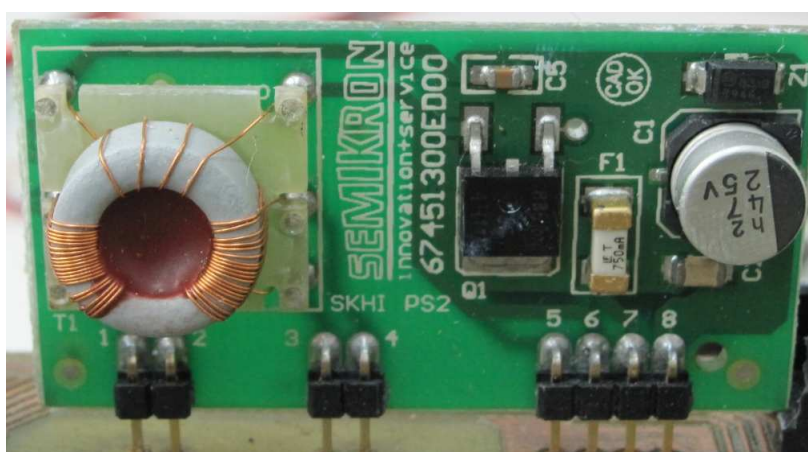


Figura 87 - Placa de alimentação dos secundários dos drivers.

4.1.7 Placa de potência

A placa de potência incorpora os quatro drivers, os três módulos SKHI PS1, os indutores auxiliares, todos os interruptores e diodos do inversor, capacitores de entrada e auxiliares e diodos de sinal que, em conjunto com os drivers, fazem a proteção de sobre corrente nos interruptores. Uma foto dessa placa pode ser vista na Figura 88.

Na entrada da placa de potência foram colocados seis capacitores eletrolíticos. Quatro deles, de 470 μF , estão em série e estão conectados ao banco de capacitores externos, e tem por objetivo eliminar o efeito das indutâncias parasitas dos cabos de conexão entre o banco de capacitores e a placa de potência. Os outros dois capacitores são os auxiliares C_{SA} e C_{SB} , de 1000 μF . Em paralelo a todos eles, foram adicionados capacitores de 100 nF. Desta forma,

obtém-se uma baixa impedância mesmo para as componentes de alta frequência provenientes das comutações dos interruptores.

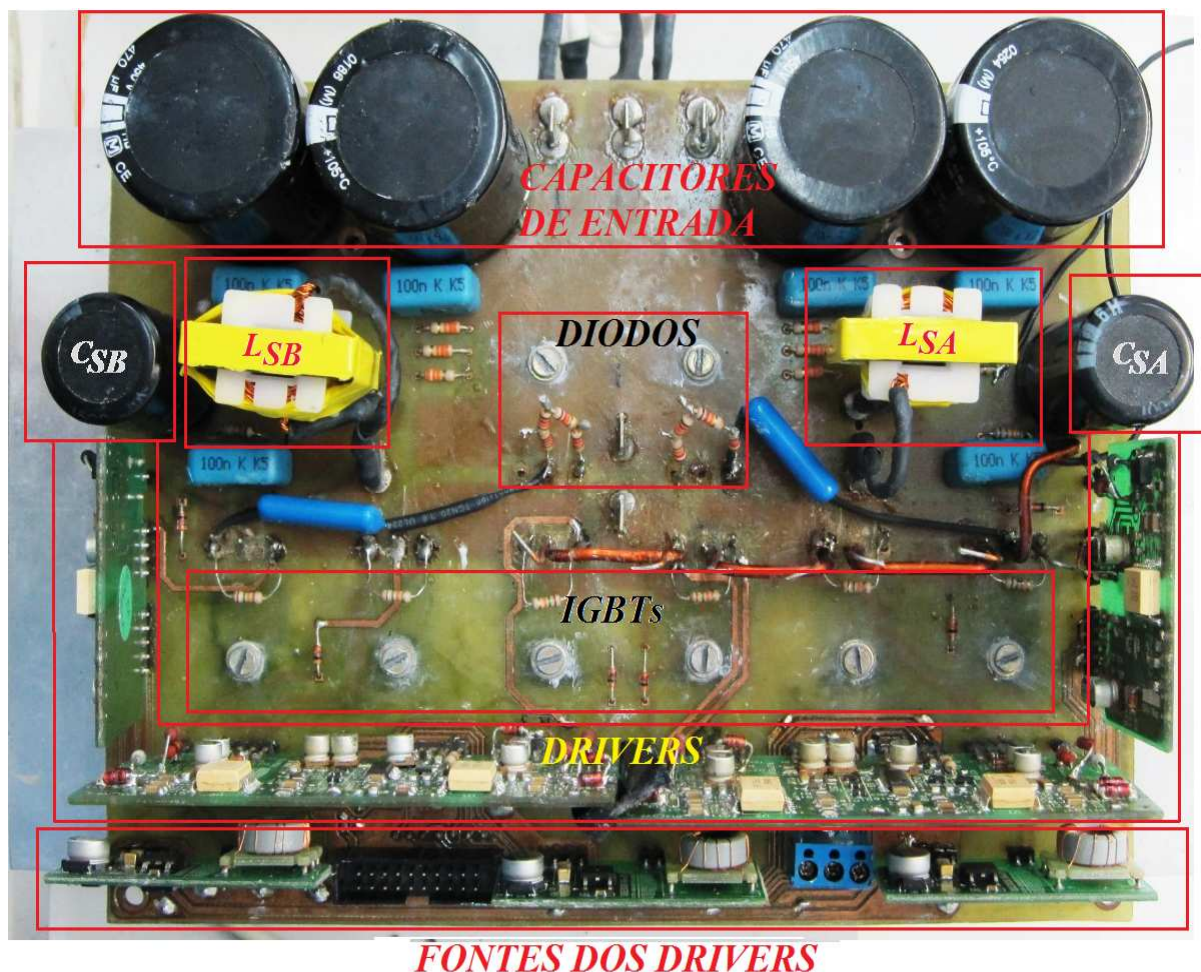


Figura 88 – Placa de potência.

4.2 PROGRAMAÇÃO DO FPGA

4.2.1 Ferramenta de desenvolvimento

A ferramenta básica de desenvolvimento de uma lógica programável é a linguagem VHDL (Very High Speed Integrated Circuits **H**ardware **D**escription Language).

VHDL é uma linguagem para a descrição de sistemas eletrônicos digitais. Sua origem veio do departamento de defesa dos Estados Unidos, como uma forma de padronizar a descrição de comportamento em circuitos integrados específicos, ou ASICs. A primeira padronização desta linguagem foi feita pela IEEE em 1987. Três novas revisões da linguagem foram feitas desde então: 1993, 2001 e 2008 [35].

A linguagem VHDL pode ser utilizada para as tarefas de documentação, descrição, síntese, simulação, teste, verificação formal e ainda compilação de software, em alguns casos. Existem ainda outras linguagens para o mesmo fim, como a Verilog e System C.

O FPGA utilizado no projeto é do fabricante Altera, que disponibiliza gratuitamente o software Quartus II, um conjunto de ferramentas de desenvolvimento, incluindo editor de código VHDL, ferramentas de programação e simulação do FPGA, *debugger*. Outras ferramentas disponibilizadas pela Altera são o DSP Builder, que permite a importação de projetos do MatLab / Simulink diretamente para dentro do FPGA, e o Nios II, um processador que pode ser instanciado dentro do FPGA para execução de códigos em linguagem C. Estas funções não foram utilizadas no projeto.

4.2.2 Implementação do código

A programação do controle em VHDL baseia-se principalmente em uma estrutura de máquinas de estado e contadores. A Figura 89 mostra o bloco do modulador do NPC ZVS PWM.

A partir deste bloco, todas as entradas e saídas podem ser definidas, que é o primeiro passo da programação em VHDL.

O próximo passo consiste em determinar o diagrama de estados que regem cada saída do modulador.

Para um controle PWM, o diagrama da Figura 90 pode ser usado como exemplo.

Cada interruptor é governado por uma máquina de estados principal, que habilita ou não o funcionamento dos interruptores. Os interruptores, por sua vez, possuem máquinas de estados individuais, controladas pela máquina de estado principal e por um contador, responsável pela rampa dente-de-serra, utilizada na comparação com a referência.

Além do bloco do modulador PWM, com atraso dos tempos de comutação dos interruptores e tempo morto, foram implementados os blocos para a geração da referência, comunicação e interpretação dos dados dos conversores A/D, proteção de corrente pelo sinal advindo dos drivers dos IGBTs, controlador de tensão.

Um diagrama em blocos da implementação completa pode ser visto na Figura 91.

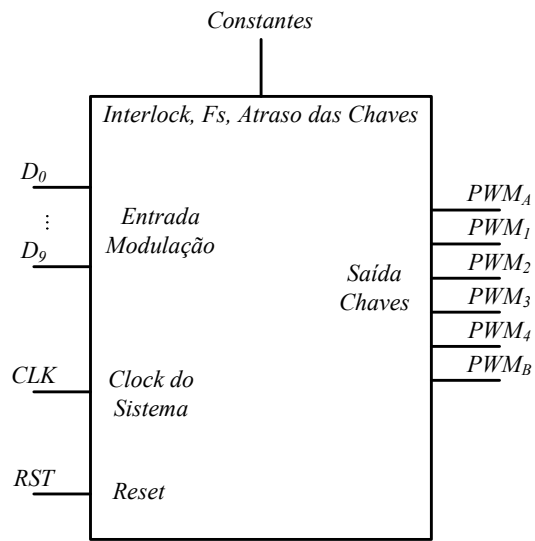


Figura 89 – Bloco do modulador PWM.

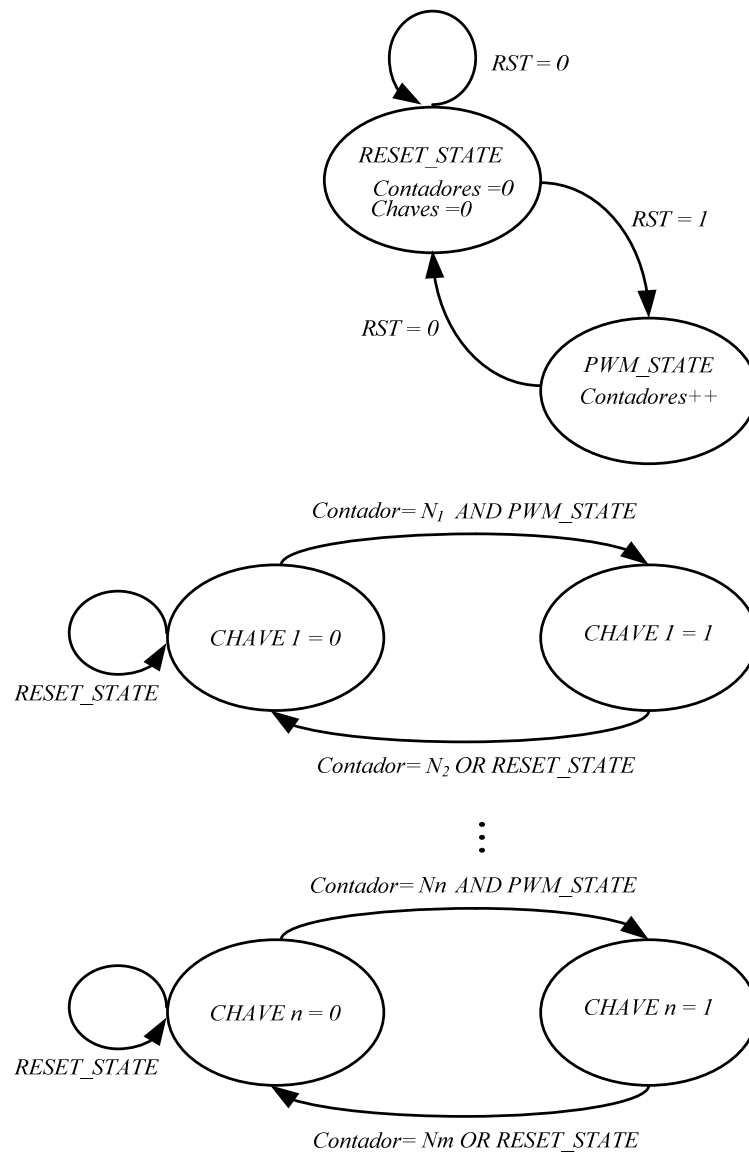


Figura 90 – Diagrama de estados do modulador.

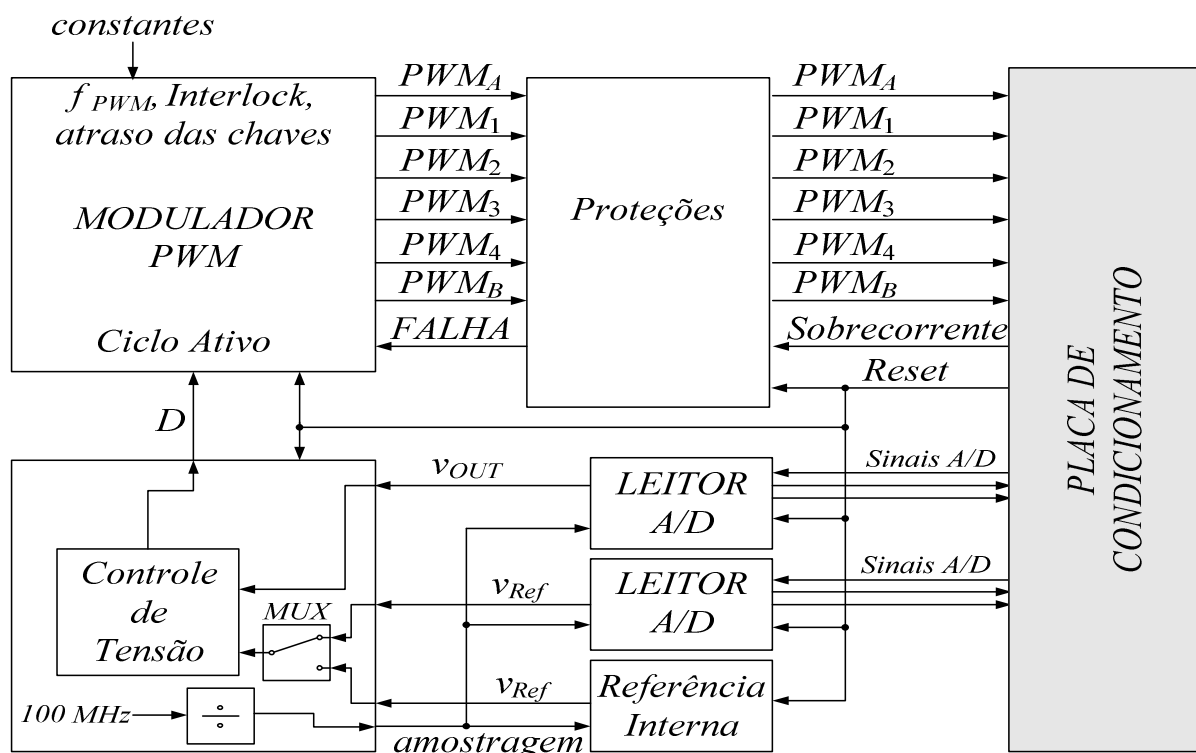


Figura 91 – Diagrama em blocos da implementação em VHDL.

4.3 RESULTADOS EXPERIMENTAIS

Nesta seção são apresentados os resultados obtidos experimentalmente, de forma a comprovar o funcionamento do inversor e verificar a análise teórica.

4.3.1 Aquisição das formas de onda dos componentes

As formas de onda a seguir foram obtidas com o inversor operando com carga de 500 W e 127 V de saída. Esta carga foi escolhida de forma a preservar os componentes dos efeitos das indutâncias parasitas adicionadas decorrentes das medições.

As medições dos componentes foram feitas considerando apenas a metade do circuito do inversor, uma vez que a outra metade do circuito é análoga.

A Figura 92 mostra a tensão e a corrente no interruptor Q_1 para um ciclo de comutação. A comutação suave pode ser verificada pela permanência da tensão nula quando a corrente muda de negativa para positiva. O primeiro pico de corrente, negativo, representa a corrente i_f do indutor auxiliar, enquanto que o pico positivo representa a corrente de recuperação reversa do diodo D_5 .

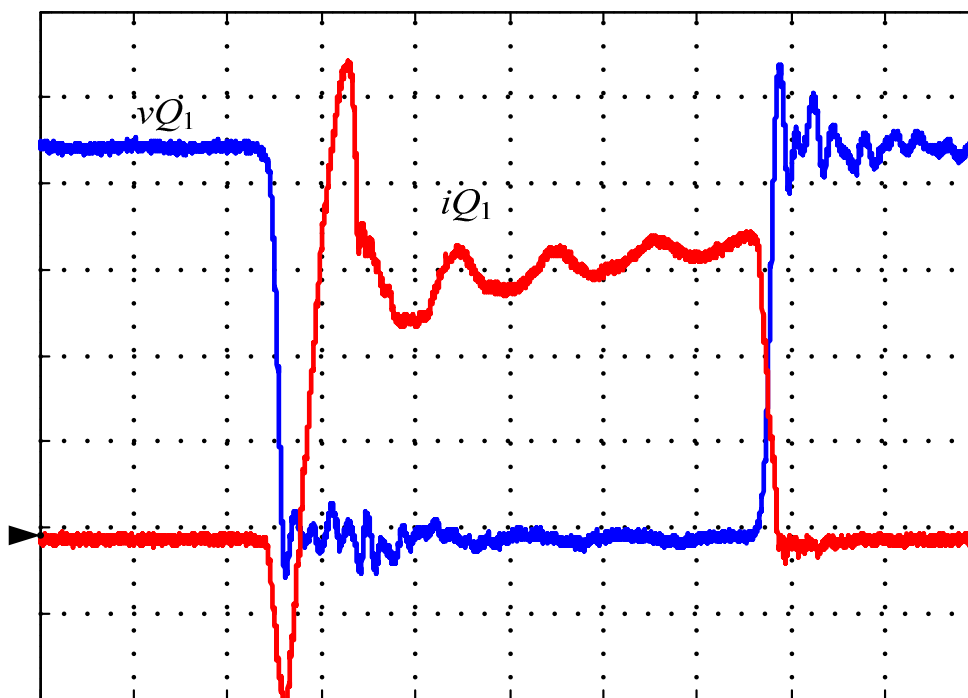


Figura 92 – Corrente e tensão no interruptor Q_1 (2 A/div, 100 V/div, 400 ns/div).

Para um ciclo de comutação do interruptor Q_1 , não há comutação do interruptor Q_2 . Este permanece conduzindo durante todo o semiciclo positivo. A corrente sobre este componente corresponde à corrente do indutor de saída, ou da carga, durante este período. As formas de onda da corrente e da tensão deste componente podem ser vistas na Figura 93.

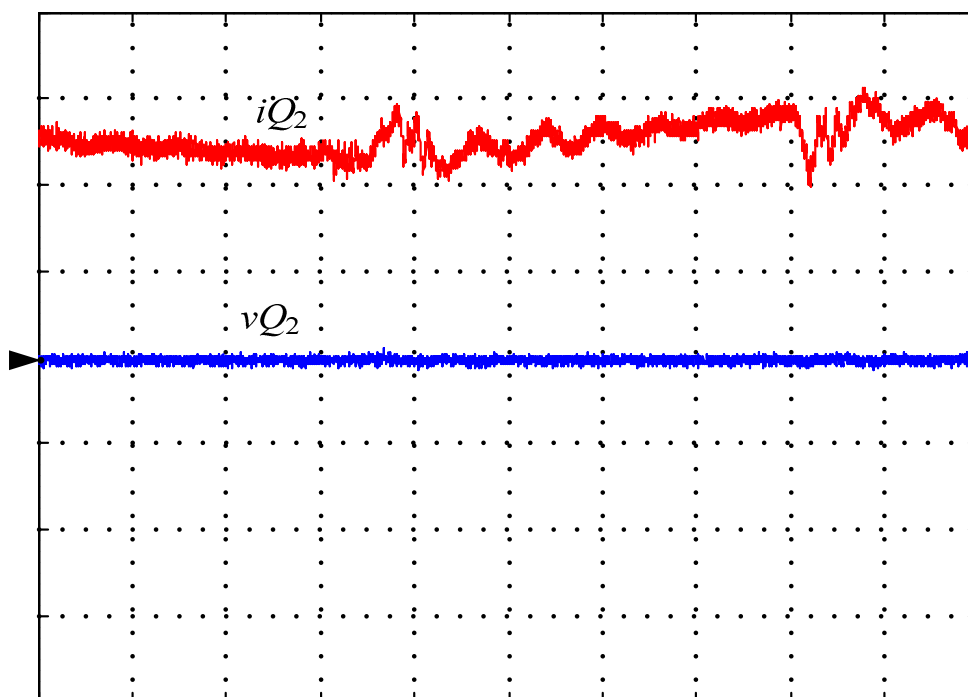


Figura 93 – Corrente e tensão no interruptor Q_2 (2 A/div, 100 V/div, 400 ns/div).

A Figura 94 mostra as formas de onda de tensão e corrente para o diodo de grampeamento, D_5 . Da mesma forma que em Q_1 , observa-se os picos de corrente i_f e a corrente de recuperação reversa do diodo.

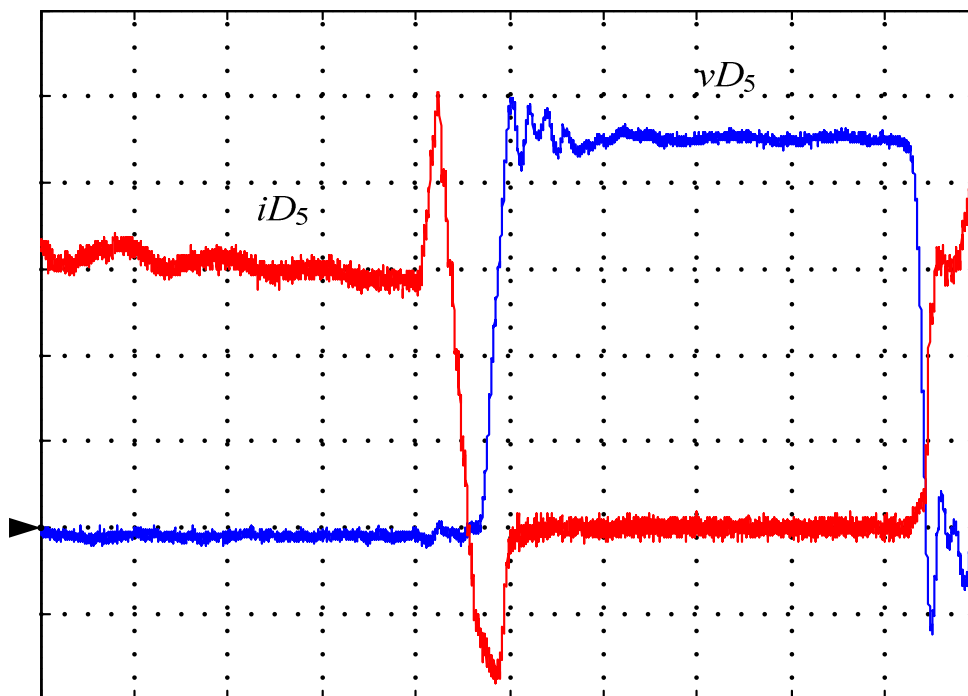


Figura 94 – Corrente e tensão no diodo D_5 (2 A/div, 100 V/div, 400 ns/div).

As formas de onda de corrente e tensão no interruptor auxiliar podem ser vistas na Figura 95. Pode-se notar que a comutação suave ocorre neste componente quando a corrente é negativa e a tensão é nula. A Figura 96 mostra dois ciclos de comutação deste interruptor, onde se pode notar o momento em que a chave principal, Q_1 bloqueia, diminuindo a corrente sobre o interruptor auxiliar.

A Figura 97 mostra a tensão e a corrente sobre o indutor auxiliar, onde nota-se as derivadas de corrente distintas e dependentes da tensão aplicada, $v_{C_{SA}}$ ou $E/2$.

A tensão de saída do inversor, assim como a forma de onda antes do filtro podem ser vistas na Figura 98, para 127 V de tensão de saída. É possível notar a alternância dos interruptores superiores e inferiores conforme a polaridade do semi-ciclo gerado na saída do inversor. A distorção da forma de onda vista para o sinal antes do filtro, deve-se a base de tempo utilizada para a aquisição do sinal e a supressão de pulsos curtos presentes nos drivers.

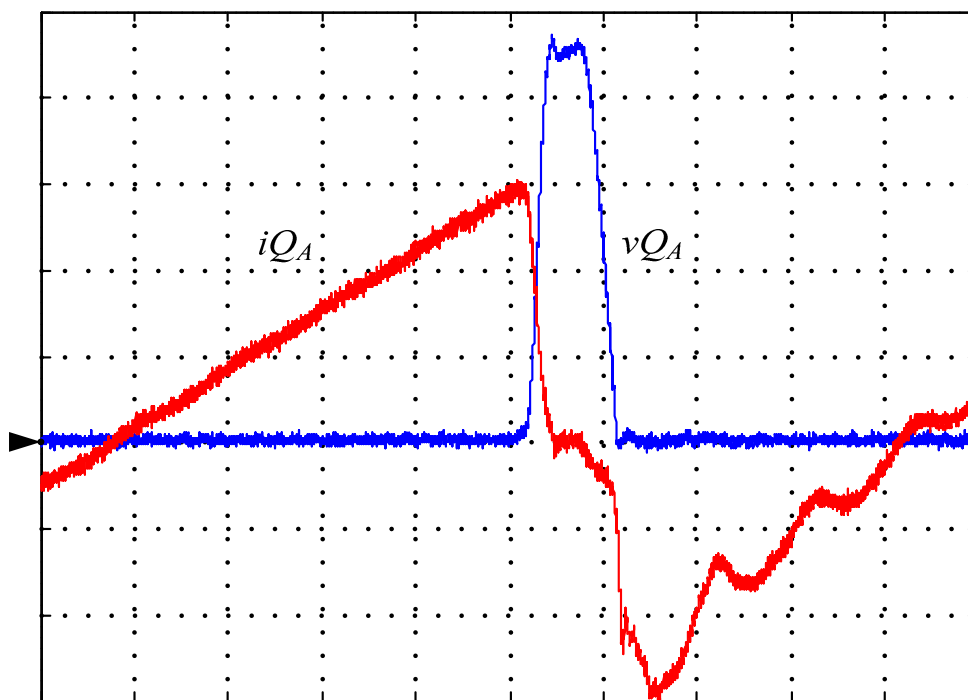


Figura 95 – Corrente e tensão no interruptor Q_A (2 A/div, 100 V/div, 400 ns/div).

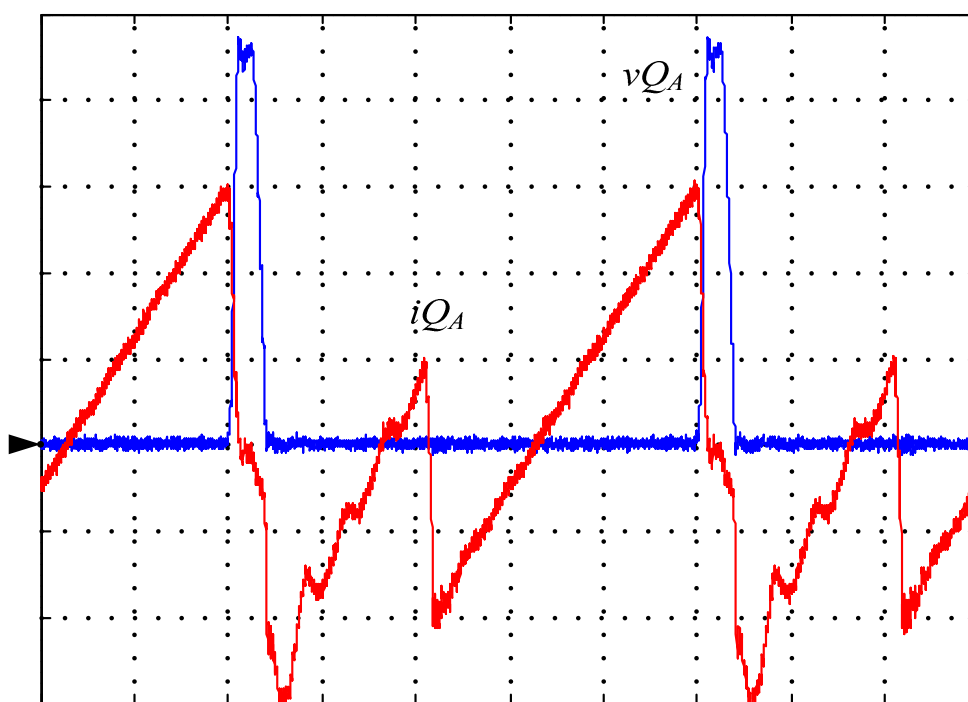


Figura 96 – Corrente e tensão no interruptor Q_A – 2 ciclos (2 A/div, 100 V/div, 1 μ s/div).

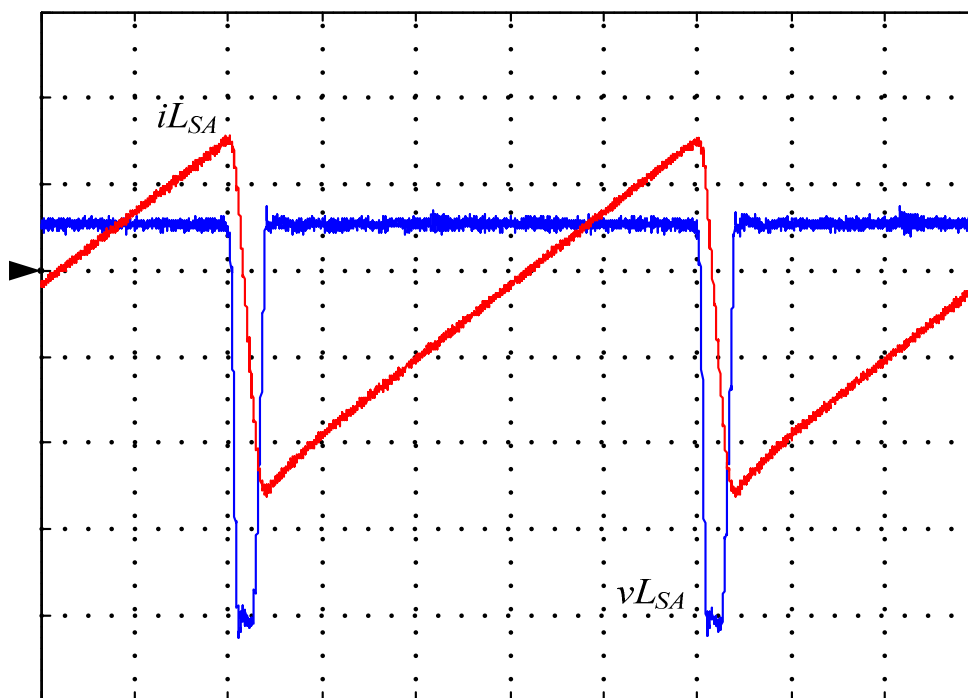


Figura 97 – Corrente e tensão no indutor L_{SA} (4 A/div, 100 V/div, 1 μ s/div).

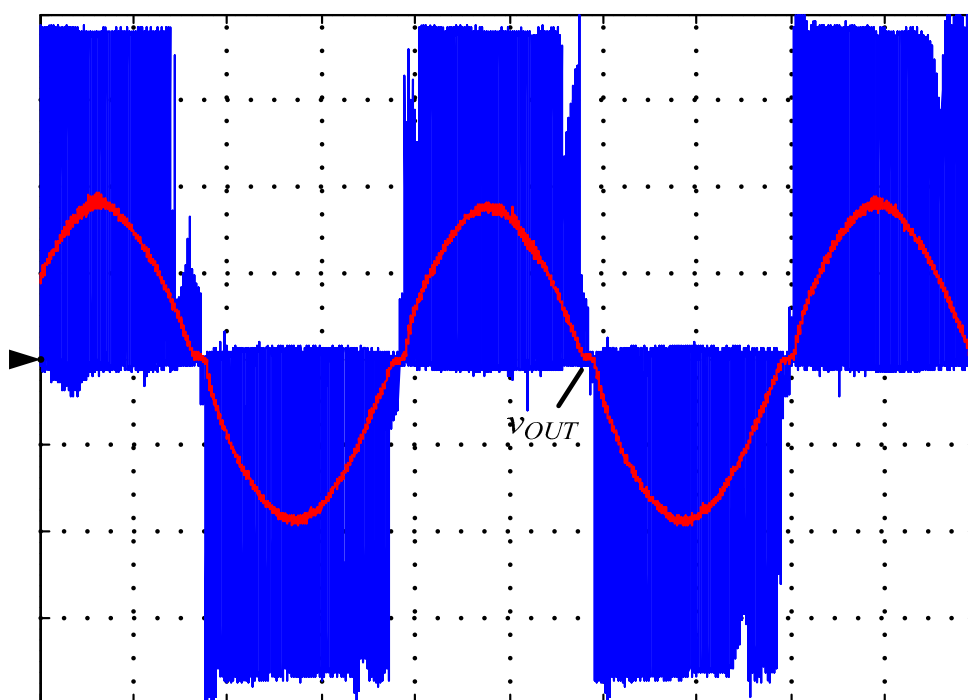


Figura 98 – Tensão antes e após o filtro de saída (100 V/div, 4 ms/div).

4.3.2 Análise da resposta do controle

Para verificação do controle implementado dentro do FPGA, observou-se primeiramente a forma de onda e o conteúdo harmônico da senóide gerada na saída do

inversor. Na Figura 99 pode-se ver a forma de onda da tensão de saída para 127 V e na Figura 100 a mesma forma de onda, porém para 220 V, as duas com 25 % de carga.

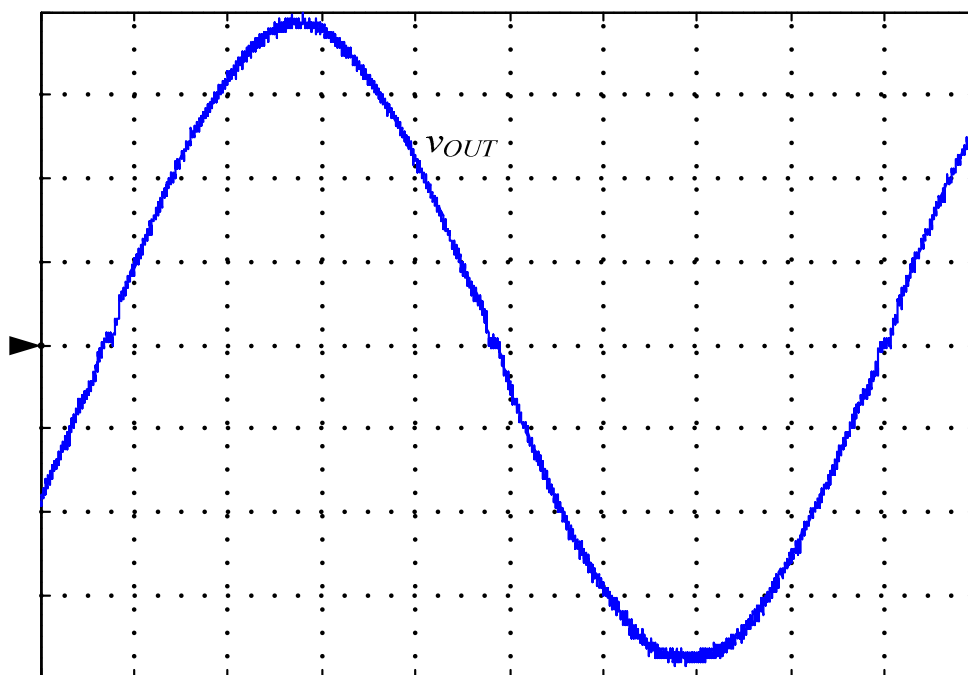


Figura 99 – Forma de onda de saída 127 V (50 V/div, 2 ms/div).

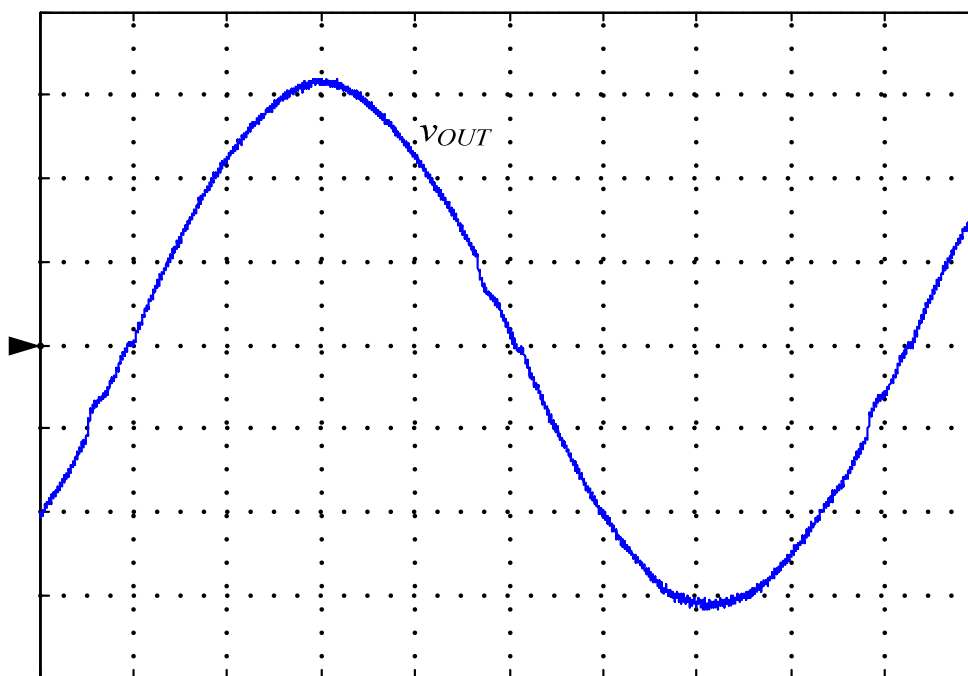


Figura 100 – Forma de onda de saída 220 V (100 V/div, 2 ms/div).

De acordo com as formas de onda, é possível notar uma distorção um pouco maior para tensão de saída de 220 V.

O conteúdo harmônico destas formas de onda pode ser vistos na Figura 101 e na Figura 102.

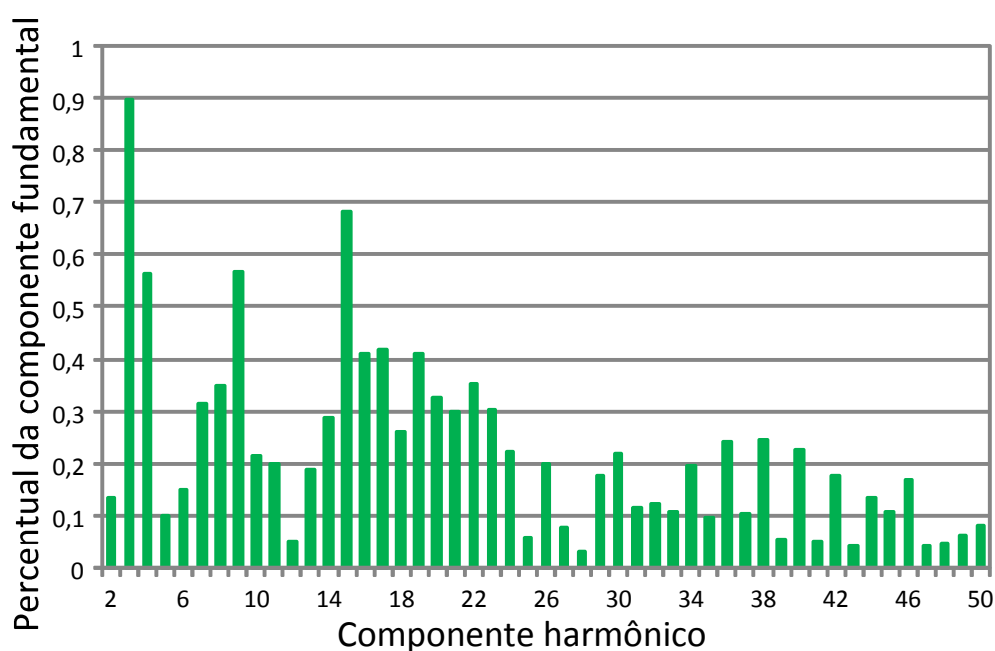


Figura 101 – Componentes harmônicos para 127 V de tensão de saída.

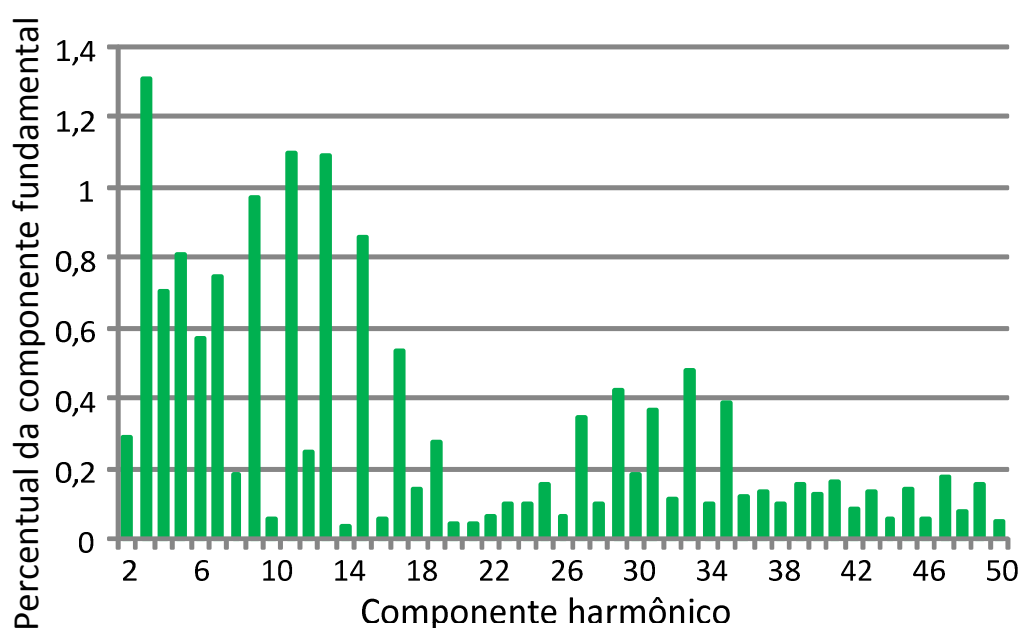


Figura 102 – Componentes harmônicos para 220 V de tensão de saída.

O conteúdo harmônico para 220 V é maior do que para 127 V, porém ambas ficaram em níveis aceitáveis de DHT. A DHT para 127 V foi de 1,32 %, enquanto que para 220 V esta distorção foi de 2,21 %.

O segundo parâmetro avaliado do controle, assim como na simulação, foi a resposta ao degrau de carga. Para realização deste teste, foram aplicados dois degraus: um com variação de carga de 50 % a 100 % e outro com variação de carga de 100 % a 50 %. Este teste foi

realizado para 127 V apenas, uma vez que este foi entendido como sendo o pior caso. A Figura 103 e a Figura 104 mostram a resposta aos degraus.

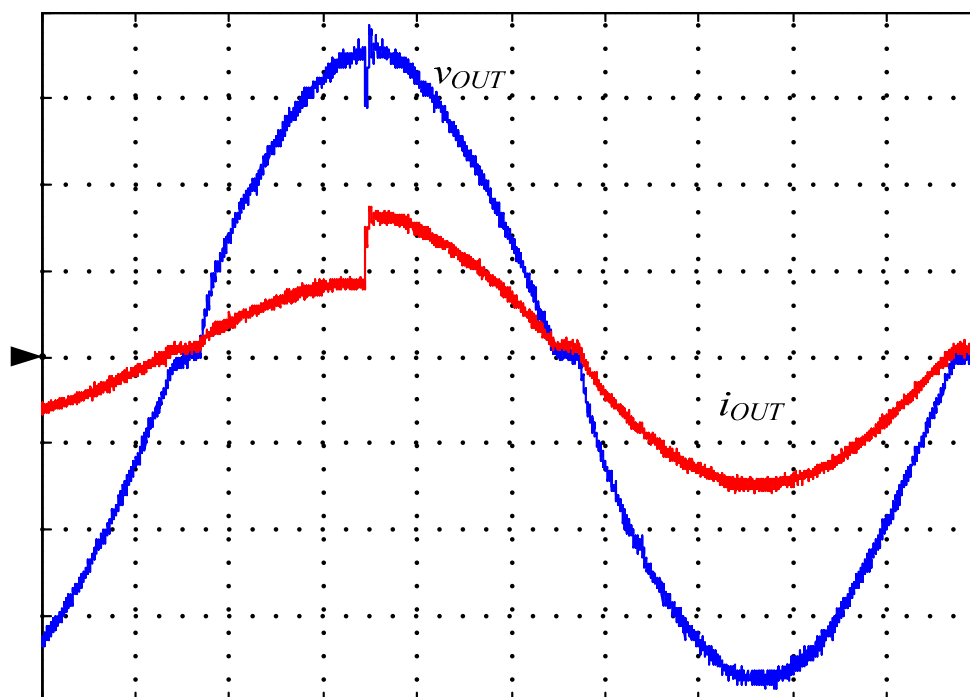


Figura 103 – Resposta ao degrau de carga 50 % - 100 % (50 V/div, 10 A/div, 2 ms/div).

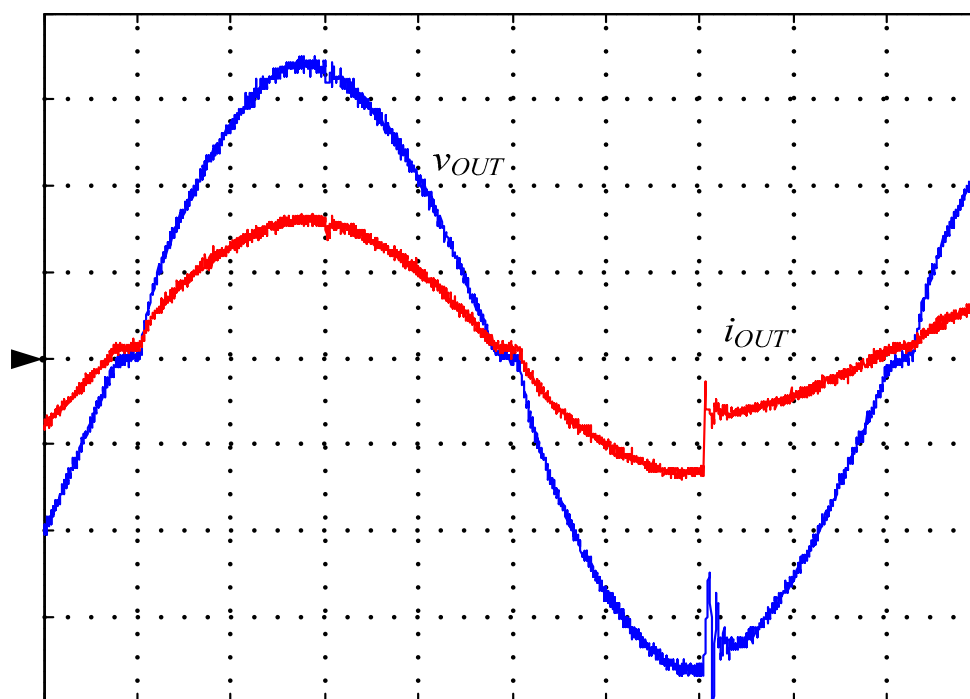


Figura 104 – Resposta ao degrau de carga 50 % - 100 % (50 V/div, 10 A/div, 2 ms/div).

Os valores obtidos experimentalmente ficaram bem próximos aos valores simulados, com a resposta à retirada de carga um pouco inferior do que a resposta a adição de carga.

Para finalizar os testes da resposta do controle, a saída foi conectada a uma carga não linear, similar a utilizada nas simulações, apresentada na Figura 67. Os valores utilizados para este experimento foram: $R_S = 0,9 \, \Omega$, $C = 5,15 \, \text{mF}$ e $R_1 = 25,65 \, \Omega$. A Figura 105 mostra a corrente e a tensão aplicada a carga não linear. A Figura 106 mostra o conteúdo harmônico.

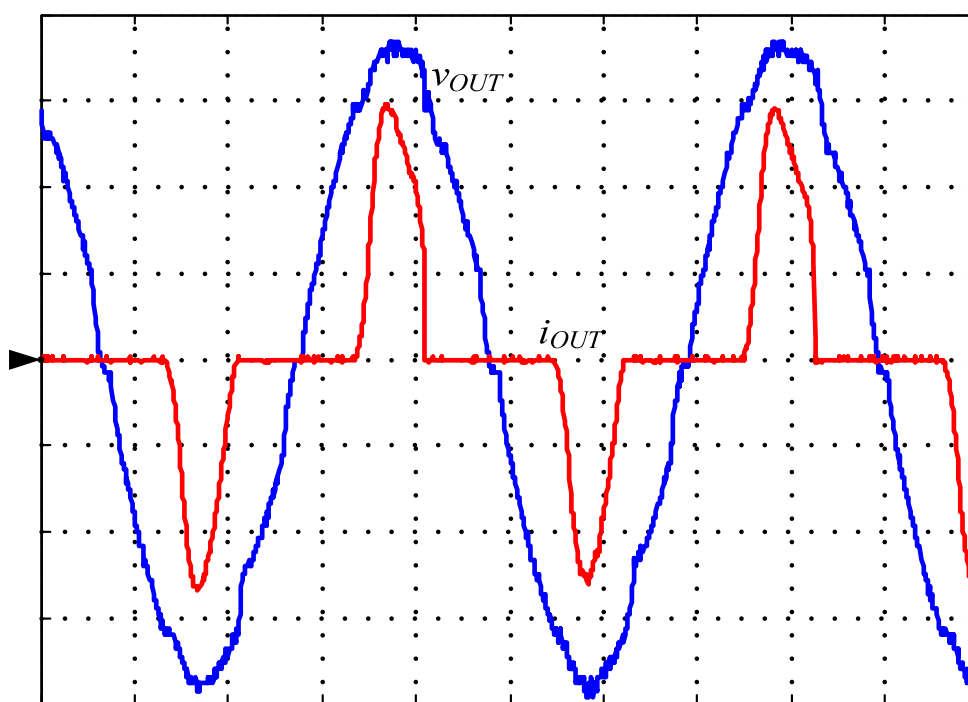


Figura 105 – Corrente e tensão sobre a carga não linear (50 V/div, 10 A/div, 4 ms/div).

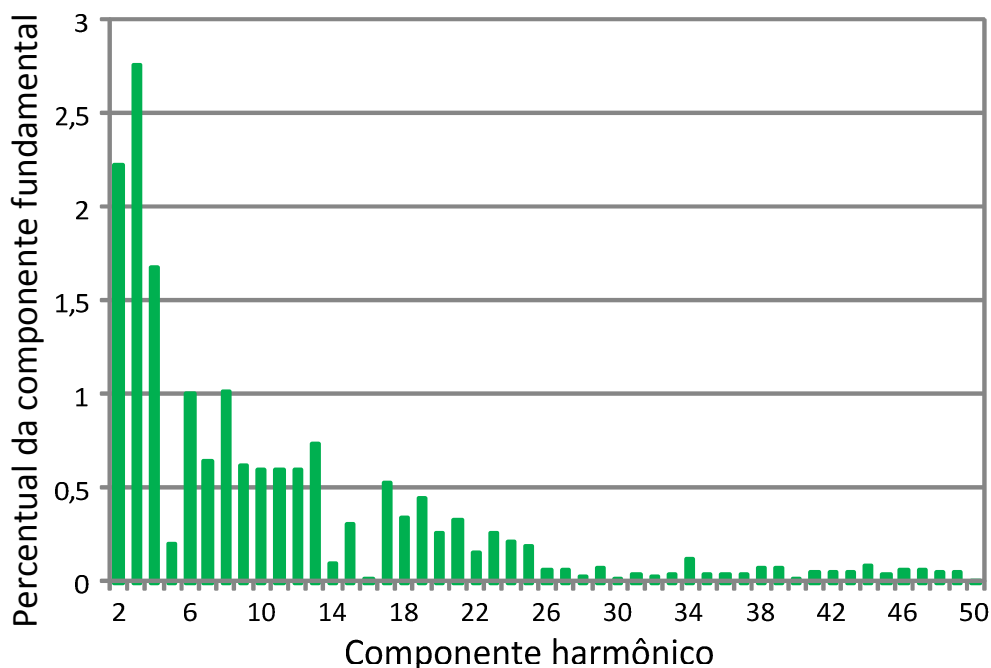


Figura 106 – Componentes harmônicas para carga não linear e 127 V de tensão de saída.

Mesmo com a alta corrente de pico a qual o inversor foi submetido, a DHT não apresentou valores acima de 10 %, ficando com 6,04 %.

Pode-se notar uma distorção na passagem por zero da na forma de onda de tensão de saída quando é aplicado mais carga a saída. Esta distorção deve-se à restrição de pulso mínimo presente nos drivers.

4.3.3 Medidas de eficiência

Os testes de eficiência foram feitos utilizando-se um wattímetro WT230 da Yokogawa. Um dos canais do wattímetro foi utilizado para medir a tensão e a corrente na carga, enquanto os outros dois canais faziam essas medidas nas metades positiva e negativa do barramento de carga. Na entrada, o wattímetro foi colocado entre o banco de capacitores e a placa de potência e na saída entre o filtro de saída e a carga.

A carga utilizada na saída foi sempre resistiva e, no total, dez valores diferentes foram aplicados. Os valores foram escolhidos baseados nas associações série e paralelo possíveis dos bancos de resistores disponíveis no laboratório, tentando sempre obter valores de potência de saída ligeiramente espaçados. Desta forma obteve-se um número razoável de pontos que puderam ser interpolados, gerando uma curva de eficiência do inversor. O protótipo foi mantido ligado por quinze minutos em cada ponto de operação para que os componentes atingissem uma temperatura estável. As medidas de cada curva foram feitas em sequência. Antes da primeira medida de cada curva, o protótipo foi mantido ligado por meia hora.

Neste experimento, o protótipo foi mantido em malha aberta e entre os pontos de medição foram feitos os ajustes de amplitude para que a tensão de saída fosse constante para uma mesma tensão de barramento, em torno de 800 V.

No total quatro curvas foram traçadas: 127 V e 220 V com comutação suave (ZVS), 127 V e 220 V com comutação dissipativa, onde os indutores auxiliares foram substituídos por um curto circuito e os interruptores auxiliares foram mantidos bloqueados.

A Tabela 13 apresenta os resultados obtidos para os diferentes modos de operação e cargas de saída. A Figura 107 mostra o gráfico final com um comparativo entre as quatro curvas de rendimento do inversor.

Pode-se notar uma melhor eficiência do inversor quando a técnica de comutação suave é utilizada, tanto para 127 V quanto para 220 V de tensão de saída, principalmente para 127 V, onde as altas correntes de comutação contribuem para a elevação das perdas na comutação do tipo dissipativa (*hard*).

Tabela 13 - Resultados de eficiência com tensão eficaz de saída de 220 V.

127V Soft		127V Hard		220V Soft		220V Hard	
Potência	Eficiência	Potência	Eficiência	Potência	Eficiência	Potência	Eficiência
351 W	91,07 %	370 W	88,90 %	418 W	92,51 %	415 W	91,11 %
409 W	91,16 %	438 W	89,41 %	567 W	93,17 %	544 W	92,02 %
445 W	91,21 %	467 W	89,66 %	650 W	93,53 %	610 W	92,49 %
513 W	91,33 %	538 W	89,79 %	712 W	93,75 %	711 W	93,03 %
707 W	91,54 %	696 W	90,22 %	827 W	94,02 %	835 W	93,30 %
825 W	91,65 %	771 W	90,23 %	1013 W	94,35 %	988 W	93,48 %
899 W	91,62 %	911 W	90,40 %	1112 W	94,48 %	1105 W	93,59 %
1109 W	91,49 %	1117 W	90,25 %	1334 W	94,60 %	1266 W	93,70 %
1289 W	91,35 %	1324 W	89,91 %	1489 W	94,67 %	1408 W	93,71 %
1671 W	90,98 %	1605 W	89,12 %	1682 W	94,68 %	1590 W	93,70 %

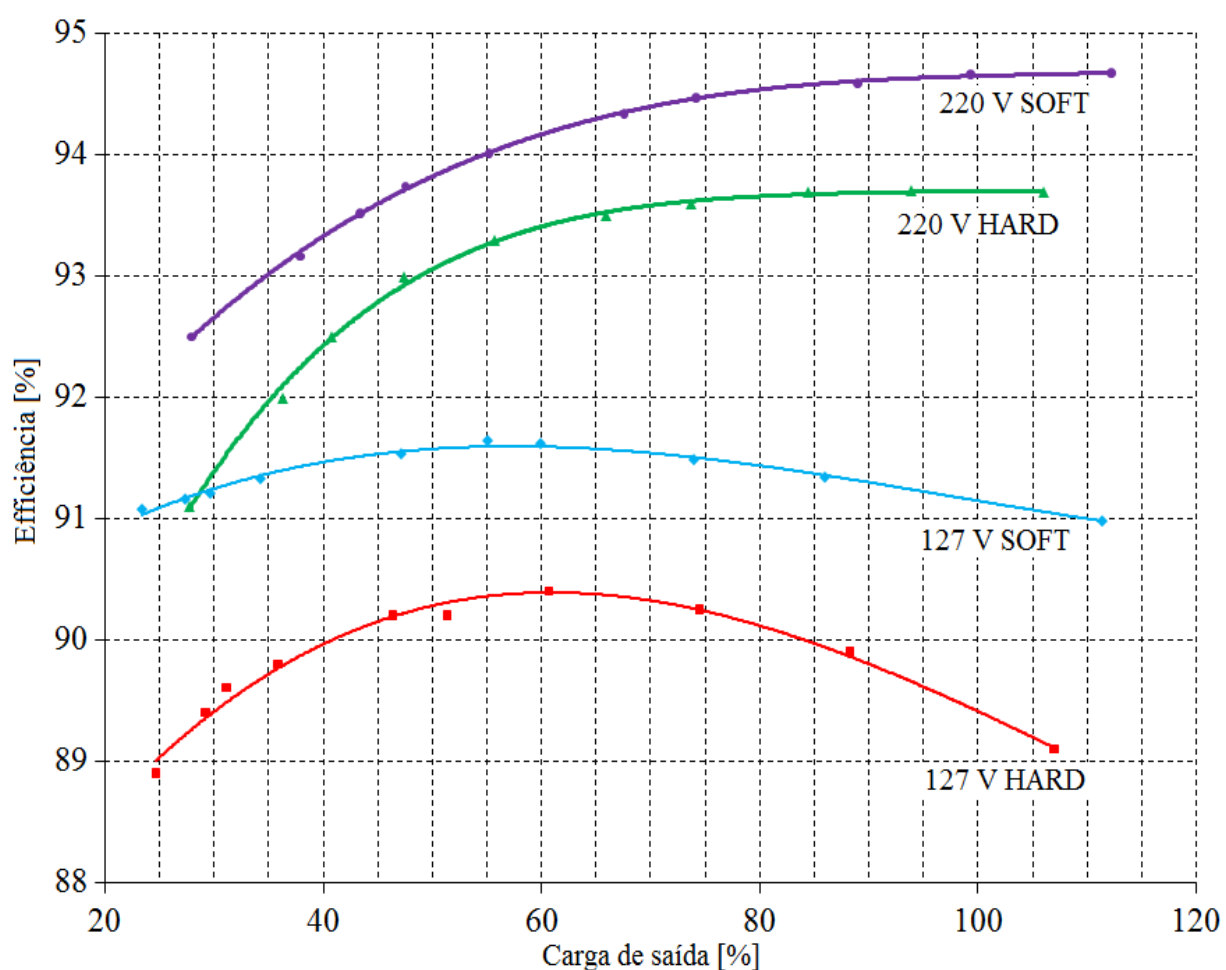


Figura 107 – Curvas de eficiência do inversor para comutação hard e soft.

4.4 CONCLUSÃO

Neste capítulo apresentou-se os detalhes da implementação do protótipo do inversor NPC ZVS PWM. Os blocos e os circuitos eletrônicos das placas foram detalhados.

As ferramentas e o método de programação do FPGA foi explicado e os principais blocos internos que regem o funcionamento do controle e acionamento do inversor foram ilustrados.

A partir do protótipo desenvolvido, partiu-se para a obtenção dos resultados experimentais, de forma a comparar com os valores simulados e teóricos. As formas de onda de tensão e corrente obtidas para os elementos do circuito ficaram bem próximas as formas de onda teóricas e simuladas. Algumas divergências se devem a dois motivos principais. O primeiro é devido aos tempos de abertura dos IGBTs, que foram considerados ideais na teoria. O segundo é devido a recuperação reversa do diodo de grampeamento do NPC, que, como esperado, apresentou correntes de recuperação reversa diferentes na análise teórica, na simulação e nos resultados experimentais, porém em nenhum momento a comutação suave fora comprometida.

A resposta do controle apresentou resultados satisfatórios para a resposta ao degrau de carga. Esta poderia ter sido melhorada com um filtro de saída melhor dimensionado e uma malha de controle compatível com este novo filtro, porém o escopo principal deste trabalho é a técnica de comutação e melhorias poderão ser feitas em uma aplicação real, caso necessária. A distorção harmônica total de saída foi menor do que 10% para cargas não lineares. Para cargas resistivas esta distorção foi inferior a 3%.

As medidas de eficiência mostraram que a comutação suave traz um ganho em toda a faixa de potência de saída, tanto para 127 V quanto para 220 V, quando comparado a comutação do tipo dissipativa.

CONCLUSÃO GERAL

Essa dissertação apresentou um estudo sobre o Inversor NPC (*Neutral-Point-Clamped*) de três níveis com comutação suave ZVS (*Zero Voltage Switching*) e modulação PWM (*Pulse Width Modulation*).

Primeiramente foi feito um estudo qualitativo do inversor, onde as etapas de operação, as principais formas de onda e a estratégia de modulação, foram apresentadas. A seguir foi feito um estudo quantitativo da topologia, onde os principais ábacos e as equações foram deduzidos. Também foi apresentada a metodologia de projeto, onde o projeto do inversor, posteriormente utilizado nas simulações e nos testes laboratoriais, foi calculado como exemplo.

No segundo capítulo da dissertação, foi feito o estudo do controle digital do inversor. Neste estudo foram deduzidos os modelos dos blocos de controle e a seguir, com base nestes modelos e nas especificações de projeto, foi calculado o controlador de tensão digital.

No terceiro capítulo foram realizadas as simulações numéricas, com o objetivo de comprovar os resultados obtidos no estudo da parte de potência e no estudo do controle do inversor. Para este estudo utilizou-se das ferramentas *Orcad/ Pspice* e do *Matlab/ Simulink*. Na simulação do circuito de potência foram observados os esforços dos componentes e também o comportamento da comutação suave. Já na simulação de controle, foram analisadas as respostas ao degrau de carga e a carga não linear. Ambas as simulações puderam confirmar os estudos feitos nos dois capítulos anteriores.

O último capítulo da dissertação foi dedicado a implementação prática do inversor. Esta implementação contemplou todos os aspectos de hardware quanto de software. Na parte de hardware, foi montado o circuito com todos os elementos de potência previamente calculados, a aquisição e o condicionamento de sinais e filtro de saída. Na parte de software foi apresentado o modelo de programação do FPGA e também foram implementados os blocos para acionamento dos interruptores, modulação PWM e controle do inversor.

Ainda neste capítulo, foram apresentadas as formas de onda nos principais elementos do circuito do inversor e a resposta do controle quando submetido a degrau de carga e a carga não linear. Foi verificada também a distorção harmônica total do sinal de saída, de forma a verificar a qualidade do controlador de tensão, tanto para carga linear quanto para carga não linear. Por fim, foi feita uma análise de eficiência do inversor, comparando o circuito operando em comutação *hard* (dissipativa) e com a comutação suave proposta, para as tensões de saída de 127 V e 220 V.

Um ponto crítico deste inversor é a escolha do diodo de grampeamento do NPC, uma vez que a característica de sua recuperação reversa influencia diretamente na obtenção da comutação suave para toda a faixa de carga e modulação de saída.

Como possíveis melhorias, dando continuidade a este trabalho, pode-se estudar o efeito da defasagem entre a corrente e a tensão de saída na comutação suave. A corrente de saída poderia também ser medida, de forma a comandar os interruptores Q_2 e Q_3 do NPC a partir do seu sentido, e não somente pela ação da malha de controle de tensão.

Para pesquisas futuras, pode-se substituir os diodos de grampeamento do NPC por interruptores controlados, como no ANPC, fazendo com que a energia necessária para a carga do capacitor auxiliar seja controlada a partir do atraso na abertura destes interruptores. Uma outra topologia proposta seria a substituição dos diodos lentos utilizados no circuito proposto do NPC por diodos rápidos. Neste circuito o controle da carga do capacitor auxiliar, C_{SA} , se daria pela manutenção do interruptor Q_3 conduzindo, por um determinado tempo, após a entrada em condução do interruptor Q_1 . O mesmo pode ser feito para Q_2 , Q_4 e C_{SB} . Com a quantidade de energia sendo controlada, não sendo mais dependente do valor fixo da energia de recuperação reversa dos diodos, pode-se estudar a aplicação da modulação clássica do NPC, com os interruptores $Q_1 - Q_3$ e $Q_2 - Q_4$ com acionamento alternado, e ainda assim obtendo a comutação suave para todos os interruptores.

Pode-se concluir deste estudo que os resultados obtidos ficaram próximos aos esperados pelas análises teóricas e pelas simulações, onde a comutação suave foi obtida para toda a faixa de operação do circuito. Pode-se observar ainda que esta técnica de comutação melhora a eficiência do circuito do NPC, o que representa um menor aquecimento dos componentes e, conseqüentemente, um menor dissipador, o que favorece o volume e o peso total do conjunto. O uso das ferramentas de simulação ajudou na obtenção dos resultados preliminares que foram decisivos para a elaboração do protótipo funcional.

BIBLIOGRAFIA

- [1] MEZAROBÁ M., MARTINS D. C., BARBI I., **A ZVS PWM Half-Bridge Voltage Source Inverter With Active Clamping.** IEEE Transactions on Industrial Electronics, Vol. 54, NO. 5, Out. 2007.
- [2] FRANQUELO, L. G.; RODRIGUEZ, J.; LEON, J. I. et al., **The age of multilevel converters arrives.** IEEE Industrial Electronics Magazine, vol. 2, n°. 2, pp. 28-39, Jun. 2008
- [3] MEZAROBÁ, M. **Inversores com Comutação Suave e Grampeamento Ativo Empregando a Técnica da utilização da Energia de Recuperação Reversa dos Diodos.** Tese de Doutorado. INEP/UFSC – 2000.
- [4] SATO, S.; SUEHIRO, Y.; NAGAI, S.; MORITA, K. **High Efficiency Soft-Switching 3-Phase PWM Rectifier.** Twenty-second International Telecommunications Energy Conference, 2000., vol., no., pp.453-460, 2000.
- [5] PÉRES, A., **Uma Nova Família de Inversores com Comutação Suave Empregando Técnica de Grampeamento Ativo.** Tese de Doutorado. INEP/UFSC – 2000.
- [6] GRIGOLLETO F., PINHEIRO H., **Método de Modulação PWM Para Equilíbrio das Tensões dos Capacitores do Barramento CC em Conversores Multiníveis com Diodos de Grampeamento.** Eletrônica de Potência, Vol. 14, NO. 2, Maio. 2009.
- [7] KIM I., NHO E., BOSE B.. **A New snubber circuit for Multilevel Inverter Converter..** IEEE – 1998
- [8] SWANEPOEL, P. M.; VAN WYK J. D. **The Effect of the Regenerative Undeland Snubber Circuit on Inverter Loads.** Conference Record of the 1992 IEEE in Industry Applications Society Annual Meeting, pp. 872-879 vol.1. 1992.
- [9] UNDELAND, T. M. “Switching Stress Reduction in Power Transistors Converters”. IEEE Industry Applications Socitey, p. 383-391, 1976.
- [10] UNDELAND, T. M.; JENSEN, F.; STEINBAKK, A.; ROGNE, T.; HERNES M. **A snubber configuration for both power transistor and GTO PWM Inverter.** IEEE Power Electronics Specialist Conf. Rec ., Gaithersberg, JUNHO, 1984, pp. 42-53.
- [11] DE NOVAES, Y. R.; **Estudo de um Snubber para o Inversor de Três Níveis com Neutro Grampeado.** Dissertação de Mestrado. INEP/UFSC – 2000.

- [12] DE NOVAES, Y. R.; BARBI, I. **Analysis, Design And Experimentation Of A Snubber For The Three-Level Neutral Clamped Inverter**, pp. 577-582, COBEP 2001.
- [13] KIM, I.; NHO, E.; KIM, H.; KO, J. S. **A Generalized Undeland Snubber for Flying Capacitor Multilevel Inverter and Converter**, IEEE Transactions on Industrial Electronics, vol. 51, n° 6, dezembro, 2004.
- [14] TAN, T.; JIANG, K.; JIANG, Q.; LI, G.; LAI, Y. **An Improved McMurray Snubber for Three-level NPC IGBT Converter**. 8th International Power Engineering Conference, 2007.
- [15] McMURRAY, W. **Efficient Snubbers for Voltage-Source GTO Inverters**, IEEE Transactions on Industrial Electronics, vol. PE-2, n° 3, julho, 1987.
- [16] MEZAROVA M., DOMINI J. C, **Conversor Auxiliar com Comutação ZVS Aplicado ao Snubber de Undeland Regenerativo**. Eletrônica de Potência, Vol. 13, NO. 2, Maio. 2008.
- [17] BENDIEN, J. C.; BOECK, H. V. D.; FREGIEN, G. **Recovery Circuit for Snubber Energy in Power Electronic Applications with High Switching Frequencies**. IEEE Transactions on Industry Electronics, vol. 3, n°. 1, Janeiro, 1988.
- [18] KAMATH, G.R.; MOHAN, N.; UNDELAND, T.M., **Non-dissipative Undeland Snubber for Electric Vehicle Drive Inverters Using GaAs Anti-parallel Diodes**. Proceedings of the 1996 International Conference on Power Electronics, Drives and Energy Systems for Industrial Growth. , pp.748-752 vol.2, 8-11 Jan 1996
- [19] DIVAN D. M., **The Resonant DC Link Converter – A New Concept in Static Power**. IEEE Transactions on Industry Applications, Vol. 25, NO. 2, March/ April. 1989.
- [20] YUAN X., ORGLMEISTER G., BARBI I., DIVAN D., **ARCPI - Resonant Snubber for The Neutral-Point-Clamped**. IEEE Transactions on Industry Applications, Vol. 36, NO. 2, March/ April. 2000.
- [21] WALLACE I., BENDRE A., VENKATARAMANAN G., **The Neutral Point Clamped Resonant DC Link Converter – A new three level soft switched topology**. IEEE 2005.
- [22] DIVAN D. M., SKIBINSKI G., **Zero-switching-loss inverters for high-power applications**, Industry Applications, IEEE Transactions, vol. 25, pp. 634-643, 1989.

- [23] DONCKER R. W., LYONS J. P., **The auxiliary resonant commutated pole converter**, Industry Applications Society Annual Meeting, 1990., Conference Record, 1990 IEEE, 1990, pp. 1228-1235 vol.2.
- [24] WOO B., CHO G. H., **Novel four quadrant DC-link soft switching inverter generating sinusoidal waveforms**, Electronics Letters, vol. 27, pp. 1732-1734, 1991.
- [25] DIVAN D.M, **A synchronized resonant DC link converter for soft-switched PWM**, Industry Applications, IEEE Transactions on, vol. 29, pp. 940-948, 1993.
- [26] MALESANI L., **High efficiency quasi-resonant DC link three-phase power inverter for full-range PWM**, Industry Applications, IEEE Transactions on, vol. 31, pp. 141-148, 1995.
- [27] BAKER, R. H., **Switching Circuit**. U. S. Patent nº 4 210 826, to Exxon Research & Engineering Co., 1980.
- [28] KOURO, S.; MALINOWSKI, M.; GOPAKUMAR, K.; POU, J.; FRANQUELO, L. G.; WU, B.; RODRIGUEZ, J.; PÉREZ, M. A.; LEON, J. I., **Recent Advances and Industrial Applications of Multilevel Converters**. IEEE Transactions on Industrial Electronics, vol. 57, nº 8, agosto, 2010.
- [29] YAZDANI A., **The Application of Three-level NPC Converter to WES**, University of Toronto, February 2004.
- [30] DAI N-Y., WONG M-C., HAN Y-D, **Application of a Three-level NPC Inverter as a Three-Phase Four-Wire Power Quality Compensator by Generalized 3DSVM**, IEEE Transactions on Power Electronics, Vol. 21, NO. 2, March 2006.
- [31] SPERB, J. D. **Projeto de um Inversor Trifásico com Snubber de Undeland Regenerativo e Controle Digital Implementado no DSP TMS320F2812**. Dissertação de Mestrado. NPÉE – CCT/UDESC. Joinville/SC, Brasil. 2007.
- [32] HAMMAN, J.; VAN DER MERWE, F.S. **Voltage harmonics generated by voltage-fed inverters using PWM natural sampling**. IEEE Transactions on Power Electronics, vol.3, no.3, pp.297-302, Jul 1988.
- [33] OGATA, K. **Engenharia de Controle Moderno**. 4ª Edição. Ed. Pearson Prentice Hall, New Jersey, 2003.
- [34] BARBI, I. **Eletrônica de Potência: Projetos de Fontes Chaveadas**. 2ª Edição – Florianópolis/SC – Brasil. 2007.
- [35] ASHENDEN P. J., **The Designer's Guide to VHDL**. Morgan Kaufman, 2nd Edition, 2002.

- [36] AGELIDIS, V. G.; ZIOGAS, P. D.; JOOS, G., **An Optimum Modulation Strategy for a Novel “Notch” Commutated 3-Phase PWM Inverter.** IEEE Transactions on Industrial Applications, vol. 30, nº 1, janeiro/fevereiro, 1994.
- [37] BELLAR, M. D.; WU, T. S.; TCHAMDJOU, A.; MAHDAVI, J.; EHSANI M., **A Review of Soft-Switched DC-AC Converters.** IEEE Transactions on Industrial Applications, vol. 34, nº 4, julho/ agosto, 1998.
- [38] GIACOMINI, P. S.; SCHOLTZ, J. S.; MEZARROBA, M., **Step-Up/Step-Down DC-DC ZVS PWM Converter With Active Clamping.** IEEE Transactions on Industrial Electronics, vol. 55, nº 10, outubro, 2008.
- [39] PERIN, A. J.; BASCOPE, R. T., **O transistor IGBT Aplicado a Eletronica de Potência.** Ed. Sagra, Porto Alegre, 1997.
- [40] INTERNATIONAL ELECTROTECHNICAL COMMISSION, **International Standard - IEC62040-3.** First Edition, 1999-03.


```

vref_ac = vref - 2048

%%% Controlador de Tensão

% Cálculo do erro
erro = vref_ac - vout_ac;

% Controlador de Tensão
%
%      2.9791 z^2 - 5.5951 z + 2.6271
%      -----
%      z^2 - 1.1201 z + 0.12013

cons_e_0 = 2.9791;
cons_e_1 = -5.5951;
cons_e_2 = 2.627;

cons_c_1 = 1.1201;
cons_c_2 = -0.12013;

e0 = erro;

coef_a1 = cons_e_0 * e0;
coef_a2 = cons_e_1 * e1;
coef_a3 = cons_e_2 * e2;
coef_b2 = cons_c_1 * c1;
coef_b3 = cons_c_2 * c2;

c0 = (coef_a1 + coef_a2 + coef_a3 + coef_b2 + coef_b3);

% Saturador da malha de controle
if(c0>1500)
    c0=1500;
end
if(c0<-1500)
    c0=-1500;
end

% Transferência de valores para próxima aquisição
e2 = e1; % valor_menos_dois <= valor_menos_um
e1 = e0; % valor_menos_um <= valor_atual
c2 = c1; % saída_menos_dois <= saída_menos_um
c1 = c0; % saída_menos_um <= saída

% Saturador e saída para o controlador PWM
if(c0>500)
    c0=500;
end
if(c0<-500)
    c0=-500;
end

comp = c0;

%%% Saída da função
sys = [comp];

```