

Os semicondutores baseados em materiais *wide-bandgap* como GaN e SiC, prometem um salto no nível de rendimento energético e compactação dos conversores estáticos de energia elétrica. Este trabalho apresenta uma revisão bibliográfica do transistor de GaN, bem como a sua aplicação em um retificador monofásico de alto fator de potência. O conversor *bridgeless totem pole boost PFC* é estudado em detalhes, sendo apresentado seu equacionamento e procedimento de projeto. O rendimento teórico e um comparativo de perdas neste conversor é realizado, considerando-se o emprego de GaN HEMTs, IGBTs e MOSFETs. O controle digital é desenvolvido e resultados de simulação são apresentados como forma de validação. Por fim um protótipo de 1 kW com tensão nominal de entrada de 220 V é construído, com o objetivo de validar as características da tecnologia do transistor de GaN e de funcionamento do conversor sob estudo.

Orientador: Dr. Sérgio Vidal Garcia Oliveira

Joinville, 2016

ANO
2016

EDSON JESKE | ESTUDO DE UM RETIFICADOR BRIDGELESS DE ALTO FATOR DE POTÊNCIA
EMPREGANDO SEMICONDUtores DE NITRETO DE GÁLIO E CONTROLE DIGITAL



UDESC

UNIVERSIDADE DO ESTADO DE SANTA CATARINA – UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS – CCT
CURSO DE MESTRADO PROFISSIONAL EM ENGENHARIA ELÉTRICA

DISSERTAÇÃO DE MESTRADO

**ESTUDO DE UM RETIFICADOR
BRIDGELESS DE ALTO FATOR DE
POTÊNCIA EMPREGANDO
SEMICONDUtores DE NITRETO
DE GÁLIO E CONTROLE DIGITAL**

EDSON JESKE

JOINVILLE, 2016

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA - UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
MESTRADO EM ENGENHARIA ELÉTRICA**

EDSON JESKE

**ESTUDO DE UM RETIFICADOR BRIDGELESS DE ALTO FATOR
DE POTÊNCIA EMPREGANDO SEMICONDUTORES DE
NITRETO DE GÁLIO E CONTROLE DIGITAL**

JOINVILLE

2016

**UNIVERSIDADE DO ESTADO DE SANTA CATARINA - UDESC
CENTRO DE CIÊNCIAS TECNOLÓGICAS - CCT
MESTRADO EM ENGENHARIA ELÉTRICA**

EDSON JESKE

**ESTUDO DE UM RETIFICADOR BRIDGELESS DE ALTO FATOR
DE POTÊNCIA EMPREGANDO SEMICONDUTORES DE
NITRETO DE GÁLIO E CONTROLE DIGITAL**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica do Centro de Ciências Tecnológicas da Universidade do Estado de Santa Catarina, para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientador:

Prof. Dr. Sérgio Vidal Garcia Oliveira

JOINVILLE

2016

J58e Jeske, Edson

Estudo de um retificador bridgeless de alto fator de potência empregando semicondutores de nitreto de gálio e controle digital /Edson Jeske. – 2016.

234 p. : il. ; 21 cm

Orientador: Sérgio Vidal Garcia Oliveira

Bibliografia: 199-203 p.

Dissertação (mestrado) – Universidade do Estado de Santa Catarina, Centro de Ciências Tecnológicas, Programa de Pós-Graduação em Engenharia Elétrica, Joinville, 2016.

1. Sistemas eletroeletrônicos. 2. Semicondutores de potência. 3. Fator de potência. 4. Conversores de corrente elétrica. I. Oliveira, Sérgio Vidal Garcia. II. Universidade do Estado de Santa Catarina. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

CDD: 621.38 - 23. ed.

Edson Jeske

**Estudo de um retificador Bridgeless de alto fator de potência
empregando semicondutores de nitreto de gálio e controle
digital**

Dissertação apresentada ao Curso de Mestrado Profissional em Engenharia Elétrica como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica na área de concentração "Automação de Sistemas".

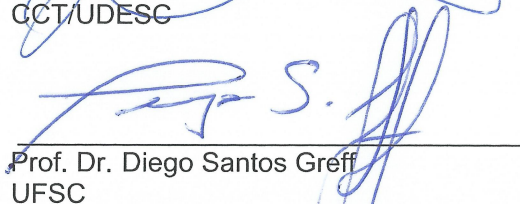
Banca Examinadora

Orientador:

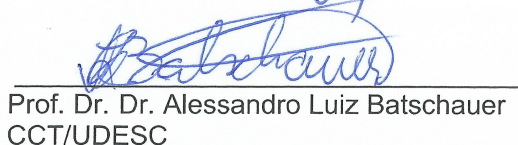


Prof. Dr. Sérgio Vidal Garcia Oliveira
CCT/UDESC

Membros



Prof. Dr. Diego Santos Greff
UFSC



Prof. Dr. Dr. Alessandro Luiz Batschauer
CCT/UDESC

Joinville, SC, 30 de setembro de 2016.

*Este trabalho é dedicado a minha esposa
Talita e nossa querida filha Lara.*

.

AGRADECIMENTOS

Gostaria de agradecer a minha família, em especial a minha esposa Talita, pelo apoio incondicional no cumprimento deste desafio.

Ao professor orientador Sérgio Vidal Garcia Oliveira, por todo o suporte e conhecimento compartilhado durante este trabalho, sempre de maneira muito respeitosa e motivadora.

A todos os professores do nPEE - Núcleo de Processamento de Energia Elétrica, pelo conhecimento compartilhado em todas as disciplinas que tive a oportunidade de frequentar, além das valiosas conversas e dicas oferecidas gentilmente durante todo o curso de mestrado.

A todos os alunos do curso de mestrado pelas discussões, dicas, amizades e auxílio nas atividades de laboratório, em especial ao bolsista Vitor Telles Odaguiri, pelo auxílio na montagem do protótipo final deste trabalho.

A empresa Embraco pelo apoio fundamental e disponibilidade de recursos para realização deste, com menção especial aos colaboradores Günter J Maass, Marcelo Zanelato, Roberto Andrich, Cristiano Valério, Arthur N Silveira, Silvio R Lima, Victor H Santos e Rodrigo J Peruzzo pela sua contribuição direta.

A empresa ST Microelectronics pelo fornecimento de amostras e kits de desenvolvimento, essenciais para o desenvolvimento. Em especial aos colaboradores Peterson R Santos, José R Freitas e Rogério Bueno pelo excelente suporte e disponibilidade em ajudar.

A empresa Ammon & Rizos do Brasil, pelo fornecimento de amostras e suporte, com menção ao colaborador Marco Ramos, pela especial atenção e prontidão em auxiliar.

A empresa Transphorm Inc. pela parceria no fornecimento das amostras dos transistores de GaN, sem as quais a viabilidade deste traba-

lho não seria possível, com agradecimento especial ao colaborador Zan Huang, pelo suporte prestado durante o desenvolvimento do projeto.

Por fim, a UDESC pelo programa de pós-graduação em engenharia elétrica e pelo ambiente motivador e respeitoso, propício ao desenvolvimento tecnológico da região.

A distância entre o sonho e a realidade chama-se disciplina.
(Bernardinho)

RESUMO

Os semicondutores baseados em materiais *wide-bandgap* como GaN e SiC, prometem um salto no nível de rendimento energético e compactação dos conversores estáticos de energia elétrica. Este trabalho apresenta uma revisão bibliográfica do transistor de GaN, bem como a sua aplicação em um retificador monofásico de alto fator de potência. O conversor *bridgeless totem pole boost PFC* é estudado em detalhes, sendo apresentado seu equacionamento e procedimento de projeto. O rendimento teórico e um comparativo de perdas neste conversor é realizado, considerando-se o emprego de GaN HEMTs, IGBTs e MOSFETs. O controle digital é desenvolvido e resultados de simulação são apresentados como forma de validação. Por fim um protótipo de 1 kW com tensão nominal de entrada de 220 V é construído, com o objetivo de validar as características da tecnologia do transistor de GaN e de funcionamento do conversor sob estudo.

Palavras-chaves: Conversor *bridgeless*. Correção de fator de potência. *Totem pole boost PFC*. GaN HEMT.

ABSTRACT

Wide-bandgap semiconductor materials like GaN and SiC, promise to deliver a substantial advancement in the level of energy efficiency and overall size reduction in power electronic converters. This work presents a bibliographic revision of the GaN HEMT technology and high power factor single phase active rectifiers topologies. The bridgeless totem pole boost PFC converter is evaluated in details, with the development of the converter equations and design procedures. Theoretical power conversion efficiency and a loss breakdown comparative, considering GaN HEMT, IGBT and MOSFET technology is presented. The digital control is developed and implemented, being validated through numerical simulation. An experimental prototype of 1 kW 220 V input voltage converter is built, in order to verify the characteristics of GaN HEMT technology and the performance of the converter.

Key-words: Bridgeless converter. Power factor correction. Totem pole boost PFC. GaN HEMT.

LISTA DE FIGURAS

Figura 2.1	Comparativo de características do silício (Si), do nitreto de gálio (GaN) e do carbeto de sílico (SiC) para aplicações em semicondutores.	47
Figura 2.2	Limites teóricos de resistência específica (RDS_{on}) e tensão de ruptura para os materiais GaN, SiC e Si. . . .	48
Figura 2.3	Estrutura básica de um GaN HFET lateral de modo depleção.	50
Figura 2.4	Diagrama esquemático da estrutura <i>cascode</i> , com seus modos de operação.	51
Figura 2.5	Circuito equivalente do GaN HEMT <i>cascode</i> , incluindo as indutâncias e capacitâncias parasitas.	53
Figura 2.6	Circuito equivalente para dimensionamento da impedância do circuito de comando.	55
Figura 2.7	Circuito LCR formado pelas indutâncias e capacitâncias parasitas no acionamento do transistor.	57
Figura 2.8	Ruído de <i>gate</i> causado por altos valores de dv/dt no terminal dreno.	58
Figura 3.1	Tetraedro das potências para cargas não lineares. . . .	65
Figura 3.2	Conversor boost PFC clássico.	67
Figura 3.3	Principais topologias de conversores <i>bridgeless</i>	68
Figura 3.4	Diagrama esquemático do conversor BTPB-PFC. (a)Circuito com GaN HEMTs e MOSFETs, (b)Circuito simplificado com chaves ideais.	70
Figura 3.5	Primeira etapa de operação para $(0 \leq t \leq DT)$	72
Figura 3.6	Segunda e quarta etapas de operação (tempo morto tm). . . .	73
Figura 3.7	Terceira etapa de operação para $[(DT + tm) \leq t \leq (T - tm)]$	74
Figura 3.8	Quinta etapa de operação para $(0 \leq t \leq DT)$	75
Figura 3.9	Sexta e oitava etapas de operação (tempo morto tm). . .	75

Figura 3.10	Sétima etapa de operação para $[(DT + tm) \leq t \leq (T - tm)]$	76
Figura 3.11	Principais formas de onda idealizadas para o semi-ciclo positivo da rede.	77
Figura 3.12	Principais formas de onda idealizadas para o semi-ciclo negativo da rede.	78
Figura 3.13	Diagrama orientativo demonstrando os limites para cálculo do valor médio quase-instantâneo.	79
Figura 3.14	Variação da razão cíclica D para um semi-ciclo da rede, considerando $V_o = 380$ V (Curva verde para $V_p = 150.\sqrt{2}$ V; vermelha para $V_p = 220.\sqrt{2}$ V e azul para $V_p = 264.\sqrt{2}$ V).	81
Figura 3.15	Circuito para caracterização de perdas de comutação em carga indutiva.	87
Figura 3.16	Formas de onda características de entrada em condução e bloqueio de transistores para cargas indutivas. . .	88
Figura 3.17	Valor aproximado de I_{rrm} e t_{rr} em função da corrente no diodo do GaN HEMT <i>TPH3006LD</i> . (Valores para temperatura de junção de $25^\circ C$)	89
Figura 4.1	Valor de ondulação de corrente no indutor para um período completo da rede elétrica com $V_o = 380V$	100
Figura 4.2	Curva característica do <i>ferrite bead</i> WURTH 74279266.	108
Figura 4.3	Diagrama simplificado dos sensores do conversor.	109
Figura 4.4	Diagrama equivalente dos sensores e conexão com os conversores <i>AD</i>	110
Figura 4.5	Energia de entrada em condução e bloqueio de um GaN HEMT, para o conversor operando com potência de 1KW, em tensão de entrada nominal.	114
Figura 4.6	Diagrama do conversor BTPB-PFC, com destaque para região tracejada que apresenta a posição dos transistores comparados.	117

Figura 4.7	Comparativo de energia de comutação das tecnologias GaN HEMT, IGBT e MOSFET operando no conversor BTPB-PFC em modo CCM.	118
Figura 4.8	Comparativo de perdas totais nos transistores das posições $G1$ e $G2$ para as tecnologias GaN HEMT, IGBT e MOSFET, operando no conversor BTPB-PFC.	120
Figura 4.9	Comparativo de rendimento teórico do conversor BTPB-PFC.	121
Figura 4.10	Modelo mecânico 3D do conversor (PCB e Dissipador).	122
Figura 4.11	Resistências térmicas da solução mecânica e conceito de vias térmicas.	123
Figura 4.12	Circuito elétrico equivalente do modelo térmico do conversor.	124
Figura 4.13	Via térmica na PCB.	125
Figura 4.14	Diagrama completo do controle do conversor.	128
Figura 4.15	Diagrama de <i>bode</i> e resposta do sensor de corrente $Hi(s)$ a um degrau unitário.	131
Figura 4.16	Diagrama de sincronismo da leitura de corrente do indutor. (desenho não em escala real)	133
Figura 4.17	Diagrama de Bode da $FTMA_{ILb}$ compensada.	134
Figura 4.18	Resposta ao degrau e diagrama de bode da $FTMF$ da malha de corrente.	135
Figura 4.19	Diagrama de bode do controlador de corrente $Ci(z)$ discretizado para taxa de execução Ci_{freq} (61440 Hz), versus o controlador no domínio de Laplace $Ci(s)$	136
Figura 4.20	Diagrama de bode do filtro média móvel da tensão de saída Vo	138
Figura 4.21	Diagrama de Bode da $FTMA$ compensada da tensão de saída.	139
Figura 4.22	Diagrama de Bode do controlador de tensão $Cv(z)$ discretizado para taxa de execução Cv_{freq} versus o controlador no domínio de Laplace $Cv(s)$	140

Figura 4.23 Resposta ao degrau e diagrama de bode da $FTMF$ da tensão de saída.	140
Figura 4.24 Estágio de potência do conversor simulado.	141
Figura 4.25 Sensoreamento e controle do conversor simulado.	142
Figura 4.26 Simulação do módulo PLL com o cálculo do ângulo da tensão de entrada e detecção de cruzamento por zero.	143
Figura 4.27 Simulação comparativa entre a tensão de saída V_o e a média móvel discretizada deste sinal.	144
Figura 4.28 Simulação da leitura do sensor de corrente e do sinal discretizado.	145
Figura 4.29 Simulação dos instantes de acionamento dos MOSFETs $M1$ e $M2$ de retificação síncrona.	145
Figura 4.30 Simulação de degrau de carga na saída de 500W para 1000W	146
Figura 4.31 Simulação de degrau de carga na saída de 1000W para 500W	147
Figura 4.32 Simulação de degrau no valor eficaz de tensão de entrada de 220 V para 150 V.	148
Figura 4.33 Simulação de degrau no valor eficaz de tensão de entrada de 150 V para 220 V.	148
Figura 4.34 Simulação de degrau no valor eficaz de tensão de entrada de 200 V para 264 V.	149
Figura 4.35 Simulação de degrau no valor eficaz de tensão de entrada de 264 V para 200 V.	149
Figura 4.36 Partida suave do conversor.	150
Figura 4.37 Ondulação máxima de corrente no indutor e frequência de comutação para tensão de entrada e potência nominal.	150
Figura 4.38 Operação em 100W	151
Figura 4.39 Operação em 500W	151
Figura 4.40 Operação em 1000W	151
Figura 5.1 Bancada de testes do conversor.	156

Figura 5.2	Foto do protótipo do conversor desenvolvido.	156
Figura 5.3	Detecção de cruzamento por zero. (C1: Tensão da rede; C2: Saída do conversor DA com angulo da rede; C3: Bit de inversão na detecção do zero-cross.)	157
Figura 5.4	Sensoreamento da corrente no indutor. (C2: Saída do conversor DA com a leitura de corrente discretizada; C3: Corrente no indutor do <i>boost</i> ; C4: Sinal do sensor de corrente.)	158
Figura 5.5	Média móvel da tensão de saída V_o . (C1: Tensão de saída V_o ; C2: Saída do conversor DA com média móvel de V_o discretizada; C3: Corrente no indutor do <i>boost</i> .) .	159
Figura 5.6	Tensões da fonte auxiliar. (C1: Fonte de 12 V; C2: Fonte de 3,3 V; C4: Fonte de 5 V.)	160
Figura 5.7	Comando da retificação síncrona de Q_1 e Q_3 . (C1: Tensão V_{gs} em Q_3 ; C2: Tensão V_{gs} em Q_1 ; C3: Corrente no indutor do <i>boost</i> .)	160
Figura 5.8	Diagrama de Bode da $FTMA$ de corrente ajustada. . .	161
Figura 5.9	Resposta ao degrau e diagrama de bode da $FTMF$ de corrente ajustada.	162
Figura 5.10	Degrau de carga de 500 W para 1000 W. (C1: Tensão de saída V_o ; C3: Corrente no indutor do <i>boost</i> .)	163
Figura 5.11	Degrau de carga de 1000 W para 500 W. (C1: Tensão de saída V_o ; C3: Corrente no indutor do <i>boost</i> .)	164
Figura 5.12	Degrau no valor eficaz de tensão de entrada de 220 V para 150 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	164
Figura 5.13	Detalhe na corrente para um degrau no valor eficaz da tensão de entrada de 220 V para 150 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	165
Figura 5.14	Degrau no valor eficaz da tensão de entrada de 150 V para 220 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	165

Figura 5.15	Degrau no valor eficaz da tensão de entrada de 200 V para 264 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	166
Figura 5.16	Degrau no valor eficaz da tensão de entrada de 264 V para 200 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	166
Figura 5.17	Detalhe na corrente para um de grau no valor eficaz da tensão de entrada de 264 V para 200 V. (C1: Tensão de entrada; C3: Corrente no indutor do <i>boost</i> ; C4:Tensão de saída V_o .)	167
Figura 5.18	Partida suave do conversor. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do <i>boost</i> .)	167
Figura 5.19	Ondulação máxima no indutor. (C1: Tensão de saída V_o ; C3: Corrente no indutor do <i>boost</i> .)	168
Figura 5.20	Operação em 100 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do <i>boost</i> .)	169
Figura 5.21	Operação em 500 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do <i>boost</i> .)	170
Figura 5.22	Operação em 1000 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do <i>boost</i> .)	171
Figura 5.23	Curva de fator de potência do conversor - Resultados experimentais.	171
Figura 5.24	Curvas de rendimento do conversor - Resultados calculados vs experimentais.	172
Figura 5.25	Posicionamento das ponteiros de tensão e corrente para medição da comutação dos transistores.	174
Figura 5.26	Entrada em condução do GaN HEMT na posição GaN_2 - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)	174

Figura 5.27	Bloqueio do GaN HEMT na posição <i>GaN2</i> - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	175
Figura 5.28	Entrada em condução do GaN HEMT na posição <i>GaN1</i> - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	176
Figura 5.29	Bloqueio do GaN HEMT na posição <i>GaN1</i> - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	176
Figura 5.30	Acionamento síncrono do GaN HEMT na posição <i>GaN1</i> durante roda livre de corrente - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	177
Figura 5.31	Bloqueio do diodo intrínseco do transistor <i>GaN1</i> - Operação em 1000 W.(M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	177
Figura 5.32	Entrada em condução do diodo intrínseco do transistor <i>GaN1</i> - Operação em 1000 W.(M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	178
Figura 5.33	Entrada em condução do IGBT na posição <i>GaN2</i> - Operação em 500 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	179
Figura 5.34	Bloqueio do IGBT na posição <i>GaN2</i> - Operação em 500 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	179
Figura 5.35	Entrada em condução do IGBT na posição <i>GaN1</i> - Operação em 500 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	180
Figura 5.36	Bloqueio do IGBT na posição <i>GaN1</i> - Operação em 500 W. (M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	180

Figura 5.37	Formas de onda do IGBT na posição <i>GaN1</i> durante roda livre de corrente - Operação em 500 W. (M1: Ener- gia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	181
Figura 5.38	Bloqueio do diodo intrínseco do transistor <i>GaN1</i> - Ope- ração em 500 W.(M1: Energia de comutação; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	181
Figura 5.39	Entrada em condução do diodo intrínseco do transistor <i>GaN1</i> - Operação em 500 W.(M1: Energia de comuta- ção; C2:Tensão <i>VGS</i> ; C3: Corrente <i>IDS</i> ; C4: Tensão <i>VDS</i> .)	182
Figura 5.40	Comparativo experimental de energia de comutação en- tre GaN HEMT vs IGBT operando em 500 W.	183
Figura 5.41	Comparativo de energia de comutação no GaN HEMT, calculado vs experimental operando em 1000 W (ener- gia em somente um transistor).	183
Figura 5.42	Imagem térmica do conversor com GaN HEMTs, ope- rando em 1000 W.	184
Figura 5.43	Imagem térmica do conversor com IGBTs, operando em 700 W.	185
Figura C.1	Diagrama geral do conversor	216
Figura C.2	Fonte de Alimentação Auxiliar	217
Figura C.3	Estágio de Potência do conversor Boost Totem Pole PFC	218
Figura C.4	Micro-controlador e Periféricos	219
Figura C.5	Drivers das chaves	220
Figura D.1	Layout da Placa Eletrônica do Conversor	221

LISTA DE TABELAS

Tabela 4.1	Especificações de projeto do conversor.	98
Tabela 4.2	Especificações do indutor boost <i>Lb</i>	99
Tabela 4.3	Capacitor <i>Co</i> de saída selecionado.	102
Tabela 4.4	MOSFETs do retificador síncrono e circuito de pré-carga.	102
Tabela 4.5	Principais características do GaN HEMT empregado no conversor.	103
Tabela 4.6	Características do resistor de pré-carga.	104
Tabela 4.7	Características do circuito integrado de comando dos retificadores síncronos.	105
Tabela 4.8	Dados e requisitos para dimensionamento do circuito de comando do GaN HEMT.	105
Tabela 4.9	Características do circuito integrado de comando dos GaN HEMTs	106
Tabela 4.10	Características do <i>ferrite bead</i> empregado no circuito de comando dos transistores GaN HEMTs	107
Tabela 4.11	Características do circuito integrado de medição de corrente.	112
Tabela 4.12	Requisitos da fonte auxiliar	112
Tabela 4.13	Principais parâmetros dos componentes usados na comparação de perdas. (Valores estimados para operação com temperatura de junção de 100 °C e corrente de 6,5A)	117
Tabela 4.14	Dados de projeto das vias térmicas.	125
Tabela 4.15	Principais dados do isolante elétrico usado.	126
Tabela 4.16	Resistência térmica dos componentes (parâmetros de <i>datasheet</i>).	127
Tabela 4.17	Ganho dos sensores e parâmetros gerais para projeto dos controladores.	130
Tabela 4.18	Parâmetros do controlador PI de corrente.	134
Tabela 4.19	Parâmetros do controlador PI de tensão.	139

Tabela 4.20	Comparativo de valores calculados vs simulados para operação em tensão nominal de entrada e carga máxima.	142
Tabela 5.1	Equipamentos de medição usados nos testes experimentais.	155
Tabela 5.2	Comparativo de elevação de temperatura a partir da ambiente, entre os valores de projeto versus valores experimentais, para o conversor operando com GaN HEMTs em 1000 W.	185

LISTA DE ABREVIATURAS E SIGLAS

BTPB-PFC	<i>Bridgeless Totem Pole Boost PFC</i>
HFET	<i>Heterojunction Field Effect Transistor</i>
2DEG	<i>Two Dimentional Electron Gas</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
GaN	<i>Galliun Nitride</i>
SiC	<i>Silicon Carbide</i>
AlGaN	<i>Aluminium Galliun Nitride</i>
HEMT	<i>High Electron Mobility Transistor</i>
FP	Fator de Potência
DHT	Distorção Harmônica Total
CA/CC	Corrente Alternada / Corrente Contínua
CC/CC	Corrente Contínua / Corrente Contínua
ZVS	<i>Zero Voltage Switching</i>
ZCS	<i>Zero Current Switching</i>
IEC	<i>International Electrotechnical Commission</i>
Vac	<i>Volts alternating current</i>
PFC	<i>Power Factor Correction</i>
CCM	<i>Continuous Conduction Mode</i>
LCR	Indutivo Capacitivo Resistivo

EMI	<i>Electromagnetic Interference</i>
EMC	<i>Electromagnetic Compatibility</i>
CrCM	<i>Critical Conduction Mode</i>
DCM	<i>Discontinuous Conduction Mode</i>
LC	Indutivo Capacitivo
PWM	<i>Pulse Width Modulation</i>
AD	<i>Analog Digital</i>
SAR	<i>Successive Approximation register</i>
Msp/s	<i>Mega Samples per Second</i>
SMT	<i>Surface Mount Technology</i>
PCB	<i>Printed Circuit Board</i>
PI	Proporcional Integral
FTMA	Função de Transferência de Malha Aberta
FTMF	Função de Transferência de Malha Fechada
PLL	<i>Phase Locked Loop</i>
DMA	<i>Direct Memory Access</i>
DA	<i>Digital Analog</i>

LISTA DE SÍMBOLOS

Q_g	Carga total de <i>gate</i> do transistor
Q_{gs}	Carga referente a capacitância <i>gate source</i> do transistor
Z_{drv}	Impedância interna do circuito <i>driver</i> de comando
R_g	Resistor de <i>gate</i> do circuito de comando do transistor
$C(v_{gs} + v_{gd})$	Capacitância de <i>gate</i> em função das tensões de <i>gate-source</i> e <i>gate-drain</i> do transistor
I_{gate}	Corrente de <i>gate</i> do transistor
I_{drv}	Corrente do circuito de comando do transistor
V_{drv}	Tensão da fonte de comando do transistor
V_{th}	Tensão de threshold do transistor
I_{DS}	Corrente nos terminais <i>drain - source</i> do transistor
I_C	Corrente de coletor do IGBT
G_{fs}	Transcondutância do transistor
V_{miller}	Tensão de patamar de <i>Miller</i> do transistor
Z_{max}	Impedância máxima permitida para o circuito de comando
C_{gs}	Capacitância parasita entre os terminais (<i>gate – source</i>)
C_{dg}	Capacitância parasita entre os terminais (<i>drain – gate</i>)
V_r	Tensão da rede elétrica
T	Período de comutação

V_p	Tensão de pico da rede elétrica
$\omega.t$	Frequência angular da rede elétrica
FP_H	Fator de potência considerando cargas não lineares
D	Razão cíclica
L_b	Indutor de boost
C_o	Capacitor de saída
$G1$	Transistor ou chave ideal representando a posição do GaN HEMT
$G2$	Transistor ou chave ideal representando a posição do GaN HEMT
$M1$	Transistor ou chave ideal representando a posição do MOSFET
$M2$	Transistor ou chave ideal representando a posição do MOSFET
$Dg1$	Diodo intrínseco do transistor $G1$
$Dg2$	Diodo intrínseco do transistor $G2$
$Dm1$	Diodo intrínseco do transistor $M1$
$Dm2$	Diodo intrínseco do transistor $M2$
tm	Tempo morto do PWM
vL_b	Tensão sobre o indutor do <i>boost</i>
iL_b	Corrente no indutor de <i>boost</i>
$iG1$	Corrente no canal do transistor $G1$
$iG2$	Corrente no canal do transistor $G2$
$iDG1$	Corrente no diodo intrínseco do transistor $G1$

i_{DG2}	Corrente no diodo intrínseco do transistor $G2$
i_{M1}	Corrente no canal do transistor $M1$
i_{M2}	Corrente no canal do transistor $M2$
i_{DM1}	Corrente no diodo intrínseco do transistor $M1$
i_{DM2}	Corrente no diodo intrínseco do transistor $M2$
I_m	Representação do valor médio de um sinal qualquer $I_s(t)$
$I_s(t)$	Representação do sinal variante no tempo durante o tempo ton
ton	Tempo em que o PWM está ativo
$\langle \overline{I_s} \rangle$	Valor médio quase-instantâneo do sinal $I_s(t)$
$\langle I_{srms} \rangle$	Valor eficaz quase-instantâneo do sinal $I_s(t)$
I_{savg}	Valor médio proveniente da integração dos valores médios quase-instantâneos em um ciclo completo da rede elétrica
I_{srms}	Valor eficaz proveniente da integração dos valores eficazes quase-instantâneos em um ciclo completo da rede elétrica
$\overline{V_{Lb}}$	Valor médio da tensão sobre o indutor Lb
V_o	Tensão de saída do conversor
ΔI_{Lb}	Ondulação de corrente no indutor Lb
$I_{Lb}(D.T)$	Corrente no indutor Lb em função da razão cíclica
$\Delta I_{Lb}(t)$	Ondulação de corrente no indutor Lb em função do tempo
ΔV_o	Ondulação de tensão no capacitor de saída

R_{sc}	Resistência série do capacitor de saída
ΔV_{rsc}	Ondulação no capacitor devido a resistência série R_{sc}
I_{max}	Valor de pico máximo da corrente no indutor Lb
ΔV_{Co}	Ondulação de tensão no capacitor devido energia transferida pelo indutor Lb
ΔV_{ofsw}	Valor máximo de ondulação de tensão de alta frequência no capacitor de saída
ILb_{rms}	Corrente eficaz no indutor Lb
Ico_{rms}	Corrente eficaz no capacitor de saída Co
T_{rede}	Período da rede elétrica
IM_{rms}	Corrente eficaz no MOSFET de retificação síncrona
$\langle IGp_{rms} \rangle$	Corrente eficaz quase-instantânea no GaN HEMT para o semi-ciclo positivo
$\langle IGn_{rms} \rangle$	Corrente eficaz quase-instantânea no GaN HEMT para o semi-ciclo negativo
IGp_{rms}	Corrente eficaz no GaN HEMT referente ao semi-ciclo positivo
IGn_{rms}	Corrente eficaz no GaN HEMT referente ao semi-ciclo negativo
IG_{rms}	Corrente eficaz total no GaN HEMT
Q_{rr}	Carga de recuperação reversa do diodo
t_{rr}	Tempo de recuperação reversa do diodo
tr	Tempo de subida da corrente na entrada em condução do transistor
tf	Tempo de descida da corrente no bloqueio do transistor

t_a	Primeiro estágio da corrente de recuperação reversa do diodo
t_b	Segundo estágio da corrente de recuperação reversa do diodo
t_{fv}	Tempo de descida da tensão na entrada em condução do transistor
t_{rv}	Tempo de subida da tensão no bloqueio do transistor
I_{rrm}	Máxima corrente de recuperação reversa do diodo
K_{Qrr}	Constante de conversão para obtenção de Q_{rr} em função de I_{fwd}
I_{fwd}	Corrente direta no diodo do transistor
E_{on}	Energia de entrada em condução do transistor
E_{off}	Energia de bloqueio do transistor
$i_{DS}(t)$	Corrente nos terminais <i>drain source</i> do transistor
$v_{DS}(t)$	Tensão nos terminais <i>drain source</i> do transistor
E_{offD}	Energia de bloqueio do diodo do transistor
$i_D(t)$	Corrente no diodo do transistor
$v_D(t)$	Tensão no diodo do transistor
E_1 a E_7	Energia das áreas discretizadas de entrada em condução e bloqueio
$I_{Lb}(t)$	Corrente no indutor em função do tempo
$I_{rrm}(I_{fwd})$	Corrente I_{rrm} em função da corrente circulante no diodo
t_{off}	Tempo de decaimento da corrente no bloqueio do transistor

P_{on}	Perda total em watt de entrada em condução para forma de onda idealizada
P_{off}	Perda total em watt de bloqueio para forma de onda idealizada
P_{offD}	Perda total de comutação no diodo da chave para forma de onda idealizada
$PG2p_{sw}$	Perda total em watt no transistor $G2$ durante o semi-ciclo positivo da rede
$PG2n_{sw}$	Perda total em watt no transistor $G2$ durante o semi-ciclo negativo da rede
$PG2_{sw}$	Perda total em watt no transistor $G2$
P_{Lb}	Perda total em Watt no indutor Lb
RS_{Lb}	Resistência série do indutor Lb
P_{Mag}	Perda magnética em Watt no indutor Lb
P_{Co}	Perda em Watt no capacitor de saída Co
$ID_{S_{rms}}$	Corrente eficaz no MOSFET
RDS_{on}	Resistência do canal <i>drain source</i> do MOSFET quando ligado
P_M	Perda de condução em Watt em um MOSFET
P_{GaN}	Perda total em Watt no GaN HEMT
F_{rede}	Frequência da rede elétrica
V_{nom}	Tensão nominal de entrada
V_{max}	Tensão máxima de entrada
V_{min}	Tensão mínima de entrada

P_o	Potência nominal na tensão V_{nom}
P_{max}	Potência máxima na tensão V_{max}
P_{min}	Potência máxima na tensão V_{min}
$\Delta I_{lb}\%$	Ondulação máxima de corrente em %
F_{sw}	Frequência de comutação
T_{amb}	Temperatura ambiente máxima
T_D	Temperatura máxima no dissipador
η	Rendimento desejado em carga máxima
ILb_{max}	Corrente de pico no indutor Lb
t_{max}	Instante de tempo onde a ondulação em Lb é máxima
I_o	Corrente de saída do conversor
$IM1_{rms}$	valor da corrente eficaz máxima em $M1$
$IM2_{rms}$	valor da corrente eficaz máxima em $M2$
$IG2p_{rms}$	valor da corrente eficaz máxima em $G2$ referente ao semi-ciclo positivo
$IG2n_{rms}$	valor da corrente eficaz máxima em $G2$ referente ao semi-ciclo negativo
$IG2_{rms}$	valor da corrente eficaz máxima total em $G2$
$IG1_{rms}$	valor da corrente eficaz máxima total em $G1$
$R_{precarga}$	Valor do resistor de pré-carga do barramento
$IQ4_{rms}$	Valor da corrente eficaz no transistor de pré-carga
Kv	Ganho dos sensores de tensão
F_{Vr}	Sinal do sensor de leitura de tensão da Fase

N_{Vr}	Sinal do sensor de leitura de tensão do Neutro
$ADmax_{Vo}$	Valor máximo de tensão esperado na entrada do microcontrolador para os sensores de tensão
C_{fv}	Capacitor de filtro dos sensores de tensão
C_{fi}	Capacitor de filtro do sensor de corrente
P_{Mtot}	Perda em Watt total nos MOSFETs de retificação síncrona
P_{Mpc}	Perda em watt no MOSFET de pré-carga
P_{GaNc}	Perda de condução em um GaN HEMT
$P_{GaNctot}$	Perdas totais de condução nos dois GaN HEMTs
$P_{tot_{sw}}$	Perdas totais de comutação nos dois GaN HEMTs
T_C	Temperatura máxima para o <i>case</i> do componente
$RTDA$	Resistência térmica máxima entre dissipador e ambiente
$RTCD_{Mpc}$	Resistência térmica máxima entre <i>case</i> e dissipador para o MOSFET de pré-carga
$RTCD_M$	Resistência térmica máxima entre <i>case</i> e dissipador para o MOSFET de retificação síncrona
$RTCD_G$	Resistência térmica máxima entre <i>case</i> e dissipador para o GaN HEMT
RTH_{via}	Resistência térmica de uma única via térmica
RTH_{placa}	Resistência térmica total da placa considerando 120 vias térmicas
RTH_{gap}	Resistência térmica total da região preenchida com isolante térmico

$RTCD$	Resistência térmica calculada entre <i>case</i> e dissipador com base nas vias térmicas e isolante
TCM	Temperatura máxima esperada para o <i>case</i> do MOS-FET de retificação síncrona
TJM	Temperatura máxima esperada para a junção do MOS-FET de retificação síncrona
TCG	Temperatura máxima esperada para o <i>case</i> do GaN HEMT
TJG	Temperatura máxima esperada para a junção do GaN HEMT
TCM_{pc}	Temperatura máxima esperada para o <i>case</i> do MOS-FET de pré-carga
TJM_{pc}	Temperatura máxima esperada para a junção do MOS-FET de pré-carga
$Gi(s)$	Planta de corrente no indutor por razão cíclica
$Gv(s)$	Planta de tensão de saída por corrente no indutor
$Hi(s)$	Planta do sensor de corrente
$M(s)$	Planta do modulador PWM
$Ci(s)$	Controlador PI de corrente
Kpi_I	Ganho do controlador PI de corrente
Zpi_I	Zero do controlador PI de corrente
$Ci(z)$	Controlador de corrente discretizado
Yi_n	Equação recursiva do controlador de corrente discretizado
Ki	Ganho do sensor de corrente

$Hv(s)$	Planta do sensor tensão
R_o	Carga nominal do conversor
D_{med}	Razão cíclica média do conversor
$Hv(s)$	Planta do sensor tensão
K_{ff}	Ganho devido a multiplicação do sinal de tensão de entrada para referência de corrente
FF_e	Equação do <i>feed-forward</i>
$Cv(s)$	Controlador PI de tensão
$Avg(z)$	Filtro de média móvel digital
$Cv(z)$	Controlador de tensão discretizado
Yv_n	Equação recursiva do controlador de tensão discretizado

SUMÁRIO

1	Introdução	41
1.1	Objetivos do trabalho	43
1.2	Organização do trabalho	44
2	Semicondutores de potência de nitreto de gálio	45
2.1	Evolução dos transistores de potência	45
2.2	Propriedades do material semiconductor GaN	46
2.2.1	Transistores de GaN	49
2.3	GaN HEMT cascode	51
2.3.1	Modelo elétrico	52
2.3.2	Funcionamento da estrutura cascode	53
2.4	Circuito de comando do GaN HEMT <i>cascode</i>	54
2.4.1	Procedimento de projeto da impedância do circuito <i>gate driver</i>	54
2.4.2	Orientações para <i>layout</i> e imunidade a ruído elétrico	56
2.5	Características térmicas do GaN HEMT	59
2.6	Conclusão	59
3	Estudo do conversor BTPB-PFC empregando GaN HEMT	63
3.1	Conceitos fundamentais de fator de potência	63
3.2	Revisão bibliográfica dos retificadores <i>boost</i> de alto fator de potência	66
3.2.1	Boost PFC convencional	66
3.2.2	Conversores boost PFC bridgeless	66
3.2.2.1	Conversor bridgeless totem pole boost PFC (BTPB-PFC)	68
3.3	Análise Qualitativa do conversor BTPB-PFC	70
3.3.1	Análise do semi-ciclo positivo da rede	71
3.3.1.1	Etapa de operação 1	71
3.3.1.2	Etapa de operação 2	72

3.3.1.3	Etapa de operação 3	73
3.3.1.4	Etapa de operação 4	73
3.3.2	Análise do semi-ciclo negativo	73
3.3.3	Formas de onda principais	76
3.4	Análise quantitativa do conversor BTPB-PFC	79
3.4.1	Ganho estático do conversor	80
3.4.2	Valor de ondulação de corrente no indutor	81
3.4.3	Valor de ondulação de tensão no capacitor de saída	82
3.4.4	Esforços de tensão e corrente	84
3.4.4.1	Valor eficaz da corrente no indutor	84
3.4.4.2	Valor eficaz da corrente no capacitor de saída	84
3.4.4.3	Valor eficaz da corrente nos MOSFETs M1 e M2	85
3.4.4.4	Valor eficaz da corrente nos GaN HEMT G1 e G2	85
3.4.5	Estudo da energia de comutação	86
3.4.5.1	Perdas de comutação no conversor BTPB- PFC	93
3.4.6	Valor das perdas elétricas nos componentes	93
3.4.6.1	Indutor	94
3.4.6.2	Capacitor de saída	94
3.4.6.3	MOSFETs do retificador síncrono e pré- carga	94
3.4.6.4	GaN HEMTs	94
3.5	Conclusão	95
4	Projeto do Conversor BTPB-PFC	97
4.1	Especificações de projeto	97
4.2	Dimensionamento do estágio de potência	98
4.2.1	Indutor do boost	98
4.2.2	Capacitor de saída	100
4.2.3	MOSFETs do retificador síncrono	102

4.2.4	GaN HEMTs	102
4.2.5	Circuito de pré-carga do barramento	103
4.3	Circuitos de comando dos transistores	104
4.3.1	Comando do retificador síncrono	104
4.3.2	Comando do GaN HEMT	105
4.3.3	Comando do circuito de pré-carga	108
4.4	Dimensionamento dos sensores	108
4.4.1	Sensores de tensão de entrada e barramento	109
4.4.2	Sensor de corrente do indutor boost	111
4.5	Fonte auxiliar	112
4.6	Microcontrolador e circuitos periféricos	112
4.7	Rendimento teórico do conversor e análise de perdas	113
4.7.1	Perdas de comutação	113
4.7.2	Perdas de condução	115
4.7.3	Comparativo de perdas	116
4.7.4	Rendimento teórico	121
4.8	Projeto térmico	122
4.8.1	Etapa 1 - Cálculo das resistências térmicas máximas	123
4.8.2	Etapa 2 - Projeto das vias térmicas e dissipador	125
4.8.3	Etapa 3 - Estimativa das temperaturas nos compo- nentes	127
4.9	Desenvolvimento do controle digital	128
4.9.1	Metodologia de projeto adotada	129
4.9.2	Controlador de corrente	130
4.9.2.1	Modelagem dos elementos	131
4.9.2.2	Sincronismo da leitura de corrente	132
4.9.2.3	Projeto do controlador discreto de corrente	133
4.9.3	Controlador de tensão	136
4.9.3.1	Modelagem dos elementos	136
4.9.3.2	Projeto do controlador discreto de tensão de saída	137
4.9.4	Implementação no microcontrolador STM32F334	141
4.10	Resultados de simulação	141

4.10.1	Simulação dos esforços nos componentes	142
4.10.2	Simulação dos sensores e circuitos auxiliares	143
4.10.3	Simulação da dinâmica de controle	145
4.10.4	Simulação da corrente e fator de potência	151
4.11	Conclusão	152
5	Resultados experimentais	155
5.1	Sensores e circuitos auxiliares	156
5.2	Avaliação da resposta dinâmica do conversor	161
5.3	Fator de potência e rendimento	169
5.4	Resultados de comutação do transistores	173
5.4.1	Comutação com GaN HEMTs	173
5.4.2	Comutação com IGBTs	178
5.4.3	Comparativo experimental de energia de comutação	182
5.5	Perfil térmico	184
5.6	Conclusão	186
6	Conclusão Geral	189
7	Glossário	193
	REFERÊNCIAS BIBLIOGRÁFICAS	197
	APÊNDICE A Estimativa de Perdas Magnéticas no Indutor	203
	APÊNDICE B Fluxograma de Controle do Conversor	207
	APÊNDICE C Esquemático do Conversor	215
	APÊNDICE D Layout da Placa de Circuito Impresso	221
	Anexos	223
	ANEXO A Projeto da Fonte Auxiliar - VIPER06	225

1 INTRODUÇÃO

Os avanços observados nos últimos anos no campo da eletrônica de potência, tem acontecido principalmente como evoluções nas topologias dos conversores, muitas vezes atrelado a um aumento de complexidade e redução de confiabilidade dos circuitos. Do ponto de vista dos semicondutores de potência, os amplamente utilizados transistores de silício tem se aproximado de seus limites físicos, resultando em uma redução no avanço tecnológico dos conversores relacionada diretamente a evoluções no semicondutor (EVERTS J. DAS, 2010). Ainda existem inovações e avanços, que com certeza ocorrerão por um bom tempo nos tradicionais dispositivos de silício, como por exemplo os recentes MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*) **Superjunction** e os IGBTs (*Insulated Gate Bipolar Transistor*) com tecnologia **Trench**, que no entanto limitam-se a evoluções incrementais e muitas vezes associadas a uma maior confiabilidade e/ou menor custo, sem se observar no entanto, um grande salto em figuras de mérito de comutação e condução desses transistores (LIDOW JOHAN STRYDOM, 2012).

Nos últimos anos, grande atenção tem sido dada aos semicondutores de potência baseados nos materiais **wide-bandgap**, como GaN (Nitreto de Gálio) e SiC (Carbeto de Silício), devido suas características de comutação ultra rápida, baixas perdas de condução, capacidade de operar com altas tensões de bloqueio e altas temperaturas. Estudos recentes apontam que esta tecnologia, promete revolucionar o projeto de conversores estáticos, com níveis de eficiência energética e compactação até então inconcebíveis pelos transistores de silício (MILLIGAN, 2007) (KANAMURA, 2012) (MILLÁN, 2014) (LIDOW JOHAN STRYDOM, 2012).

O GaN HEMT (*high electron mobility transistor*) de heterojunção, tem atraído investimento consistente da indústria com foco em aplicações para conversão de energia, tendo apresentado uma forte maturação da tecnologia nos últimos anos (MILLÁN, 2014). Em geral, tamanho inte-

resse pelo material GaN para aplicações em eletrônica de potência, se deve ao fato de esta tecnologia permitir a industrialização a um custo muito inferior ao observado hoje nos dispositivos baseados em SiC por exemplo, esperando-se em um futuro próximo, custos equivalentes aos hoje observados nos transistores de silício (MITOVA, 2014). Hoje estes dispositivos para aplicações em conversão de energia já não são mais uma promessa e sim uma realidade, com transistores de 600 V disponíveis comercialmente por empresas como, Transphorm Inc. em parceria com a ON-Semiconductors, INFINEON em parceria com a PANASONIC e também pela empresa GAN SYSTEMS que é uma subsidiária da EPC (*efficient power conversion*) (BINDRA, 2015).

Paralelo ao avanço da tecnologia dos semicondutores, o mercado tem demandado soluções cada vez mais eficientes, com custo reduzido e alta confiabilidade. Os órgãos internacionais regulamentadores de qualidade de energia também tem exigido avanços nos equipamentos eletrônicos conectados a rede elétrica, no sentido de restringir cada vez mais os níveis de distorção harmônica causados pelos mesmos. Como exemplo claro nesse sentido, pode ser citada a revisão 4.0 da normativa IEC 61000-3-4, que reclassifica todos os refrigeradores que utilizam inversores de frequência na classe D, a vigorar a partir do ano de 2017 (IEC, 2014). Tais medidas trazem grande impacto ao setor, influenciando diretamente mais de 2 milhões de produtos fabricados anualmente somente na área de refrigeração, que demanda o desenvolvimento de conversores com elevado rendimento e alta compactação.

Frente a este cenário, este trabalho apresenta um estudo da tecnologia GaN de semicondutores de potência, visando sua aplicação em conversores estáticos. O trabalho é direcionado a conversores para correção ativa de fator de potência, visando aplicação como estágio de entrada em equipamentos que necessitem atender a futura revisão 4.0 da IEC 61000-3-4.

1.1 Objetivos do trabalho

Os principais objetivos do trabalho são:

- Realizar uma revisão bibliográfica da tecnologia GaN aplicada a semicondutores de potência, buscando entendimento de suas principais características, limitações, desafios de aplicação e estado atual de evolução da mesma.
- Realizar uma revisão bibliográfica das topologias de retificadores monofásicos com alto fator de potência, selecionando a topologia *bridgeless* com GaN HEMTs, de forma a extrair o máximo potencial da tecnologia, visando uma aplicação com tensão de entrada nominal de 220 V e 1000 W de potência de saída.
- Apresentar o equacionamento do conversor, bem como uma análise detalhada das perdas de comutação usando os transistores de GaN, de forma a buscar o claro entendimento de suas características e potencial de aplicação.
- Apresentar e validar a estratégia de controle digital para o conversor.
- Comparar as perdas elétricas no conversor operando com GaN HEMTs, com recentes dispositivos MOSFETs e IGBTs.
- Validar experimentalmente as projeções teóricas obtidas com o emprego dos GaN HEMTs, verificando também os principais desafios de sua aplicação, como por exemplo os circuitos de comando destes transistores e a imunidade do circuito as altas derivadas de tensão e corrente esperadas.
- Consolidar os conhecimentos obtidos durante o curso de mestrado profissional em engenharia elétrica, empregando as técnicas de projeto e controle de conversores estáticos adquiridas.

1.2 Organização do trabalho

Inicialmente no capítulo 2 apresenta-se uma revisão bibliográfica do GaN HEMT, suas propriedades e uma análise das etapas de funcionamento para a estrutura *cascode*. Os parâmetros do transistor empregado neste trabalho são introduzidos e o procedimento de projeto para o circuito de comando do transistor é apresentado. Por fim, algumas características de aplicação e projeto de layout são trabalhadas.

No capítulo 3, uma revisão dos retificadores monofásicos com alto fator de potência é conduzida, realizando-se a seleção da topologia a ser empregada neste estudo. São desenvolvidas as análises qualitativa e quantitativa do conversor *Bridgeless Totem Pole Boost PFC* (BTPB-PFC), operando em modo CCM. Apresenta-se também um estudo detalhado da energia de comutação esperada nos transistores.

No capítulo 4 desenvolve-se todo o projeto do conversor, compreendendo o dimensionamento do estágio de potência, circuitos de comando, sensoreamento, fonte auxiliar e projeto digital de controle. Neste capítulo uma análise teórica do rendimento do conversor é realizada, comparando-se as perdas de comutação e condução com os valores esperados para IGBTs e MOSFETs. O projeto térmico do conversor utilizando o conceito de vias térmicas é introduzido e realizado. O capítulo é concluído com resultados de simulação como forma de validação.

No capítulo 5 os resultados experimentais do conversor são apresentados. A resposta dinâmica é verificada e comparada com os resultados esperados de projeto, bem como os dados de fator de potência e rendimento do conversor são avaliados para operação com GaN HEMTs e IGBTs. Por fim, medições detalhadas das características de comutação dos transistores são apresentadas e comentadas.

No último capítulo são apresentadas as conclusões gerais do trabalho e sugestões para trabalhos futuros.

2 SEMICONDUTORES DE POTÊNCIA DE NITRETO DE GÁLIO

Este capítulo apresenta uma revisão bibliográfica da tecnologia GaN de semicondutores, visando aplicação em conversores estáticos para conversão de energia elétrica. O estudo não tem o objetivo de se aprofundar nas propriedades físicas/construtivas do semicondutor, sendo desta forma, dado o enfoque nas características de aplicação da tecnologia.

Inicialmente uma breve revisão da evolução dos transistores para aplicações em eletrônica de potência é apresentada. Na sequência as principais propriedades físicas e construtivas dos GaN HEMTs são descritas, com ênfase nos dispositivos de heterojunção -conhecidos na literatura pelo termo HFET (*Heterojunction Field Effect Transistor*)- configurados na estrutura **cascade**. Um método de projeto para determinar a impedância do circuito de acionamento de *gate* é apresentado. O capítulo conclui com uma descrição dos principais pontos de atenção e desafios para o projeto de conversores empregando GaN HEMTs.

2.1 Evolução dos transistores de potência

A história da evolução da eletrônica de potência mostra que gradualmente novas tecnologias tomam o espaço das mais antigas, como por exemplo o tubo de vácuo, que foi substituído inicialmente pelo transistor de germânio e na sequência pelo de silício (LIDOW JOHAN STRYDOM, 2012).

Nos anos 70, os transistores bipolares de potência, com capacidade de corrente na casa das centenas de ampéres e bloqueio acima de 500 volts, se tornaram largamente disponíveis. A partir dos anos 70, os MOSFETs começaram a ser introduzidos para uso em conversores, sendo que na década de 80, os IGBTs começam a ser empregados em grande escala, em praticamente todas as aplicações de média potência.

A partir de meados dos anos 80, surgem as primeiras pesquisas sugerindo o uso do material SiC para fabricação de dispositivos de potência, praticamente abrindo caminho para o desenvolvimento dos transistores e diodos HEMT (BALIGA, 2008).

Os primeiros transistores de efeito de campo empregando GaN, começaram a aparecer por volta do ano de 2004, fabricados pela empresa Eudyna Corporation. Estes transistores eram do tipo depleção, e voltados para aplicações nas áreas de RF. Em 2009, a empresa EPC (*Efficient Power Conversion*) introduziu o primeiro transistor de GaN de modo intensificação, destinado especificamente para substituir o MOSFET em aplicações de eletrônica de potência (LIDOW JOHAN STRYDOM, 2012).

Embora os MOSFETs tenham apresentado evoluções, estes não possuem o nível de eficiência e velocidade de comutação, requeridos pelos modernos sistemas de conversão de energia do futuro. Estes requerimentos no entanto, atualmente podem ser satisfeitos através da tecnologia de GaN HEMTs, prometendo atender os requisitos atuais e futuros dos engenheiros da área (LIDOW JOHAN STRYDOM, 2012).

De acordo com informações dos fabricantes, as primeiras famílias de GaN HEMTs sendo comercializadas atualmente, possuem tensão de bloqueio entre 200 V e 750 V, com capacidade de corrente na ordem de 5 A a 70 A. (TRANSPHORM..., 2016), (GANSYSTEMS..., 2016), (EPC..., 2016) e (PANASONIC..., 2016).

2.2 Propriedades do material semicondutor GaN

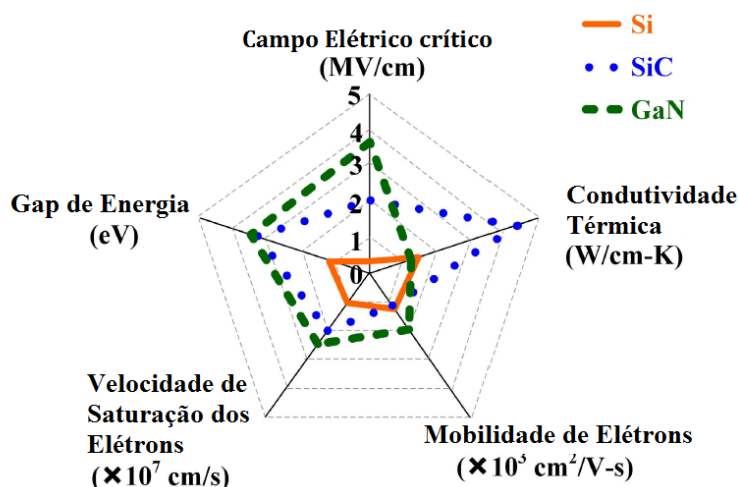
O GaN pertence a um grupo de semicondutores denominado **wide-bandgap**, sendo definidos por possuir um **gap** de energia maior que 1,7 eV (comparativamente, o silício possui **gap** de energia de 1,12 eV) (EVERTS J. DAS, 2010).

Na figura 2.1 são apresentadas algumas características do silício (Si), do nitreto de gálio (GaN) e do carbeto de silício (SiC), sendo estes dois últimos, materiais *wide-bandgap* largamente empregados nos tran-

sistores de potência. Uma maneira de traduzir essas propriedades físicas do material, de forma a permitir um comparativo entre os transistores, é calculando a melhor figura teórica das características elétricas destes, conforme apresentado na figura 2.2. Se pode observar que alguns dispositivos preliminares GaN, já ultrapassam figuras de mérito obtidas com MOSFETs, ainda com uma grande margem para evoluir.

Ainda importante salientar, que devido a propriedades dos materiais, como o alto campo elétrico crítico e alta mobilidade de elétrons, se faz possível o desenvolvimento de dispositivos com baixíssimas capacitâncias, elevada velocidade de comutação e baixa resistência elétrica do canal condutor. O elevado gap de energia e campo elétrico crítico contribuem para altas tensões de bloqueio destes materiais. A alta velocidade de saturação dos elétrons nesses semicondutores está diretamente ligada a uma maior velocidade de comutação (JONES, 2016).

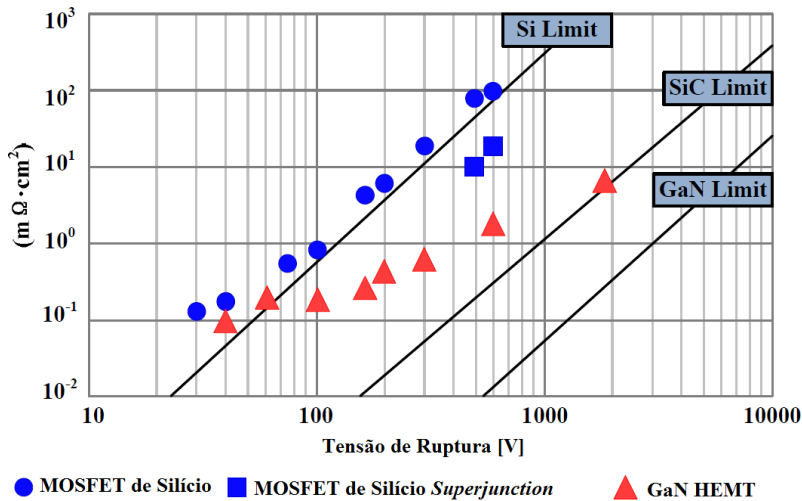
Figura 2.1: Comparativo de características do silício (Si), do nitreto de gálio (GaN) e do carbeto de silício (SiC) para aplicações em semicondutores.



Fonte: Produção do autor, adaptado de (JONES, 2016).

Vale ressaltar a capacidade de operação dos semicondutores *wide-bandgap* em alta temperatura, com destaque para o SiC, fazendo

Figura 2.2: Limites teóricos de resistência específica (RDS_{on}) e tensão de ruptura para os materiais GaN, SiC e Si.



Fonte: Produção do autor, adaptado de (HUANG, 2013).

destes ótimos candidatos para operação em ambientes agressivos e aplicações de alta confiabilidade, como por exemplo aeroespacial (LUTZ H. SCHLANGENOTTO, 2011).

A razão para tamanho interesse no emprego do nitreto de gálio se dá principalmente pelo custo da solução, quando comparado com outros materiais **wide-bandgap**, como SiC, diamante ou o arsenieto de gálio (GaAs). Ainda, pode-se ressaltar o número limitado de fornecedores para o SiC e diamante, e também o fato destes materiais, não serem facilmente fabricados em grandes tamanhos de substratos (*wafer*). Por outro lado, o GaN pode ser depositado em grandes substratos de silício, apresentando desta forma, uma vantagem muito grande do ponto de vista de custo.

Embora a deposição de GaN em silício inicialmente tenha se mostrado complexa, passando por uma série de problemas devido a estrutura cristalina dos materiais, atualmente estes problemas já são con-

siderados como resolvidos, permitindo uma redução de custo na ordem de 100 vezes, quando comparado a deposição em SiC (EVERTS J. DAS, 2010).

2.2.1 Transistores de GaN

Os transistores de GaN são dispositivos de efeito campo, caracterizados pela alta mobilidade de elétrons, conhecidos pelo termo em inglês HEMTs (*High Electron Mobility Transistors*) (MIMURA, 2002).

Em geral existem dois tipos de estruturas construtivas básicas sendo empregadas nos GaN HEMTs, as verticais e as laterais. Segundo (JONES, 2016), as estruturas verticais são as que possuem o maior potencial para extrair todos os benefícios do material GaN, sendo similar as estruturas empregadas nos atuais dispositivos a base de Si e SiC. No entanto, a falta de *wafers* GaN de alta qualidade e baixo custo, tem limitado os avanços destas estruturas.

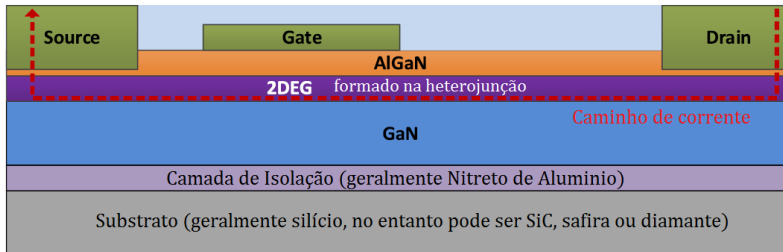
Grande parte dos transistores de GaN disponíveis atualmente são dispositivos com estrutura lateral, sendo conhecidos na literatura como HFETs (*Heterojunction field effect transistor*), ou também simplesmente como HEMTs (JONES, 2016). Este tipo de transistor, incorpora a junção de materiais com **gap** de energia diferente, de forma a criar o canal de condução de corrente, conhecido como 2DEG (*Two Dimentional Electron Gas*). No caso dos GaN HEMTs, os materiais geralmente utilizados para formar a heterojunção são o GaN e o AlGaIn (alumínio - nitreto de gálio).

Nos transistores de silício, para permitir a condução de corrente ocorre a dopagem do substrato com impurezas, de forma a gerar elétrons livres (substrato N) ou lacunas (substrato P). No entanto, este tipo de processo acaba gerando colisões dos elétrons livres com as impurezas dopantes, que acabam dificultando o fluxo de elétrons pela estrutura. Os HEMTs evitam esse efeito através do canal 2DEG formado pela heterojunção dos materiais de alta mobilidade (MIMURA, 2002). A estrutura

2DEG consiste em uma camada bem fina de elétrons de alta mobilidade e alta concentração, que permite o fluxo de elétrons em apenas duas dimensões, dando ao canal resistividade extremamente baixa.

A estrutura básica do transistor GaN HFET lateral é apresentada na figura 2.3. Da mesma forma que no MOSFET, existem os terminais *drain*, *source* e *gate*. Os terminais *drain* e *source* são conectados através da camada de AlGaIn, de forma a entrar em contato com o túnel 2DEG, formando um caminho direto a passagem de corrente elétrica. Para que seja possível bloquear o transistor, deve ser criada uma região de depleção no túnel 2DEG, de forma análoga ao que acontece no MOSFET. Desta forma, este tipo de transistor GaN é denominado de HFET de depleção (LIDOW JOHAN STRYDOM, 2012).

Figura 2.3: Estrutura básica de um GaN HFET lateral de modo depleção.



Fonte: (JONES, 2016).

Este tipo de transistor apresenta limitações para aplicações em eletrônica de potência, pelo fato de ser um transistor normalmente *ON*. Devido a esta característica, estes são comumente arrançados em uma estrutura denominada de **cascade**, onde um MOSFET do tipo **intensificação** de baixa tensão é utilizado para comandar o bloqueio e entrada em condução do GaN HEMT de depleção. O arranjo GaN HEMT **cascade** será estudado na seção 2.3.

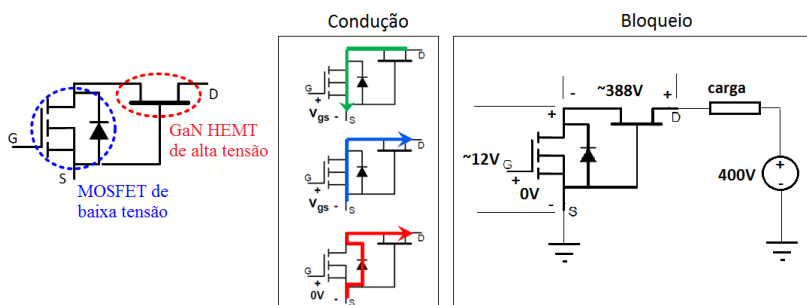
Embora a estrutura apresentada na figura 2.3 seja nativamente de um transistor de **depleção**, a construção do *gate* pode ser modificada, transformando este em um dispositivo de intensificação. Algumas empre-

sas como PANASONIC e EPC já possuem dispositivos de intensificação sendo comercializados. Em (JONES, 2016) são apresentadas características importantes destes transistores, que de maneira geral apresentam a vantagem de não necessitar do MOSFET de baixa tensão como no arranjo *cascode*, auferindo a este ótimas figuras de mérito tanto em comutação quanto condução. Importante ressaltar que para estes transistores, o circuito de comando tende a ser mais complexo e susceptível a ruídos, visto que a tensão de *threshold* nestes costumam se situar entre 1V a 2V.

2.3 GaN HEMT cascode

Um dispositivo do tipo normal *OFF*, pode ser realizado empregando-se um GaN HEMT de modo depleção, conforme apresentado na figura 2.4. Este arranjo é denominado ***cascode***, e caracteriza-se pelo uso de um MOSFET do tipo intensificação de baixa tensão, associado ao GaN HEMT dentro do mesmo encapsulamento. Os dois dispositivos são interligados de tal forma, que a tensão entre *drain-source* do MOSFET, represente a tensão *gate-source* do GaN HEMT.

Figura 2.4: Diagrama esquemático da estrutura *cascode*, com seus modos de operação.



Fonte: Produção do autor, adaptado de (HUANG, 2013).

A estrutura em ***cascode***, permite que se possam utilizar *drivers* compatíveis com MOSFETs para o comando destes transistores (HUANG, 2013). De maneira geral, a resistência do canal do MOSFET de

baixa tensão é muito menor que a resistência do canal do GaN HEMT, desta forma o aumento de perdas por condução é mínimo.

O GaN HEMT devido a sua construção, não possui diodo intrínseco. No entanto, ambos o GaN HEMT de intensificação e depleção, possuem mecanismo de condução reversa (JONES, 2016). Esta é uma característica muito importante destes transistores, que permitem eliminar o efeito de recuperação reversa do diodo intrínseco presente nos MOSFETs, que muitas vezes tende a limitar sua gama de aplicações. No arranjo **cascade**, existe a recuperação reversa do diodo intrínseco do MOSFET de baixa tensão, que no entanto, tende a ser muito menor que a observada nos MOSFETs de alta tensão, trazendo desta forma pouco impacto para a aplicação.

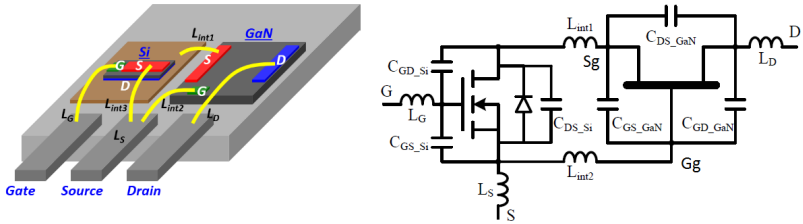
Na figura 2.4 tem-se uma ilustração com os possíveis modos de operação da estrutura **cascade**, onde verifica-se operação similar a observada nos transistores MOSFET.

2.3.1 Modelo elétrico

Na figura 2.5 tem-se o modelo elétrico aproximado do GaN HEMT **cascade**, com a inclusão das indutâncias e capacitâncias parasitas. Em (HUANG QIANG LI, 2013) um modelo analítico é deduzido a partir deste, de forma a permitir a estimativa de perdas de comutação, levando em consideração as não idealidades apresentadas pelo transistor. Verifica-se que os resultados obtidos apresentam boa correlação com dados experimentais.

Embora o procedimento apresentado em (HUANG QIANG LI, 2013) apresente bons resultados, uma série de parâmetros utilizados para as estimativas de perdas, muitas vezes são de difícil obtenção, como as indutâncias parasitas da placa e dos transistores, a modelagem das capacitâncias internas, curvas de transcondutância e além disso, os cálculos empregados que apresentam certa complexidade.

Figura 2.5: Circuito equivalente do GaN HEMT *cascode*, incluindo as indutâncias e capacitâncias parasitas.



Fonte: (HUANG QIANG LI, 2013).

2.3.2 Funcionamento da estrutura cascode

As etapas de funcionamento da estrutura **cascode** GaN, considerando o acionamento de carga indutiva e empregando um circuito característico similar ao da figura 3.15 é descrito detalhadamente em (HUANG QIANG LI, 2013).

De forma simplificada, o estado *Condução/Bloqueio* do MOSFET de baixa tensão, controla o estado *Condução/Bloqueio* do GaN HEMT.

Sendo o MOSFET comandado ao estado de bloqueio, a tensão nos seus terminais *drain-source* aumenta, até o valor necessário para bloquear o GaN HEMT, visto que esta é a sua própria tensão *gate-source*. Quando o MOSFET é comandado para entrar em condução, a sua tensão *drain-source* é reduzida próximo de zero, desta forma colocando o GaN HEMT de depleção em condução, pois a sua tensão *gate-source* será também próxima de zero.

Uma característica importante inerente ao GaN HEMT **cascode**, é a energia praticamente desprezível de bloqueio devido a alta velocidade de comutação, podendo chegar a valores de dv/dt próximos de 100V/ns, conforme apresentado e verificado experimentalmente em (HUANG, 2013) e (HUANG QIANG LI, 2013).

2.4 Circuito de comando do GaN HEMT *cascade*

O dimensionamento do circuito de comando do GaN HEMT ***cascode*** é similar ao adotado para os MOSFETs, sendo esta uma das vantagens deste transistor.

Para que o transistor seja acionado de maneira adequada, o circuito de comando deve ser dimensionado para fornecer uma determinada corrente ao terminal *gate*, de tal forma que a tensão neste transite do valor referente ao bloqueio, até o valor que coloca o transistor em condução, dentro de um determinado intervalo de tempo que usualmente é critério de projeto.

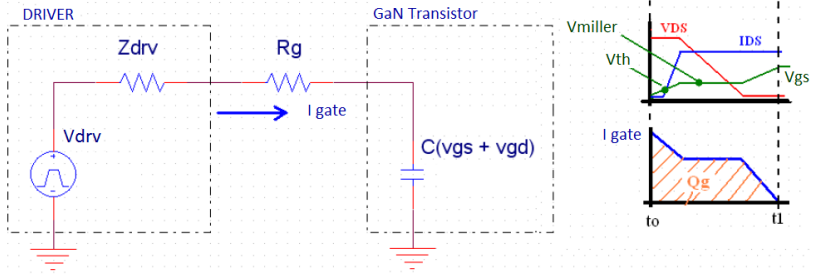
O emprego do modelo completo da figura 2.5 para o dimensionamento do circuito de comando, traz uma série de complexidades, visto que as capacitâncias presentes no circuito apresentam características não lineares, variando de acordo com o ponto de operação do transistor e com as diversas transições de tensão e corrente que ocorrem internamente durante a entrada em condução ou bloqueio. Desta forma, um método de projeto baseado no valor de Q_g (carga total de *gate*) será utilizado (MCARTHUR, 2001) (IR, 2010).

2.4.1 Procedimento de projeto da impedância do circuito *gate driver*

Os fabricantes geralmente fornecem o parâmetro Q_g para os transistores de efeito de campo, que indica a carga total necessária vista pelo terminal *gate*, para colocar o transistor em condução (IR, 2010). O Q_g é computado através da integração da corrente consumida pelo terminal *gate*, sendo este processo representado graficamente pela área Q_g na figura 2.6 e definida pela equação 2.1. Na figura 2.6 também é representado o diagrama usado para dimensionar as características de impedância do circuito de comando, onde Z_{drv} é a impedância interna do circuito de comando, R_g o valor de resistor de *gate* externo, V_{drv} a tensão de comando e $C(vgs + vgd)$ uma representação da capacitância de *gate*

que varia em função das tensões *gate-source* e *gate-drain* do transistor durante a comutação.

Figura 2.6: Circuito equivalente para dimensionamento da impedância do circuito de comando.



Fonte: Produção do autor.

$$Q_g = \int_{t_0}^{t_1} I_{gate}(t).dt \quad (2.1)$$

Para determinar o valor da corrente necessária que deve ser fornecida pelo circuito de comando, inicialmente se define o tempo desejado de entrada em condução do transistor. Emprega-se então a equação 2.2 que determinará a corrente média que deve ser fornecida pelo circuito de comando durante o intervalo de tempo $t_0 - t_1$, de modo que o transistor entre em condução.

$$I_{drv} = \frac{Q_g}{t_0 - t_1} \quad (2.2)$$

Com base na corrente I_{drv} , define-se a impedância máxima do circuito de comando, bem como o valor da tensão V_{drv} . A corrente no *gate* depende da tensão aplicada, sendo que pode-se considerar que uma vez ultrapassado o patamar de **Miller** nesse terminal, o transistor encontra-se em condução. De acordo com (L.BALOGH, 2001), o valor da tensão de **Miller** pode ser aproximado pela equação 2.3, onde V_{th} é a tensão

de *threshold*, I_{DS} é a corrente de dreno e Gfs é a transcondutância do transistor.

$$V_{miller} = V_{th} + \frac{I_{DS}}{Gfs} \quad (2.3)$$

O valor da impedância máxima do circuito de comando é definido pela equação 2.4, onde V_{drv} é a tensão da fonte de comando.

$$Z_{max} = Z_{drv} + R_g = \frac{V_{drv} - V_{miller}}{I_{drv}} \quad (2.4)$$

Conhecendo-se o valor da impedância máxima total do comando do GaN HEMT, pode-se selecionar um circuito integrado de *gate driver*. Importante salientar que outros critérios, como velocidade de comutação, imunidade a dv/dt , tempos de propagação, tempo morto, etc, devem ser também levados em consideração no momento de definição do circuito integrado.

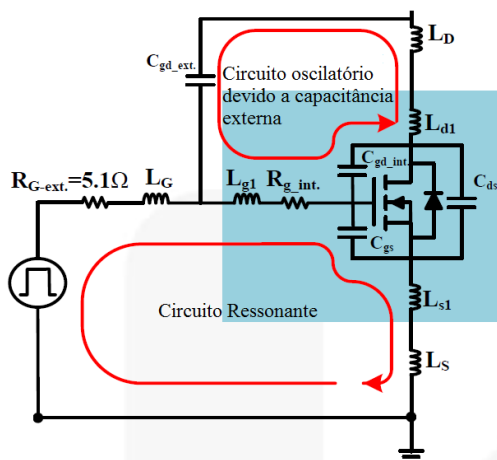
2.4.2 Orientações para *layout* e imunidade a ruído elétrico

Os GaN HEMTs, apresentam eventos de dv/dt e di/dt maiores que os observados tradicionalmente nos MOSFETs e IGBTs, conferindo extrema importância ao layout da placa de circuito impresso. Os laços criados pelas trilhas de interligação entre o circuito de comando e o transistor de potência, devem ser as menores possíveis de forma a reduzir ao máximo, possíveis oscilações devido as características parasitas. Também se faz necessário, avaliar os efeitos que as altas derivadas de tensão e corrente podem causar no circuito. Em (LIDOW JOHAN STRYDOM, 2012) um capítulo inteiro é dedicado ao estudo mais aprofundado dos circuitos de comando e boas técnicas de layout para os GaN HEMTs.

Três fenômenos que merecem atenção especial, podendo ocasionar problemas como queimas dos transistores e instabilidades na comutação são apresentados abaixo:

a) Oscilação Parasita:

Figura 2.7: Circuito LCR formado pelas indutâncias e capacitâncias parasitas no acionamento do transistor.



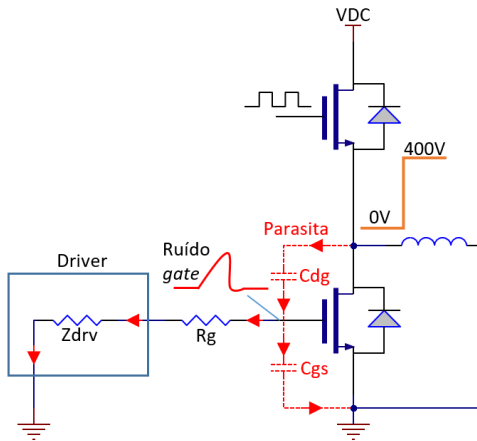
Fonte: Produção do autor, adaptado de (FAIRCHILD, 2014).

O circuito formado pelas não idealidades do componente, como indutâncias e capacitâncias das trilhas da placa de circuito impresso, formam um circuito LCR, conforme apresentado na figura 2.7, que dependendo de suas características de ressonância, podem levar o transistor a um acionamento indesejado causando sua queima (FAIRCHILD, 2014). De forma a amortecer o efeito desta ressonância, pode ser incluído no circuito um componente conhecido como *ferrite bead*, que exibe uma característica onde a resistência ôhmica aumenta com a frequência. Desta forma, conhecendo-se a frequência de ressonância formada pelas não idealidades apresentadas na figura 2.7, pode-se selecionar um **ferrite bead** que tenha alta resistividade na frequência de ressonância, e baixa impedância na região de operação, desta forma atenuando possíveis oscilações no circuito.

b) Ruído de *gate* devido a alto dv/dt :

Outro fenômeno extremamente relevante é o ruído causado no terminal *gate*, quando o transistor é submetido a altos valores de dv/dt .

Figura 2.8: Ruído de *gate* causado por altos valores de dv/dt no terminal dreno.



Fonte: Produção do autor.

Este fenômeno ocorre por exemplo, em aplicações de inversores, onde se tem transistores configurados em ponte (FAIRCHILD, 2014). Quando ocorre uma grande variação de tensão no terminal dreno do transistor, a capacitância parasita C_{gs} (*gate – dreno*) tem que ser carregada, causando desta forma uma circulação de corrente que percorre o circuito de comando do transistor, de acordo com a ilustração apresentada na figura 2.8. A tensão gerada por este fenômeno pode colocar o transistor em condução indevidamente, levando a queima do mesmo.

Conhecendo-se o valor de dv/dt e os dados de *datasheet* do transistor para C_{gs} e C_{dg} , pode-se calcular a tensão que vai surgir no terminal *gate*. Caso este valor ultrapasse a tensão de *threshold* do GaN HEMT, alguma medida deve ser adotada para redução do ruído, como por exemplo: redução da impedância do circuito de comando; aplicação de uma tensão de bloqueio negativa para bloqueio do transistor; adição de uma pequena capacitância entre os terminais *gate* e *source*; e/ou o emprego de circuitos de aceleração de bloqueio conforme demonstrado em (FAIRCHILD, 2014).

c) Baixa imunidade do circuito *driver* a dv/dt :

Conforme apresentado em (ZHANG, 2014), as altas derivadas de tensão impostas pela comutação dos GaN HEMTs, podem causar acionamentos indevidos nas configurações (*totem pole*), caso o circuito *driver* não tenha a imunidade adequada. Desta forma se faz necessário o emprego de *drivers* com alta imunidade a tensão de modo comum (geralmente acima de 50V/ns) nessas aplicações.

2.5 Características térmicas do GaN HEMT

Os GaN HEMTs, apresentam coeficiente de temperatura positivo para a resistência do canal (RDS_{on}), similar aos MOSFETs de Silício. A tensão de **threshold**, em geral apresenta pequena variação com a temperatura, também com coeficiente positivo (JONES, 2016). As características térmicas do GaN HEMT permitem seu emprego em paralelo (LIDOW JOHAN STRYDOM, 2012), no entanto, devido suas características de comutação ultra-rápida, os desafios deste tipo de configuração são altos, demandando um projeto de PCB meticuloso .

O projeto térmico para estes dispositivos pode ser desafiador, visto que boa parte utiliza encapsulamento SMT, visando aplicações compactas. Muitas vezes é necessário o emprego de vias térmicas na PCB para transferência de calor entre o componente e o dissipador. Alguns fabricantes possuem dispositivos SMT com região de dissipação na parte superior, podendo facilitar o projeto, evitando o uso da PCB como caminho para a transferência de calor.

2.6 Conclusão

Neste capítulo foi apresentada uma revisão bibliográfica das principais características do material semicondutor GaN, visando aplicação em semicondutores de potência. Os principais aspectos físicos e como tais características se traduzem em um melhor desempenho no transistor, foram brevemente explanados. Os GaN HEMTs de intensificação e

depleção foram apresentados, sendo o arranjo **cascade** estudado e avaliado em mais detalhes.

Verifica-se que a geração atual de GaN HEMTs, já apresentam figuras de mérito superiores aos transistores de silício, ainda com um grande potencial a ser explorado.

Os GaN HEMTs em comercialização atualmente, empregam estrutura lateral, existindo transistores de modo depleção, e modo intensificação. Com o uso da estrutura **cascade**, é possível desenvolver dispositivos normalmente desligado, empregando GaN HEMTs de modo depleção.

De maneira geral, os principais atributos da tecnologia são a elevada velocidade de comutação (com derivadas de tensão na ordem de 50 a 100 V/ns), baixas perdas de condução, capacitâncias reduzidas e sua característica única de condução reversa, permitindo excelente desempenho em aplicações de comutação forçada (**hard switch**).

A estrutura **cascade** apresenta algumas vantagens como a facilidade de comando, que é similar a um MOSFET de silício, maior imunidade a ruídos devido a maior tensão de **threshold** e reduzidas perdas de bloqueio. No entanto, devido ao MOSFET de baixa tensão, existe uma parcela de carga de recuperação reversa Q_{rr} neste arranjo, que embora seja extremamente pequena quando comparado a MOSFETs de maior tensão, ainda pode trazer algum impacto com comutação.

O GaN HEMT de intensificação, por ser um dispositivo normalmente desligado, não tem as perdas associadas ao MOSFET de baixa tensão presente na estrutura **cascade**. Desta forma, este dispositivo possui zero Q_{rr} , sendo extremamente interessante para aplicações de comutação forçada, devido a não-existência de recuperação reversa do diodo. Como ponto negativo, devido sua tensão de **threshold** muito baixa (1V a 2V), estes dispositivos em geral apresentam maior complexidade para aplicação e imunidade a ruídos.

Em geral, observa-se um grande desafio à aplicação desses transistores, principalmente devido a sua alta velocidade de comutação, que

demanda um projeto de PCB muito mais criterioso, levando em consideração indutâncias e capacitâncias parasitas, de forma a manter o dispositivo operando de maneira confiável.

Por fim, observa-se um grande interesse da comunidade científica pela tecnologia, visto o número de trabalhos que vem sendo publicados relacionados ao tema e também o grande número de fabricantes envolvidos no desenvolvimento de novos dispositivos. Nos dias de hoje, os GaN HEMTs já são uma realidade, com dispositivos acima de 600V comercialmente disponíveis para aplicações em eletrônica de potência.

3 ESTUDO DO CONVERSOR BTPB-PFC EMPREGANDO GAN HEMT

Este capítulo inicia com um resumo dos conceitos básicos de fator de potência, bem como suas particularidades para cargas não lineares. Na sequência uma revisão dos principais retificadores monofásicos de alto fator de potência é apresentada, sugerindo o emprego do conversor BTPB-PFC, para avaliação das principais características do GaN HEMT no desenvolvimento de um conversor com alto rendimento.

Na sequência é apresentada a análise teórica do conversor *bridgeless totem pole boost PFC* (BTPB-PFC) operando em modo de condução contínua (CCM). As operações em modo de condução crítica (CrCM) e descontínua (DCM), não foram consideradas neste trabalho, pois devido a característica de corrente pulsada na entrada do conversor, demandam um filtro LC adicional. Também pelo fato deste trabalho ter como um de seus objetivos explorar as características de comutação forçada dos GaN HEMTs, os modos DCM e CrCM foram desconsiderados.

São exploradas as etapas de operação do conversor, destacando os circuitos simplificados de cada etapa e as principais formas de onda idealizadas. Na sequência o equacionamento do conversor é desenvolvido, onde são apresentadas as equações que definem os esforços de tensão e corrente nos semicondutores e nos elementos passivos do circuito. Por fim, uma análise detalhada da energia de comutação nos transistores é realizada, apresentando como resultado as equações e procedimentos adotados para a estimativa de perdas nos semicondutores e elementos passivos.

3.1 Conceitos fundamentais de fator de potência

O fator de potência FP é uma figura de mérito, que relaciona o quanto efetivamente a energia é transferida entre a fonte e a carga (ERICK-

SON; MAKSIMOVIC, 2001). O FP varia entre 0 e 1, sendo definido pela razão entre a potência ativa P e a potência aparente S , conforme apresentado na equação 3.2. Esse conceito é amplamente conhecido e difundido pelo triângulo das potências, que relaciona as potências ativa P , reativa Q e aparente S .

$$P = \frac{1}{T} \int_0^T V(t) \cdot I(t) \cdot dt \quad (3.1)$$

$$FP = \frac{P}{S} = \frac{P}{V_{rms} \cdot I_{rms}} = \cos(\phi) \quad (3.2)$$

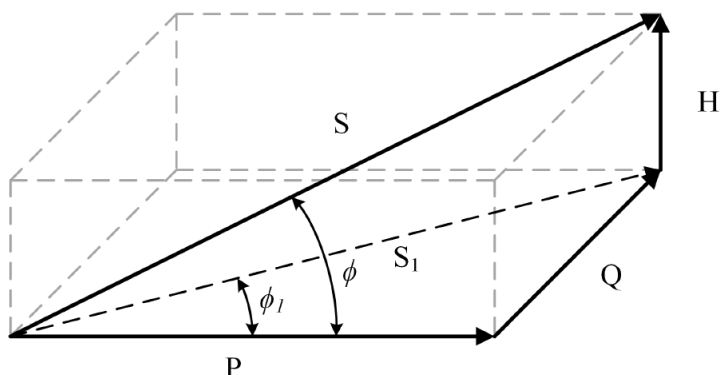
Para condições onde empregam-se circuitos não lineares, alimentados por uma fonte de tensão senoidal (como por exemplo os retificadores com filtro capacitivos), ocorre uma distorção na forma de onda de corrente, impactando diretamente o fator de potência. Nestes casos, conforme (AKAGI E. WATANABE, 2007) o sistema pode ser melhor representado pelo tetraedro das potências da figura 3.1, onde a componente reativa é composta por uma parcela Q , definida pela defasagem entre as fundamentais de tensão e corrente e por uma parcela H , relativa a distorção harmônica de corrente.

O fator de potência, pode então ser calculado pela equação 3.3, para situações onde a tensão é senoidal, possuindo corrente com qualquer forma de onda, desde que tenha um comportamento periódico na mesma frequência da tensão (ERICKSON; MAKSIMOVIC, 2001).

$$FP_H = \frac{\cos(\phi)}{\sqrt{1 + DHT_i^2}} \quad (3.3)$$

Fica evidente que altos valores de distorção harmônica total DHT, prejudicam o fator de potência dos sistemas. Esse fenômeno não é desejado, principalmente pelas concessionárias de energia, pois demandam um sobredimensionamento das linhas de transmissão, visto o aumento do valor eficaz da corrente, dentre outros problemas, como distorção na tensão da rede e ruídos elétricos indesejáveis.

Figura 3.1: Tetraedro das potências para cargas não lineares.



Fonte: (BRUNNING, 2015).

O crescente emprego de circuitos eletrônicos com cargas não lineares, como por exemplo os inversores de frequência e fontes chaveadas dos modernos refrigeradores, máquinas de lavar roupa e sistemas de ar condicionado, demandam alguma forma de redução da DHT da corrente, de maneira a amenizar seu impacto na rede elétrica. Existem normas internacionais que regem esses limites, como por exemplo a IEC 61000-3-2, que se aplica mais especificamente aos limites harmônicos de corrente em equipamentos com corrente eficaz menor que 16A, como os refrigeradores domésticos.

Uma solução geralmente utilizada pelos fabricantes, especialmente de forma a atender critérios mais restritivos das normas (como por exemplo a classe D da IEC 61000-3-2), é o emprego de retificadores ativos com alto fator de potência. Conforme verificado em (BRUNNING, 2015), esses conversores em geral apresentam distorção harmônica bem baixa, permitindo facilmente o atendimento aos requisitos da norma IEC 61000-3-2.

3.2 Revisão bibliográfica dos retificadores *boost* de alto fator de potência

Os retificadores de alto fator de potência são conversores CA-CC ativos, geralmente utilizados como estágio de entrada de outros conversores, como por exemplo, inversores de frequência e fontes de alimentação de computadores. Em sua grande maioria são conversores elevadores de tensão, formados por uma ponte retificadora a diodos, seguido de um conversor elevador *boost* (SOUZA, 1998). Esses conversores atuam controlando a corrente no elemento indutivo, com o objetivo de obter uma corrente com o mesmo formato e em fase com a tensão da rede, obtendo assim fator de potência unitário.

Existe a demanda dos mercados por equipamentos cada vez mais eficientes do ponto de vista energético, mais compactos, com alta confiabilidade e com baixo custo. Os retificadores *bridgeless* tem atraído bastante atenção da indústria, visto suas características alinhadas a essas demandas.

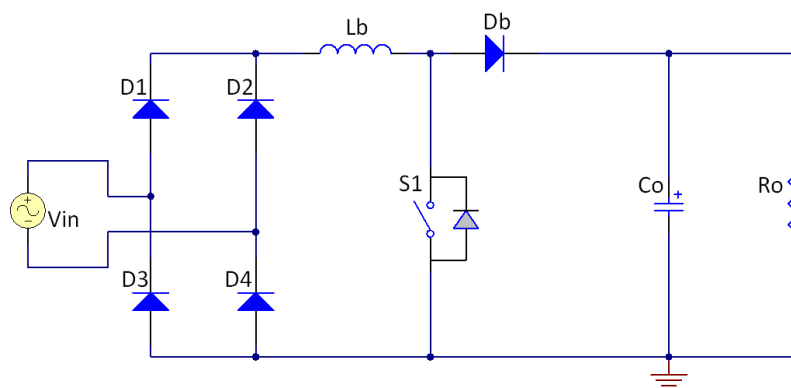
3.2.1 Boost PFC convencional

O conversor boost PFC clássico apresentando na figura 3.2 é largamente empregado como estágio de entrada em conversores que demandam correção ativa de fator de potência. Isso se deve em grande parte a seus atributos, como simplicidade do circuito de comando e medição de corrente, além de baixos níveis de ruídos eletromagnéticos. Este conversor no entanto, apresenta perdas de condução relativamente elevadas, devido ao fato de sempre existirem três semicondutores no caminho da corrente.

3.2.2 Conversores boost PFC *bridgeless*

O emprego em larga escala dos conversores estáticos nos mais diversos equipamentos, tem demandado uma busca por conversores mais eficientes, compactos, com alta confiabilidade e baixo custo. Os converso-

Figura 3.2: Conversor boost PFC clássico.



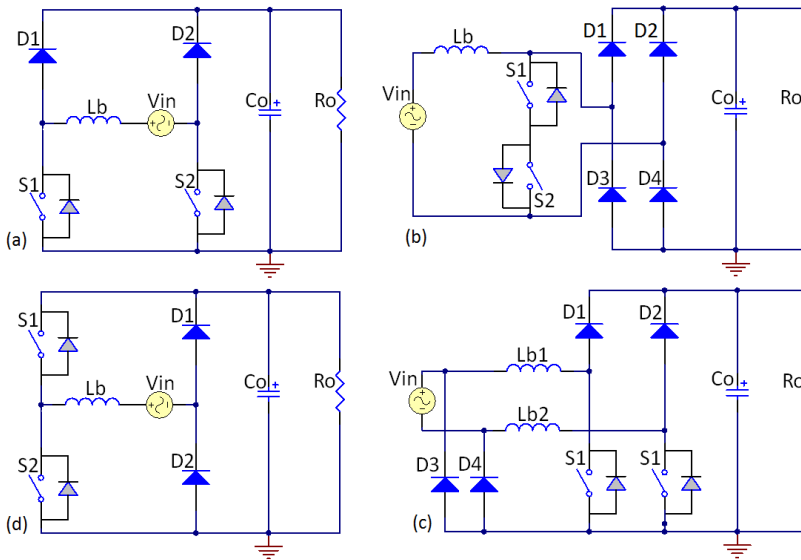
Fonte: Produção do autor.

res denominados *bridgeless*, tem atraído considerável atenção de diversos estudos, devido suas características de baixas perdas de condução e redução do número de semicondutores (FIGUEIREDO, 2010) (HUBER, 2008a) (MASUMOTO; SHOYAMA, 2012) (LI, 2009).

Em (SOUZA, 1998) o conversor *bridgeless* básico (a) da figura 3.3 é apresentado, tendo como principais atributos as reduzidas perdas de condução, simplicidade do circuito de comando e medição de corrente. Ainda em (SOUZA, 1998), propostas para se obter ZCS (*zero current switching*) ou ZVS (*zero voltage switching*) nesta topologia são apresentadas, no entanto com uma penalidade na complexidade e custo do circuito. Conforme verificado em (LI, 2009), esta topologia apresenta elevado ruído de modo comum, praticamente inviabilizado seu uso, visto a complexidade para atendimento as normas de compatibilidade eletromagnética.

A topologia (b) da figura 3.3, denominada *boost* PFC com chave bidirecional, também apresenta somente dois semicondutores no caminho da corrente, no entanto é penalizada pela complexidade do circuito de comando, além de demandar o uso de diodos de alta velocidade e apresentar desvantagens com relação a tensão de modo comum.

Figura 3.3: Principais topologias de conversores *bridgeless*.



Fonte: Produção do autor.

No circuito (c) da figura 3.3, tem-se uma configuração operando como dois conversores *boost* independentes. Nesta topologia também pode-se esperar alto rendimento, com tensão de modo comum similar a existente no *boost* clássico. No entanto este circuito demanda o uso de diodos adicionais, além do uso de dois indutores, penalizando severamente o custo da solução.

Em (LANGE, 2012) um estudo de uma estrutura de três níveis com alto rendimento é desenvolvido, no entanto demandando 10 semicondutores para sua realização, implicando desta forma em maior complexidade e custo.

3.2.2.1 Conversor bridgeless totem pole boost PFC (BTPB-PFC)

A topologia apresentada em (d) da figura 3.3 é conhecida na literatura como *bridgeless totem pole boost PFC* (BTPB-PFC), devido ao

posicionamento das chaves S1 e S2. Este conversor apresenta boas figuras de mérito em termos de número de componentes e características de EMI, além de excelente rendimento, quando comparado com as principais topologias levantadas neste estudo. Os diodos D1 e D2 são diodos lentos, permitindo dessa forma sua substituição por MOSFETs para retificação síncrona, permitindo reduzir ainda mais as perdas de condução.

Em (LI, 2009), avaliou-se o rendimento teórico para um BTPB-PFC de 3,5 kW levando-se em consideração somente perdas de condução. Observou-se 99,5 % de rendimento, destacando esta topologia como a de melhor rendimento entre estas avaliadas. Em (BRUNNING, 2015) são avaliadas as perdas de comutação, dentre outros fatores. Neste trabalho verifica-se que as perdas de comutação são similares para estes conversores aqui apresentados, sendo diferenciadas pelos parâmetros dos componentes empregados.

Um dos principais pontos negativos que tem limitado sua aplicação no entanto, são as elevadas perdas de comutação para operação em CCM, devido a característica de recuperação reversa do diodo intrínseco do MOSFET. No caso de aplicação com IGBTs conforme proposto em (BRUNNING, 2015), esta característica pode ser eliminada através do uso de diodos de SiC em paralelo com os transistores. Esta abordagem no entanto, implica em um custo adicional devido a estes diodos e também adiciona um impacto negativo nas perdas de comutação, devido as características de bloqueio do IGBT. Este conversor com IGBTs, tende também a apresentar maiores perdas de condução nos transistores do que uma configuração com MOSFETs -para a faixa de potência avaliada neste trabalho-, especialmente para operações em baixa carga, conforme será apresentado em mais detalhes no capítulo 4.

Espera-se que as características de condução e comutação apresentadas pela tecnologia de semicondutores de GaN, em especial a não-existência do fenômeno de carga de recuperação reversa Q_{rr} nos GaN HEMTs de intensificação, ou o valor extremamente pequeno da estrutura **cascade**, permitam a operação deste conversor em modo CCM, com ní-

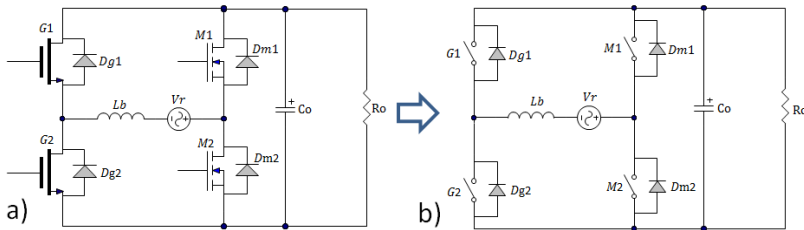
veis de rendimento não possíveis de serem obtidos com IGBTs ou MOSFETs.

A topologia BTPB-PFC será empregada no restante deste trabalho, como forma de avaliar os GaN HEMTs **cascode** e o suas características.

3.3 Análise Qualitativa do conversor BTPB-PFC

Na Figura 3.4 é apresentado o esquemático do conversor sob estudo. De forma a simplificar a representação gráfica do caminho da corrente, os transistores foram substituídos por chaves ideais, com diodos em paralelo conforme o diagrama simplificado (b) da figura 3.4.

Figura 3.4: Diagrama esquemático do conversor BTPB-PFC. (a) Circuito com GaN HEMTs e MOSFETs, (b) Circuito simplificado com chaves ideais.



Fonte: Produção do autor.

A análise qualitativa e as deduções do equacionamento do conversor consideram algumas simplificações no circuito:

- Os diodos e transistores são considerados chaves ideais, não possuindo resistência ôhmica no caminho da corrente.
- Os transistores entram em condução instantaneamente quando acionados, não apresentando desta forma perdas por comutação.
- Todos os componentes passivos tem comportamento linear, invariante no tempo e independente da frequência.

- A resistência série dos indutores e capacitores são desprezadas.
- A impedância da fonte de alimentação é zero.

3.3.1 Análise do semi-ciclo positivo da rede

O estudo do conversor no semi-ciclo positivo de tensão da rede, apresenta as formas de onda idealizadas para todas as etapas de operação. Nesta análise, a tensão de entrada V_r em um período de comutação T é considerada constante, pois a frequência de comutação do conversor é muito maior que a da rede. A análise tem como objetivo principal, levantar as formas de onda de tensão e corrente no indutor, de forma a permitir o equacionamento do conversor. São apresentadas também, as principais formas de onda dos comandos dos transistores e corrente nos semicondutores.

A tensão da rede V_r tem a forma apresentada na equação 3.4, sendo que assim, o semi-ciclo positivo compreende o intervalo em que $(0 \leq \omega.t \leq \pi)$.

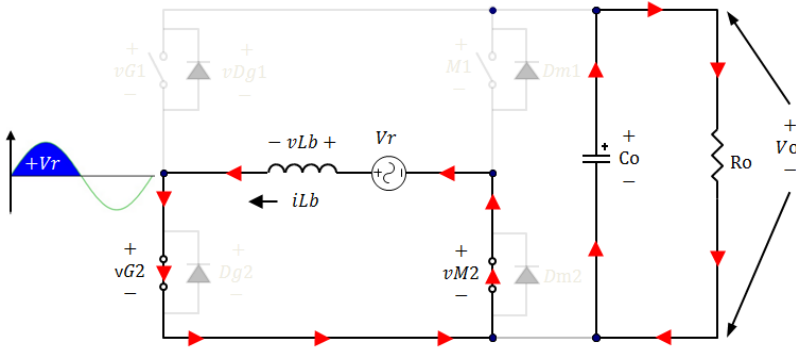
$$V_r(t) = V_p.\text{sen}(\omega.t) \quad (3.4)$$

3.3.1.1 Etapa de operação 1

O primeiro estágio de operação compreende o tempo $(0 \leq t \leq DT)$, onde D é a razão cíclica do conversor e T é o período de comutação. Neste estágio ocorre o armazenamento de energia no indutor L_b , sendo que a transferência de energia para carga é feita integralmente pelo capacitor de saída C_o .

Na figura 3.5, verifica-se o sentido da corrente no circuito denotado pelas setas. Neste estado, os transistores $G2$ e $M2$ estão ligados, e a corrente passa pelo seu canal condutor. A tensão aplicada sobre o indutor é a própria tensão da rede.

Figura 3.5: Primeira etapa de operação para $(0 \leq t \leq DT)$.



Fonte: Produção do autor.

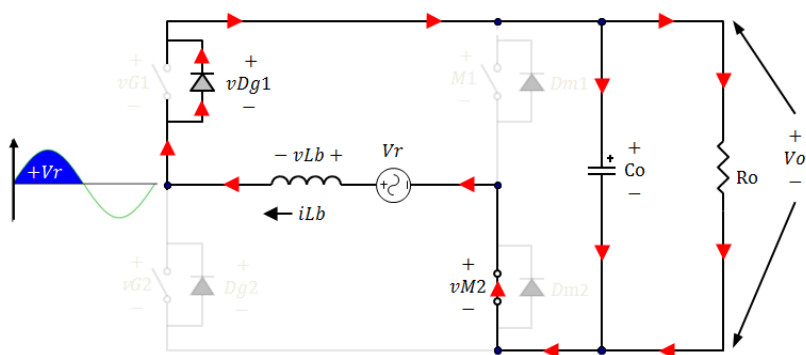
Um ponto importante a ser ressaltado aqui é com relação ao transistor $M2$ que é utilizado como retificador síncrono. Pode-se verificar que o sentido da corrente em $M2$ é tal, que polarizaria o diodo intrínseco $Dm2$ a conduzir, no entanto esta técnica é utilizada para forçar a corrente a circular pelo canal do MOSFET de forma a reduzir perdas de condução.

3.3.1.2 Etapa de operação 2

O estágio 2 apresentado na figura 3.6 compreende o tempo $[DT \leq t \leq (DT + tm)]$, onde a energia armazenada no indutor começa a ser transferida para o capacitor de barramento Co e para a carga Ro . O tempo tm que representa a duração deste estágio é conhecido na literatura como "tempo morto" e tende a ser muito menor que o período de comutação T . Este tempo é necessário para garantir que não ocorra um curto-circuito do capacitor de saída, devido aos tempos de entrada em condução e bloqueio dos transistores $G1$ e $G2$ no caso de acionamento complementar. Nesta etapa de operação, ocorre o bloqueio do transistor $G2$ e a corrente do indutor é forçada a circular pelo diodo intrínseco $Dg1$ do transistor $G1$, que neste momento está desligado. A partir desse instante o indutor começa a se descarregar, portanto tem-se uma inversão

na derivada de corrente no indutor.

Figura 3.6: Segunda e quarta etapas de operação (tempo morto t_m).



Fonte: Produção do autor.

3.3.1.3 Etapa de operação 3

Na etapa 3 que compreende $[(DT + t_m) \leq t \leq (T - t_m)]$ ocorre o acionamento do transistor $G1$, com o objetivo de forçar a corrente que estava circulando pelo diodo $Dg1$ a passar pelo canal do transistor $G1$. Na figura 3.7 pode-se verificar que a corrente do indutor continua transferindo energia para a carga e para o capacitor de barramento. Este estágio onde acontece o acionamento do transistor $G1$ é feito com o objetivo de reduzir as perdas de condução do transistor $G1$.

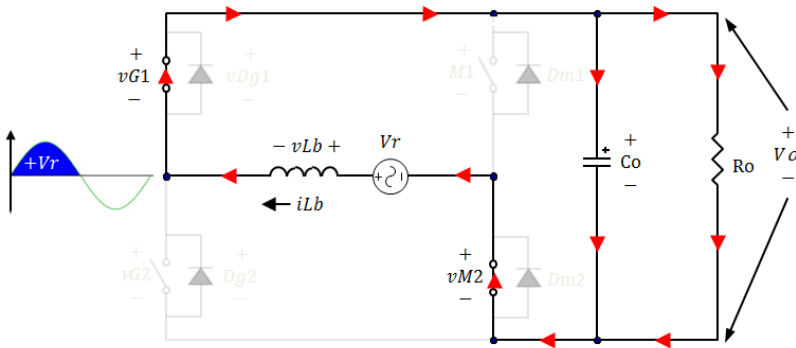
3.3.1.4 Etapa de operação 4

Esta etapa é similar a etapa 2 na figura 3.6, caracterizada pelo tempo morto t_m .

3.3.2 Análise do semi-ciclo negativo

O semi-ciclo negativo ocorre para a tensão da rede definida pela equação 3.4, para o intervalo de tempo $(\pi \leq \omega.t \leq 2.\pi)$. As etapas

Figura 3.7: Terceira etapa de operação para $[(DT + tm) \leq t \leq (T - tm)]$.



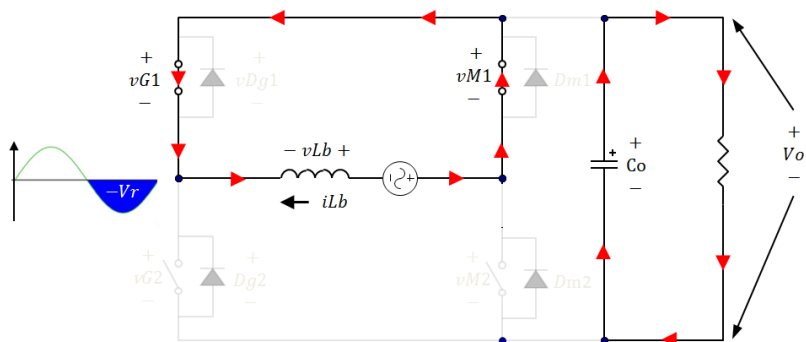
Fonte: Produção do autor.

de operação são equivalentes as apresentadas na análise do semi-ciclo positivo e serão descritas resumidamente.

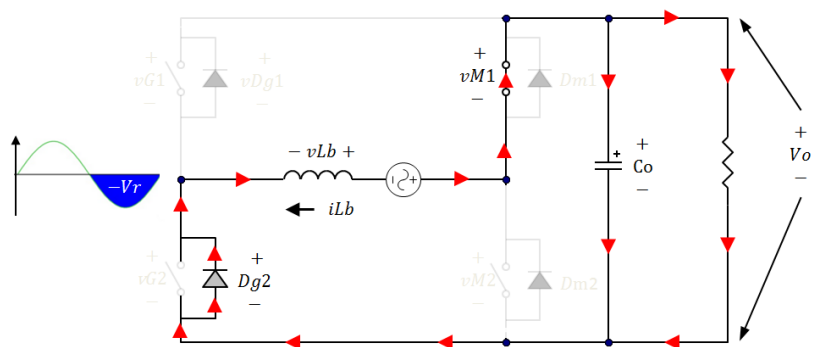
Na etapa 5 demonstrada na figura 3.8 que acontece para $(0 \leq t \leq DT)$, ocorre armazenamento de energia no indutor. Neste momento a tensão no indutor é a própria tensão da rede V_r . A corrente circula pelo canal do transistor $G1$ e $M1$ que neste instante estão acionados. Esta etapa é equivalente a etapa de operação 1 apresentada no semi-ciclo positivo.

Na etapa de operação 6 que ocorre para $[DT \leq t \leq (DT + tm)]$ conforme apresentado na figura 3.9, ocorre o bloqueio do transistor $G1$ forçando a corrente do indutor a passar pelo diodo intrínseco $Dg2$ do transistor $G2$. Neste momento o indutor começa a transferir energia para a carga. Esta etapa, equivalente a etapa 2 do semi-ciclo positivo tem a duração tm .

Na etapa 7 apresentada na 3.10 que ocorre para $[(DT + tm) \leq t \leq (T - tm)]$ o transistor $G2$ é acionada forçando o direcionamento da corrente do diodo $Dg2$ para o canal do transistor $G2$. Com equivalência a etapa 3 do semi-ciclo positivo, nesta etapa ocorre a transferência da

Figura 3.8: Quinta etapa de operação para $(0 \leq t \leq DT)$.

Fonte: Produção do autor.

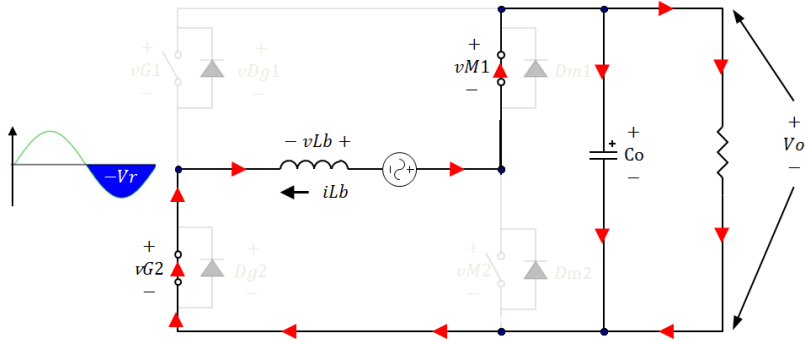
Figura 3.9: Sexta e oitava etapas de operação (tempo morto t_m).

Fonte: Produção do autor.

energia armazenada no indutor para a carga e para o capacitor de barra-mento.

A etapa 8 presente na figura 3.9 é equivalente a etapa 4 do semi-ciclo positivo, e caracteriza-se pelo tempo morto t_m .

Figura 3.10: Sétima etapa de operação para $[(DT + tm) \leq t \leq (T - tm)]$.



Fonte: Produção do autor.

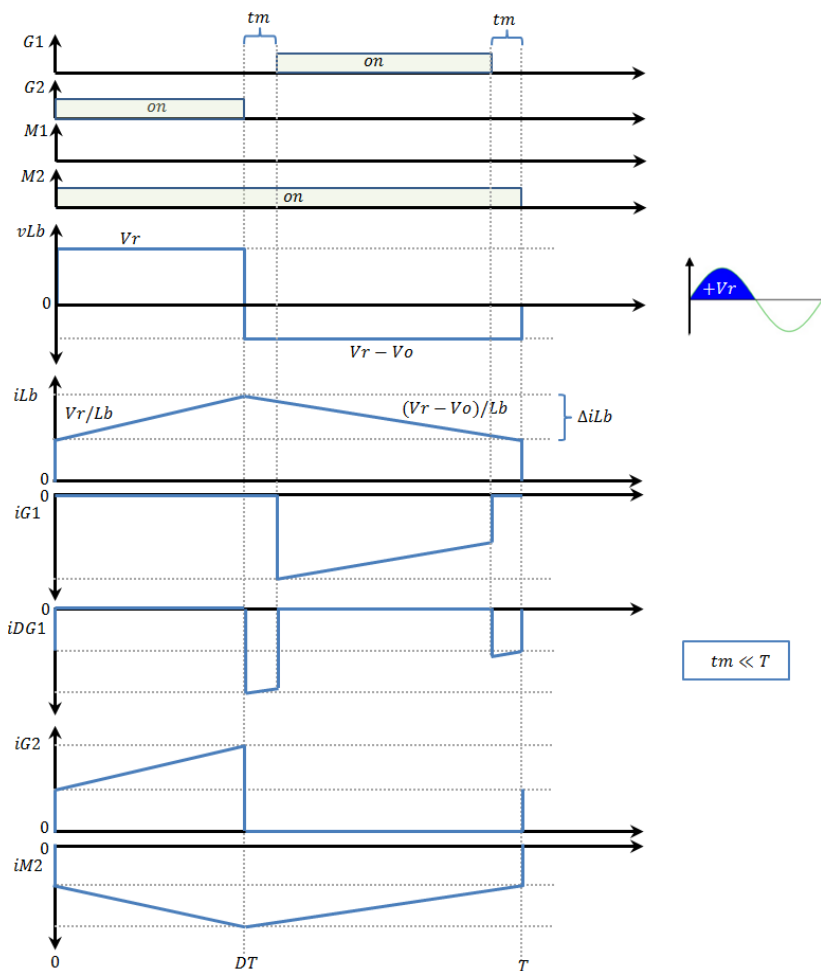
3.3.3 Formas de onda principais

A figura 3.11 apresenta as formas de onda idealizadas para o comando dos transistores $G1, G2, M1, M2$, a tensão vLb e a corrente iLb sobre o indutor, as correntes $iG1, iG2$ e $iM2$ sobre os transistores $G1, G2$ e $M2$, e a corrente $iDG1$ no diodo intrínseco $Dg1$ para o semi-ciclo positivo da tensão Vr considerando um período completo de comutação. A partir destas formas de onda, pode-se deduzir as equações da tensão e da corrente sobre o indutor para obter o equacionamento do conversor.

Um ponto importante que merece ser ressaltado é a transição que existe em $t = 0$, onde existe uma comutação do transistor $G2$ em um momento onde existe corrente circulando no diodo intrínseco $Dg1$ do transistor $G1$. Esta comutação é conhecida como comutação forçada, ou “**hard switch**” sendo característica importante desse conversor operando em CCM. Este parâmetro, conforme será demonstrado mais adiante possui importância fundamental, podendo influenciar severamente as perdas por comutação.

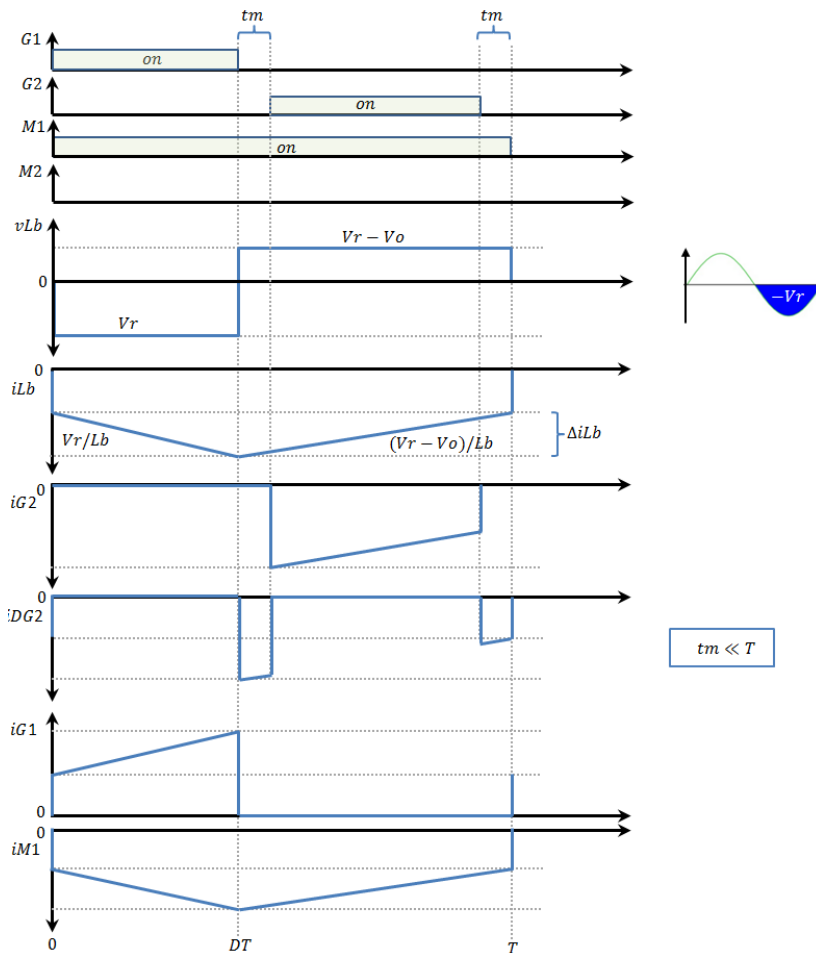
Na figura 3.12 são apresentadas as formas de onda idealizadas para operação no semi-ciclo negativo da rede.

Figura 3.11: Principais formas de onda idealizadas para o semi-ciclo positivo da rede.



Fonte: Produção do autor.

Figura 3.12: Principais formas de onda idealizadas para o semi-ciclo negativo da rede.



Fonte: Produção do autor.

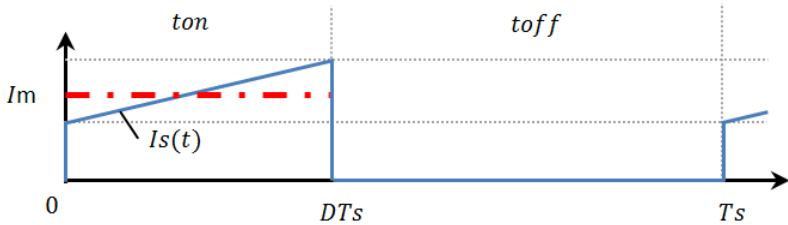
3.4 Análise quantitativa do conversor BTPB-PFC

O equacionamento do conversor será realizado para operação em CCM com base nas formas de onda idealizadas do conversor.

Um conceito importante para o equacionamento dos esforços de tensão e corrente nos componentes é o de valor médio quase-instantâneo e o de valor eficaz quase-instantâneo, conforme apresentado em (BATS-CHAUER, 2011).

Considerando-se I_m como o valor médio de um sinal qualquer $I_s(t)$ durante o período de tempo ton exemplificado na figura 3.13, pode-se definir o valor médio quase-instantâneo deste sinal no período de tempo T_s por 3.5:

Figura 3.13: Diagrama orientativo demonstrando os limites para cálculo do valor médio quase-instantâneo.



Fonte: Produção do autor.

$$\langle \bar{I}_s \rangle = \frac{1}{T_s} \int_0^{D \cdot T_s} I_m \cdot dt = D \cdot I_m \quad (3.5)$$

E o valor eficaz quase-instantâneo pode ser definido por 3.6:

$$\langle I_{srms} \rangle = \sqrt{\frac{1}{T_s} \int_0^{D \cdot T_s} I_m^2 \cdot dt} = \sqrt{D} \cdot I_m \quad (3.6)$$

Para se obter o valor médio do sinal, deve-se integrar o valor médio quase-instantâneo durante o período de interesse. Considerando-

se que D e I_m variam em função do tempo dentro de um ciclo da rede elétrica, então pode-se escrever:

$$I_{s_{avg}} = \frac{1}{T_{rede}} \int_0^{T_{rede}} \langle I_s(t) \rangle . dt = \frac{1}{T_{rede}} \int_0^{T_{rede}} D(t) . I_m(t) . dt \quad (3.7)$$

E para obter o valor eficaz total:

$$I_{s_{rms}} = \sqrt{\frac{1}{T_{rede}} \int_0^{T_{rede}} \langle I_{s_{rms}}^2(t) \rangle . dt} = \sqrt{\frac{1}{T_{rede}} \int_0^{T_{rede}} D(t) . I_m^2(t) . dt} \quad (3.8)$$

3.4.1 Ganho estático do conversor

O ganho estático do conversor pode ser determinado a partir do princípio do balanço de energia no indutor, onde considera-se que para um conversor operando em regime, o valor médio da tensão sobre o indutor deve ser zero (KAZIMIERCZUK, 2008).

Desta forma, pode-se escrever que:

$$\overline{V_{Lb}} = \frac{1}{T_s} \left[\int_0^{D.T_s} V_r . dt + \int_{D.T_s}^{T_s} (V_r - V_o) . dt \right] = 0 \quad (3.9)$$

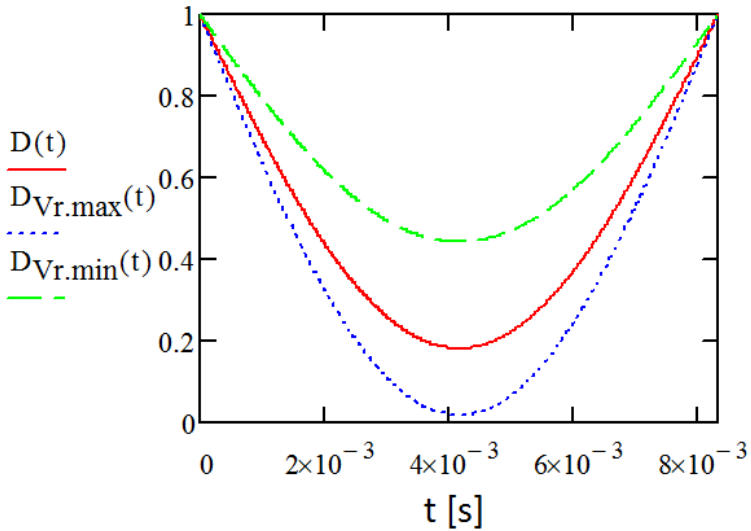
Resolvendo a expressão 3.9, tem-se a equação 3.10 que apresenta o ganho estático ou ganho DC do conversor, que é igual ao do conversor *boost* clássico conforme apresentado em (KAZIMIERCZUK, 2008). Reescrevendo 3.10 isolando D , em 3.11 fica evidente que de forma a manter-se a tensão de saída constante, a razão cíclica D terá que variar em função da tensão de entrada V_r .

$$\frac{V_o}{V_r} = \frac{1}{1 - D} \quad (3.10)$$

$$D(t) = 1 - \frac{V_r(t)}{V_o} = 1 - \frac{V_p \cdot \text{sen}(\omega \cdot t)}{V_o} \quad (3.11)$$

Na figura 3.14 tem-se a variação esperada de D para um semi-ciclo da rede elétrica.

Figura 3.14: Variação da razão cíclica D para um semi-ciclo da rede, considerando $V_o = 380$ V (Curva verde para $V_p = 150 \cdot \sqrt{2}$ V; vermelha para $V_p = 220 \cdot \sqrt{2}$ V e azul para $V_p = 264 \cdot \sqrt{2}$ V).



Fonte: Produção do autor.

3.4.2 Valor de ondulação de corrente no indutor

A ondulação de corrente no indutor pode ser definida considerando o valor da corrente em $t = D \cdot T$ menos a corrente no tempo $t = 0$ conforme apresentado na figura 3.11. Desta forma, tem-se:

$$\Delta I_{Lb} = I_{Lb}(D \cdot T) - I_{Lb}(0) \quad (3.12)$$

A corrente no indutor Lb no intervalo de tempo de $(0 \leq t \leq DT)$ é definida por:

$$I_{Lb}(D.T) = \frac{1}{Lb} \int_0^{D.T} V_r dt + I_{Lb}(0) = \frac{D.T.V_r}{Lb} + I_{Lb}(0) \quad (3.13)$$

Considerando que D , e V_r variam no tempo dentro de um ciclo da rede, então tem-se:

$$\Delta I_{Lb}(t) = \frac{D(t).T.V_r(t)}{Lb} \quad (3.14)$$

Para identificar o ponto de máxima ondulação do indutor dentro de um ciclo da rede elétrica, deve-se encontrar os pontos de inflexão da equação 3.14 fazendo da derivada da função igual a zero, conforme 3.15:

$$\frac{d\Delta I_{Lb}(t)}{dt} = 0 \quad (3.15)$$

Resolvendo a derivada, chegam-se aos pontos de máxima ondulação para $\omega.t$ conforme apresentado em 3.16 e 3.17 :

$$\omega.t = \arcsen\left(\frac{V_o}{2.V_p}\right) \quad (3.16)$$

$$\omega.t = \arcsen\left(\frac{V_o}{2.V_p}\right) - \pi \quad (3.17)$$

3.4.3 Valor de ondulação de tensão no capacitor de saída

A ondulação no capacitor de saída é composta por uma componente no dobro da frequência da rede e uma na frequência de comutação do conversor. Conforme apresentado em (SOUZA, 1998), em uma aplicação de correção ativa de fator de potência, devido a característica pulsada da potência drenada da rede, sempre existirá uma ondulação de

tensão no barramento do conversor no dobro da frequência da rede. Esta ondulação é definida por:

$$\Delta V_o = \frac{P_o}{V_o \cdot \omega \cdot C_o} \quad (3.18)$$

De acordo com (KAZIMIERCZUK, 2008), o valor da ondulação de tensão em alta frequência no capacitor é composta por duas parcelas. Uma referente a queda de tensão na resistência série do capacitor de saída R_{sc} . A outra ocorre devido a energia transferida do indutor para o capacitor durante a etapa para ($DT \leq t \leq T$).

O valor máximo da ondulação de tensão devido a resistência série do capacitor, ocorre quando a corrente no capacitor é máxima e pode ser descrita pela equação 3.19:

$$\Delta V_{rsc} = R_{sc} \left(I_{max} + \frac{\Delta I_{Lb}}{2} \right) \quad (3.19)$$

A carga do capacitor devido a transferência de energia do indutor é definida por 3.20:

$$\Delta V_{Co} = \frac{1}{C_o} \int_{D.T}^T (I_{max} - I_o) dt = \frac{T \cdot (D - 1) \cdot (I_o - I_{max})}{C_o} \quad (3.20)$$

Desta forma, o valor máximo de ondulação de alta frequência é dado por 3.21:

$$\Delta V_{ofsw} = \Delta V_{Co} + \Delta V_{rsc} \quad (3.21)$$

Como regra geral, o valor de ondulação em alta frequência nesta aplicação tende a ser muito menor que a ondulação de baixa frequência, podendo na prática ser desconsiderada.

3.4.4 Esforços de tensão e corrente

Com o objetivo de dimensionar os semicondutores e componentes passivos do conversor, os esforços de corrente e tensão devem ser conhecidos. Analisando as etapas de operação apresentadas nas figuras 3.5 3.6 e 3.7, verifica-se que o valor máximo de tensão a que os componentes são submetidos é própria tensão de saída do conversor V_o . O valor das correntes nos componentes serão deduzidas e apresentadas na sequência.

3.4.4.1 Valor eficaz da corrente no indutor

O valor eficaz da corrente no indutor é o próprio valor eficaz da corrente drenada da rede. Considerando que o conversor tem fator de potência unitário, este é definido por 3.22:

$$ILb_{rms} = \frac{P_o}{V_{rms} \cdot \eta} \quad (3.22)$$

3.4.4.2 Valor eficaz da corrente no capacitor de saída

O valor eficaz quase instantâneo da corrente no capacitor para um período de comutação T é definido em 3.23 e 3.24 :

$$\langle ICo_{rms} \rangle = \sqrt{\frac{1}{T} \left(\int_0^{D \cdot T} -I_{Lb}^2 \cdot dt + \int_{D \cdot T}^T (I_{Lb} - I_o)^2 \cdot dt \right)} \quad (3.23)$$

$$\langle ICo_{rms} \rangle = \sqrt{D \cdot I_o^2 + (1 - D) \cdot (I_o - I_{Lb})^2} \quad (3.24)$$

Para calcular a corrente eficaz total do capacitor, integra-se a corrente eficaz quase instantânea no capacitor durante meio ciclo de rede, conforme apresentado em 3.25 e 3.26:

$$ICo_{rms} = \sqrt{\frac{2}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} \langle ICo_{rms}^2(t) \rangle dt} \quad (3.25)$$

$$I_{CO_{rms}} = \sqrt{\frac{2}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} D(t).I_o^2 + (1 - D(t)).(I_o - I_{Lb}(t))^2 dt} \quad (3.26)$$

3.4.4.3 Valor eficaz da corrente nos MOSFETs M1 e M2

A corrente circula pelo MOSFET de retificação síncrona somente em um semiciclo da rede. Desta forma a corrente eficaz é descrita por 3.27:

$$I_{M_{rms}} = \sqrt{\frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} I_{Lb}^2(t).dt} \quad (3.27)$$

3.4.4.4 Valor eficaz da corrente nos GaN HEMT G1 e G2

Em um dos semiciclos da rede elétrica, o GaN HEMT é acionado pelo tempo $D.T$ armazenando energia no indutor Lb . No outro semiciclo, circula a corrente de descarga do indutor pelo tempo $(1-D).T$, sendo que em ambos os casos a corrente é forçada a circular pelo canal condutor do transistor. Para fazer o cálculo da corrente eficaz total, será computado o valor eficaz referente a cada semi-ciclo separadamente, e depois é feita a soma das correntes eficazes.

A corrente eficaz quase-instantânea para o semi-ciclo positivo é definida por 3.28:

$$\langle I_{Gp_{rms}} \rangle = \sqrt{\frac{1}{T} \int_{D.T}^T I_{Lb}^2 .dt} = \sqrt{1-D}.I_{Lb} \quad (3.28)$$

E no semi-ciclo negativo por 3.29:

$$\langle I_{Gn_{rms}} \rangle = \sqrt{\frac{1}{T} \int_0^{D.T} I_{Lb}^2 .dt} = \sqrt{D}.I_{Lb} \quad (3.29)$$

Para calcular o valor total eficaz da corrente no transistor, integra-se a corrente eficaz quase instantânea nos semiciclos correspondentes

de acordo com 3.30 e 3.31. Como estas equações são funções ortogonais, o valor eficaz total da corrente no transistor é dado por 3.32:

$$IGp_{rms} = \sqrt{\frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} \sqrt{1 - D(t)} \cdot I_{Lb}(t) \cdot dt} \quad (3.30)$$

$$IGn_{rms} = \sqrt{\frac{1}{T_{rede}} \int_{\frac{T_{rede}}{2}}^{T_{rede}} \sqrt{D(t)} \cdot I_{Lb}(t) \cdot dt} \quad (3.31)$$

$$IG_{rms} = \sqrt{IGp_{rms}^2 + IGn_{rms}^2} \quad (3.32)$$

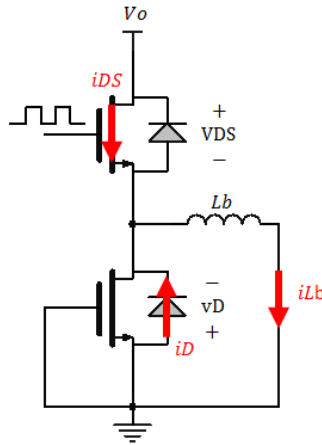
3.4.5 Estudo da energia de comutação

O **datasheet** dos transistores as vezes informa sua energia de comutação, como por exemplo nos IGBTs, onde geralmente essa informação está disponível. Em MOSFETs no entanto, essa informação não é comum, e mesmo quando presente, o valor muitas vezes não cobre o ponto de operação desejado. Desta forma, um método de cálculo para estimar as perdas de comutação em outras condições é necessário.

De forma a se compreender e comparar as perdas de comutação entre os diferentes semicondutores, esta seção apresenta um detalhamento da composição da energia de entrada em condução e bloqueio, de um arranjo em ponte acionando carga indutiva, conforme apresentado nas figuras 3.15 e 3.16. Os transistores $G1$ e $G2$ do conversor BTPB-PFC operando em CCM estão expostos a esse mesmo comportamento de comutação, sendo desta forma esse procedimento válido.

Um parâmetro importante na composição das perdas de comutação é a carga de recuperação reversa Q_{rr} do diodo dos transistores. A partir deste valor e do tempo de recuperação reversa t_{rr} é possível efetuar o cálculo da corrente I_{rrm} que é a máxima corrente de recuperação reversa do diodo (note que em alguns **datasheets**, o I_{rrm} é fornecido diretamente).

Figura 3.15: Circuito para caracterização de perdas de comutação em carga indutiva.

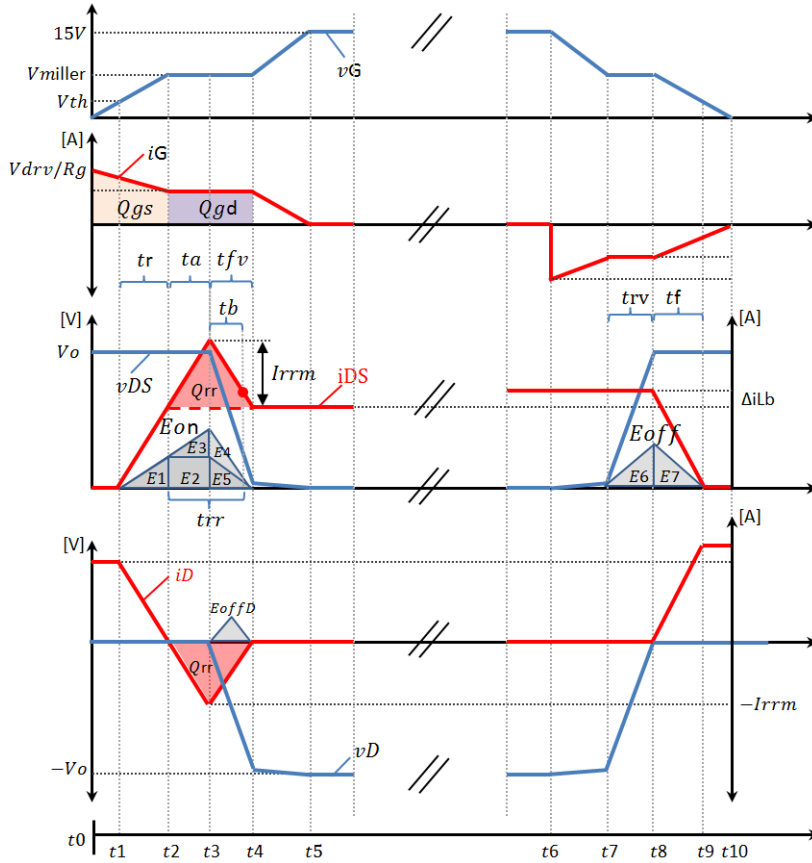


Fonte: Produção do autor.

O tempo t_{rr} representado na figura 3.16 é dividido em t_a e t_b . Conforme (KAZIMIERCZUK, 2008), estes tempos tendem a ser diferentes dependendo da tecnologia do diodo. Este fenômeno é conhecido na literatura por *snappiness factor* ou **softness factor**, sendo definido pela equação 3.33. Em geral diodos com **softness factor** mais próximos de 1, são mais indicados para comutação forçada, pois tendem a apresentar um comportamento menos oscilatório, gerando menos ruído eletromagnético.

Geralmente os **datasheets** dos transistores, apresentam a carga Q_{rr} para um único ponto de operação, no entanto este é influenciado por outros parâmetros. De acordo com (AL-NASEEM; CARLIN, 2000), o valor de Q_{rr} varia em função da corrente que circula pelo diodo I_{fwd} e pode ser aproximado pela equação 3.34, onde K_{Qrr} é uma constante que pode ser obtida a partir dos parâmetros nominais de **datasheet**, no ponto onde foi realizado o teste de caracterização de Q_{rr} . O tempo t_{rr}

Figura 3.16: Formas de onda características de entrada em condução e bloqueio de transistores para cargas indutivas.



Fonte: Produção do autor.

pode ser aproximado pela equação 3.35.

$$S = \frac{t_b}{t_a} \quad (3.33)$$

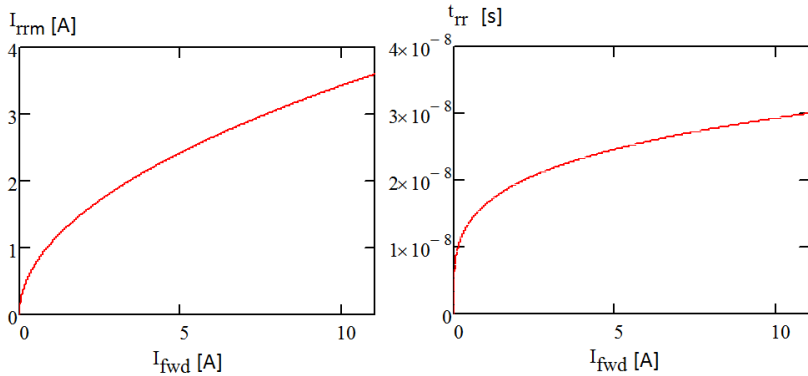
$$Q_{rr} = K_{Qrr} \cdot \sqrt{I_{fwd}} \quad (3.34)$$

$$t_{rr} = \sqrt{\frac{2 \cdot Q_{rr} \cdot (1 + S)}{\frac{di}{dt}}} \quad (3.35)$$

O valor da corrente I_{rrm} para diodos com **softness factor** próximo de 1, pode ser estimado pela equação 3.36. O gráfico da figura 3.17 apresenta as curvas aproximadas de I_{rrm} e t_{rr} para o diodo do transistor *TPH3006LD* do fabricante TRANSPHORM.

$$I_{rrm} = \frac{2 \cdot Q_{rr}}{t_{rr}} \quad (3.36)$$

Figura 3.17: Valor aproximado de I_{rrm} e t_{rr} em função da corrente no diodo do GaN HEMT *TPH3006LD*. (Valores para temperatura de junção de 25°C)



Fonte: Produção do autor.

De acordo com (ERICKSON; MAKSIMOVIC, 2001), a energia de comutação na entrada em condução e bloqueio de um transistor é definida pelas equações 3.37 e 3.38, com referência as formas de onda idealizadas apresentadas na figura 3.16.

$$E_{on} = \int_{t_1}^{t_4} i_{DS}(t) \cdot v_{DS}(t) \cdot dt \quad (3.37)$$

$$E_{off} = \int_{t7}^{t9} iDS(t).vDS(t).dt \quad (3.38)$$

A energia de bloqueio do diodo intrínseco Dg é descrita por 3.39:

$$E_{offD} = \int_{t3}^{t4} iD(t).vD(t).dt \quad (3.39)$$

A energia de entrada em condução do transistor pode ser subdividida em várias etapas, conforme representado pelas áreas denotadas por $E1$ a $E5$ na figura 3.16. Desta forma, pode-se definir a energia total pela equação 3.40:

$$E_{on}(t) = E_1(t) + E_2(t) + E_3(t) + E_4(t) + E_5(t) \quad (3.40)$$

As áreas de E_1 a E_7 e E_{offD} discretizadas na figura 3.16, podem ser equacionadas a partir da resolução das integrais das formas de onda idealizadas desta figura. Para tal, empregam-se as equações 3.37, 3.38 e 3.39 observando-se o instante de tempo adequado em cada caso. Desta forma tem-se:

$$E_1(t) = \frac{1}{2} \cdot t_r \cdot V_o \cdot \left\{ I_{Lb}(t) - \frac{\Delta I_{Lb}(t)}{2} \right\} \quad (3.41)$$

A região $E1$ representa uma porção pequena da energia total de comutação, devido a parcela de tempo t_r que tende a ser bem pequena para as três configurações avaliadas. O tempo t_r é basicamente definido, pelo tempo necessário para prover a carga Q_{gs} (*Gate Source Charge*), de forma a colocar o transistor em condução (FAIRCHILD, 2013). Este tempo pode ser ajustado para cada transistor, através da corrente injetada no terminal *Gate*.

$$E_2(t) = t_a \cdot V_o \cdot \left\{ I_{Lb}(t) - \frac{\Delta I_{Lb}(t)}{2} \right\} \quad (3.42)$$

$$E_3(t) = \frac{1}{2} \cdot I_{rrm}(t) \cdot V_o \cdot t_a \quad (3.43)$$

A energia das regiões E_2 e E_3 ocorre durante o primeiro estágio de recuperação reversa do diodo interno do transistor, sendo fortemente influenciada pela carga Q_{rr} armazenada no diodo. A região E_2 é formada pela corrente i_{DS} no início do ciclo de PWM, multiplicada pela tensão V_o , sendo a região E_3 composta pela corrente I_{rrm} até seu instante de valor máximo, antes de inverter a sua derivada.

$$E_4(t) = \frac{1}{3} \cdot I_{rrm}(t) \cdot V_o \cdot t_{fv} \quad (3.44)$$

$$E_5(t) = \frac{1}{2} \cdot t_{fv} \cdot V_o \cdot \left\{ I_{Lb}(t) - \frac{\Delta I_{Lb}(t)}{2} \right\} \quad (3.45)$$

As regiões E_4 e E_5 ocorrem após a inversão da derivada de corrente no diodo, durante o estágio de recuperação reversa. E_5 representa a parcela de energia referente a corrente do indutor e E_4 a parcela devido a corrente de recuperação reversa I_{rrm} . O fenômeno de recuperação reversa no diodo, ocorre devido ao acúmulo de cargas, que devem ser removidas do semiconductor para que o diodo possa entrar em bloqueio (HUANG, 2014). O tempo t_{fv} de descida da tensão V_{DS} , depende também da capacitância de saída C_{oss} dos transistores.

A energia do bloqueio pode ser dividida em E_6 e E_7 , sendo definida por 3.46 :

$$E_{off}(t) = E_6(t) + E_7(t) \quad (3.46)$$

Onde:

$$E_6(t) = t_{rv} \cdot \frac{V_o}{2} \cdot \left\{ I_{Lb}(t) + \frac{\Delta I_{Lb}(t)}{2} \right\} \quad (3.47)$$

$$E_7(t) = t_f \cdot V_o \cdot \frac{\left\{ I_{Lb}(t) + \frac{\Delta I_{Lb}(t)}{2} \right\}}{2} \quad (3.48)$$

Devido a característica da carga indutiva, tem-se inicialmente E_6 definido pelo tempo trv de bloqueio do transistor e na sequência E_7 referente ao tempo de decaimento da corrente t_f . Nos transistores IGBT, a característica de bloqueio devido a corrente de cauda (*tail current*) tende a aumentar as perdas de comutação (IR, 2012). No caso dos GaN HEMT *cascode*, conforme mencionado no capítulo 2, espera-se energia de bloqueio extremamente baixa, muitas vezes não ocorrendo uma sobreposição tão acentuada da tensão e corrente, quanto a apresentada no desenho idealizado. Desta forma, esse cálculo pode apresentar uma energia um pouco superior a verificada na prática para os GaN HEMTs *cascode*. Vale salientar também que a energia E_7 no caso do IGBT, foi calculada com as formas de onda idealizadas apresentadas na figura 3.16, no entanto, espera-se um decaimento mais rápido da corrente no início de t_f , evoluindo com um formato de cauda.

A perda no diodo intrínseco durante a recuperação reversa E_{offD} é definida por 3.49:

$$E_{offD}(t) = \frac{1}{6} \cdot I_{rrm}(t) \cdot V_o \cdot t_{fv} \quad (3.49)$$

Importante ressaltar, que de maneira geral as formas de onda idealizadas apresentadas na figura 3.16, apresentam aproximações com o objetivo de facilitar o entendimento e a estimativa das perdas. Os valores experimentais de comutação são fortemente influenciados por uma série de fatores, como temperatura, indutâncias e capacitâncias parasitas, variações paramétricas dos componentes, circuito de comando, valores de corrente e tensão de operação e características específicas da tecnologia do semicondutor.

De forma a obter-se a perda total em Watt, deve-se multiplicar a energia de comutação pela frequência de operação, de acordo com

apresentado em 3.50, 3.51 e 3.52:

$$P_{on} = E_{on} \cdot F_{sw} \quad (3.50)$$

$$P_{off} = E_{off} \cdot F_{sw} \quad (3.51)$$

$$P_{offD} = E_{offD} \cdot F_{sw} \quad (3.52)$$

3.4.5.1 Perdas de comutação no conversor BTPB-PFC

Utilizando como referência o transistor $G2$, as perdas totais serão computadas através da integração de cada comutação durante o semiciclo positivo da rede, conforme apresentado em 3.53, adicionadas das perdas no bloqueio do diodo intrínseco durante o semiciclo negativo conforme 3.54. Desta forma as perdas totais de comutação para o transistor $G2$ são apresentadas pela equação 3.55, valendo também para o transistor $G1$ que possui operação equivalente.

$$PG2p_{sw} = \frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} \{E_{on}(t) + E_{off}(t)\} \cdot F_{sw} \cdot dt \quad (3.53)$$

$$PG2n_{sw} = \frac{1}{T_{rede}} \int_{\frac{T_{rede}}{2}}^{T_{rede}} E_{offD}(t) \cdot F_{sw} \cdot dt \quad (3.54)$$

$$PG2_{sw} = PG2p_{sw} + PG2n_{sw} \quad (3.55)$$

3.4.6 Valor das perdas elétricas nos componentes

Esta seção apresenta as equações para cálculo das perdas totais nos componentes do conversor.

3.4.6.1 Indutor

As perdas no indutor representadas na equação 3.56, são compostas por perdas ôhmicas, causadas pela corrente elétrica que flui pelo fio e por magnéticas no núcleo do indutor P_{Mag} . Este trabalho não objetiva detalhar o cálculo de perdas magnéticas, no entanto um método com base nos dados de fabricantes é apresentado no apêndice A.

$$P_{Lb} = I L b_{rms}^2 \cdot R S_{Lb} + P_{Mag} \quad (3.56)$$

3.4.6.2 Capacitor de saída

As perdas no capacitor de barramento C_o , podem ser aproximadas pela corrente que circula através da resistência série R_{sc} do capacitor, conforme 3.57 .

$$P_{Co} = I c o_{rms}^2 \cdot R_{sc} \quad (3.57)$$

3.4.6.3 MOSFETs do retificador síncrono e pré-carga

Os transistores do retificador síncrono $M1$ e $M2$ não estão sujeitos a perdas de comutação, pois apenas fazem a função do diodo de retificação, sendo acionado no cruzamento por zero da rede elétrica. O MOSFET de pré-carga é ligado depois da carga do capacitor de barramento, para curto-circuitar o resistor de pré-carga, desta forma apresentando apenas perdas de condução. Para ambos os casos, a perda total no MOSFET é dado por 3.58.

$$P_M = I D S_{rms}^2 \cdot R D S_{on} \quad (3.58)$$

3.4.6.4 GaN HEMTs

As perdas nos transistores $G1$ e $G2$, são compostas por perdas de condução e conforme apresentado na seção 3.4.5.1, por perdas de

comutação. O valor total é definido por 3.59.

$$P_{GaN} = IDS_{rms}^2 \cdot RDS_{on} + PG_{sw} \quad (3.59)$$

3.5 Conclusão

Este capítulo apresentou uma breve revisão dos conceitos básicos de fator de potência para cargas não lineares, bem como uma revisão dos principais conversores monofásicos, empregados como estágio de entrada em equipamentos eletrônicos que demandam correção ativa de FP.

Foi apresentada a análise de todos os estágios de operação do conversor BTPB-BFC em modo CCM, bem como as formas de onda idealizadas de operação, necessárias para o correto entendimento do equacionamento do conversor.

É importante ressaltar, que embora não se tenha avaliado os modos de operação CrCM ou DCM no conversor BTPB-BFC, estes podem ser interessantes para frequências de comutação maiores (geralmente >200 kHz). Embora trabalhe-se com valores de pico de corrente mais elevados, a redução de tamanho dos componentes magnéticos e uma menor complexidade de controle podem tornar essa abordagem interessante.

Foi apresentado o equacionamento do ganho estático do conversor, ondulação de corrente no indutor e ondulação de tensão no capacitor de saída. Com o uso do conceito dos valores médios instantâneos, foi possível a dedução das equações para cálculos dos esforços de corrente nos semicondutores.

Os esforços de tensão, foram definidos com base na análise dos estados de operação do conversor. É importante ressaltar, que os valores aqui mencionados não consideram efeitos de componentes parasitas presentes no circuito. Desta forma é sempre prudente considerar uma margem no projeto dos semicondutores, para absorver oscilações que

geralmente estão presentes nos experimentos, ou considerar esses efeitos no projeto e estimar essas oscilações nos cálculos ou numericamente.

O método para cálculo das perdas de comutação nos semicondutores, foi definido com base na literatura existente, bem como as equações para cálculo de cada energia discretizada. Espera-se que esse método se apresente como uma boa ferramenta comparativa entre as tecnologias que serão avaliadas.

Em geral espera-se das estruturas *bridgeless* alto rendimento, devido a um menor número de semicondutores no caminho da corrente, que reduz desta forma suas perdas de condução. No entanto, estas estruturas de maneira geral, tendem a apresentar maior ruído de modo comum do que o boost clássico, dificultando o projeto dos filtros de EMI.

Por fim, devido as características únicas dos GaN HEMTs, espera-se que o conversor BTPB-PFC possa operar em CCM. Seu alto rendimento quando comparado com o boost PFC clássico, podendo atingir valores acima de 99%, além das boas características de EMI e baixo número de componentes, quando comparado com outras topologias *bridgeless*, fazem desta, uma excelente opção para correção ativa de fator de potência.

4 PROJETO DO CONVERSOR BTPB-PFC

Este capítulo é dedicado ao projeto do conversor BTPB-PFC, onde será feito o dimensionamento do estágio de potência, com base nas equações deduzidas no capítulo 3, empregando-se para resolução das integrais o software *Mathcad*. Também serão desenvolvidos os circuitos de comando dos semicondutores, sensoreamento de grandezas elétricas, fonte de alimentação auxiliar e microcontrolador.

Uma discretização detalhada da energia de comutação dos GaN HEMTs empregados é apresentada.

Uma análise teórica do rendimento esperado do conversor, empregando tecnologias MOSFET, IGBT e GaN HEMT é apresentada, demonstrando e comparando a composição das perdas para cada caso.

O projeto térmico do conversor é desenvolvido com base no conceito de vias térmicas.

A estratégia utilizada para desenvolvimento do controle digital do conversor é apresentada e o projeto dos controladores é realizado.

Como etapa final, o conversor é simulado visando a validação dos esforços de corrente e tensão e avaliação da resposta dinâmica do controle.

4.1 Especificações de projeto

O conversor será projetado para operar em modo CCM, de acordo com os requisitos da tabela 4.1. A potência do conversor na tensão mínima V_{min} foi selecionada de forma a manter a corrente máxima de entrada com o mesmo valor apresentado na tensão nominal. Para valores intermediários de tensão de entrada, entre V_{nom} e V_{min} , deve ser apli-

Tabela 4.1: Especificações de projeto do conversor.

Descrição	Símbolo	Valor
Frequência da rede	F_{rede}	60 Hz
Tensão eficaz nominal de entrada	V_{nom}	220 V
Tensão eficaz máxima de entrada ⁽¹⁾	V_{max}	264 V
Tensão eficaz mínima de entrada	V_{min}	150 V
Potência nominal @ V_{nom}	P_o	1 kW
Potência @ V_{max}	P_{max}	1 kW
Potência @ V_{min}	P_{min}	681,8 W
Tensão de saída	V_o	380 V
Ondulação máxima de tensão de saída ⁽²⁾	ΔV_o	38 V
Ondulação máxima de corrente	$\Delta I_{lb\%}$	30 %
Frequência de comutação	F_{sw}	61,440 kHz
Temperatura ambiente máxima	T_{amb}	60 °C
Temperatura máxima no dissipador	T_D	85 °C
Rendimento desejado em carga máxima	η	99 %

(1) Valor limitado a baixas cargas devido a ondulação da tensão de saída. (2) Válido para operação até $V_{nom} + 10 \%$.

cada a equação 4.1 para definir o valor máximo de potência do conversor.

$$P_{derate} = \frac{V_{interm}}{V_{nom}} \cdot P_{nom} \quad (4.1)$$

4.2 Dimensionamento do estágio de potência

Com base nas equações apresentadas no capítulo 3, os esforços de tensão e corrente nos componentes do estágio de potência podem ser determinados.

4.2.1 Indutor do boost

Será utilizado um indutor já previamente desenvolvido, desta forma no âmbito deste trabalho, serão analisadas se as especificações para este conversor são atendidas. A tabela 4.2 apresenta as características elétricas do indutor.

Tabela 4.2: Especificações do indutor boost Lb .

Descrição	Símbolo	Valor
Indutância	Lb	880 μH
Resistência DC	RLb_{dc}	80 $\text{m}\Omega$
Corrente eficaz máxima	ILb_{max}	8 A
Núcleo Sendust	$Core$	Arnold Magnetics MS 225060
Numero de espiras	Ns	108

A corrente eficaz no indutor Lb é definida pela equação 3.22 onde Vr_{rms} é a V_{nom} especificada na tabela 4.1. Desta forma tem-se em 4.2 a corrente eficaz no indutor.

$$ILb_{rms} = \frac{Po}{Vr_{rms} \cdot \eta} = 4,59A \quad (4.2)$$

Desconsiderando o efeito da ondulação de corrente no indutor, o valor de pico da corrente no indutor é definida por 4.3:

$$ILb_{max} = ILb_{rms} \cdot \sqrt{2} = 6,49A \quad (4.3)$$

A ondulação de corrente no indutor é definida por 3.14, sendo que o ponto de máxima ondulação ocorre em $\omega \cdot t$ conforme 3.16. Desta forma tem-se o instante de tempo t_{max} definido em 4.4 onde ocorre a maior ondulação e em 4.5 o valor em ampere da máxima ondulação de corrente:

$$t_{max} = \frac{\arcsen\left(\frac{Vo}{2 \cdot Vp}\right)}{\omega} \quad (4.4)$$

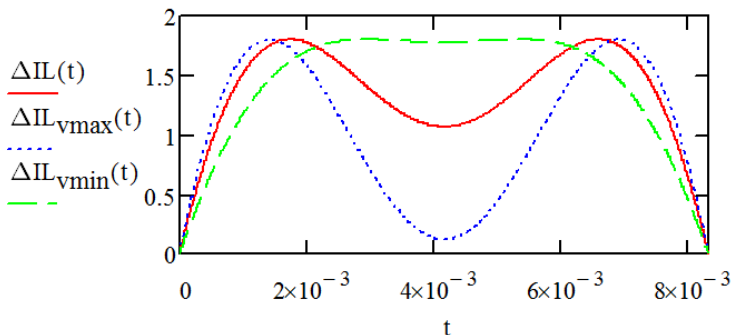
$$\Delta I_{Lb}(t_{max}) = \frac{D(t_{max}) \cdot T \cdot Vr(t_{max})}{Lb} = 1,79A \quad (4.5)$$

Onde o percentual da ondulação na máxima carga é descrita por:

$$\Delta I_{Lb\%} = \frac{\Delta I_{Lb}(t_{max})}{ILb_{max}} \cdot 100 = 27,7\% \quad (4.6)$$

A ondulação de corrente no indutor dentro de um semiciclo da rede é apresentado na figura 4.1 para os valores nominal, mínimo e máximo da tensão rede.

Figura 4.1: Valor de ondulação de corrente no indutor para um período completo da rede elétrica com $V_o = 380V$.



Fonte: Produção do autor.

4.2.2 Capacitor de saída

O capacitor deve ser definido, de forma a atender o critério de valor máximo de ondulação de tensão na saída e considerar o valor eficaz da corrente que circula por seus terminais.

A corrente que circula no capacitor é definida por 3.26, onde I_o é a corrente de saída do conversor em carga máxima, de acordo com a equação 4.7. Desta forma em 4.8 tem-se o valor eficaz de corrente no capacitor:

$$I_o = \frac{P_o}{V_o} = 2,63A \quad (4.7)$$

$$I_{Co_{rms}} = 2,75A \quad (4.8)$$

A capacitância de saída para atender o requisito de ondulação é definido por 3.18, desta forma isolando C_o , tem-se em 4.9 o valor de capacitância necessária e em 4.10 o valor comercial escolhido:

$$C_o = \frac{P_o}{V_o \cdot \omega \cdot \Delta V_o} = 183 \mu F \quad (4.9)$$

$$C_{o_{esc}} = 2.120 \mu F = 240 \mu F \quad (4.10)$$

A ondulação de tensão em alta frequência no capacitor é definida por 3.19 e 3.20, onde I_{max} é a corrente $I_{Lb_{max}}$. Desta forma em 4.13 é apresentado o valor de ondulação de alta frequência no capacitor.

$$\Delta V_{rsc} = R_{sc} \left(I_{max} + \frac{\Delta I_{Lb}(t_{max})}{2} \right) = 351 mV \quad (4.11)$$

$$\Delta V_{Co} = \frac{T \cdot (D(t_{max}) - 1) \cdot (I_o - I_{Lb}(t_{max}))}{C_o} = 220 mV \quad (4.12)$$

$$\Delta V_{ofsw} = \Delta V_{Co} + \Delta V_{rsc} = 571 mV \quad (4.13)$$

Com base nos cálculos, foram selecionados dois capacitores associados em paralelo, de acordo como o modelo apresentado na tabela 4.3. O valor de ondulação de tensão em baixa frequência, considerando os parâmetros dos componentes escolhidos é apresentado em 4.14. O parâmetro de **datasheet** para o valor eficaz máximo de corrente I_{ripple} de cada capacitor é 1,22 A, ficando aproximadamente 10% abaixo do valor esperado no capacitor para carga nominal. Isto deve ser levado em consideração em um projeto mais detalhado, pois pode impactar no tempo de vida do conversor, caso este opere muito tempo em carga nominal.

$$\Delta V_{O_{real}} = \frac{P_o}{V_o \cdot \omega \cdot C_{o_{esc}}} = 29,08 V \quad (4.14)$$

Tabela 4.3: Capacitor C_o de saída selecionado.

Descrição	Símbolo	Valor
Capacitância	C_o	120 μF
Tipo	—	Eletrolítico
Resistência Série do Capacitor	R_{sc}	100 m Ω
Tensão Máxima do Capacitor	$V_{c_{max}}$	450 V
Corrente máxima de Ripple	I_{ripple}	1,22 A
Fabricante/Modelo	Nichicon	LGW2W121MELA30

Tabela 4.4: MOSFETs do retificador síncrono e circuito de pré-carga.

Descrição	Símbolo	Valor
Resistência série @ 100 °C	RDS_{on}	220 m Ω
Tensão Máxima de Bloqueio	VDS_{max}	600 V
Corrente máxima @ 100 °C	IDS_{max}	15 A
Fabricante/Modelo	ST Microelectronics	STB30NM60N

4.2.3 MOSFETs do retificador síncrono

O projeto do retificador síncrono $M1$ e $M2$ é definido com base no valor eficaz da corrente nos transistores e no valor da tensão de bloqueio. O valor eficaz da corrente é definido em 3.27 e calculado em 4.15 e 4.16.

$$IM1_{rms} = \sqrt{\frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} I_{Lb}^2(t) \cdot dt} = 3,27 \text{ A} \quad (4.15)$$

$$IM2_{rms} = IM1_{rms} \quad (4.16)$$

Os dados do MOSFET selecionado para o retificador síncrono são apresentados na tabela 4.4

4.2.4 GaN HEMTs

Os transistores das posições $G1$ e $G2$ desta aplicação estão sujeitos as perdas de comutação conforme apresentado na figura 3.16.

Tabela 4.5: Principais características do GaN HEMT empregado no conversor.

Descrição	Símbolo	Valor
Resistência série @ 100 °C	$RDS_{G_{on}}$	240 mΩ
Tensão Máxima de Bloqueio	VDS_{max}	600 V
Corrente máxima @ 100°C	IDS_{max}	12 A
Carga de Rec. Reversa @ 11 A	Q_{rr}	54 nC
Fabricante/Modelo	Transphorm	TPH3006LD

Desta forma, suas características dinâmicas de comutação são muito importantes no momento de sua escolha, influenciando fortemente nas perdas elétricas, conforme será avaliado na seção 4.7.

O valor eficaz de corrente no transistor é definida por 3.30, 3.31 e 3.32. Tem-se assim em 4.17, 4.18, 4.19 e 4.20 os valores calculados:

$$IG2p_{rms} = \sqrt{\frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} \sqrt{1 - D(t)} \cdot I_{Lb}(t) \cdot dt} = 2,70A \quad (4.17)$$

$$IG2n_{rms} = \sqrt{\frac{1}{T_{rede}} \int_{\frac{T_{rede}}{2}}^{T_{rede}} \sqrt{D(t)} \cdot I_{Lb}(t) \cdot dt} = 1,79A \quad (4.18)$$

$$IG2_{rms} = \sqrt{IG1p_{rms}^2 + IG1n_{rms}^2} = 3,25A \quad (4.19)$$

$$IG1_{rms} = IG2_{rms} \quad (4.20)$$

Na tabela 4.5 são apresentadas as principais características do GaN HEMT utilizado.

4.2.5 Circuito de pré-carga do barramento

O circuito de pré-carga apresentado na figura C.3 do anexo C, tem a função de limitar a corrente que circula pelos semicondutores du-

rante a energização do conversor. Desta forma, o resistor de pré-carga R_{15} , foi projetado para limitar a corrente em 20A conforme 4.21. Estando finalizada a carga do capacitor de saída C_o , o MOSFET Q_4 é ligado, retirando o resistor R_{15} do circuito. O valor eficaz de corrente em Q_4 é a próprio valor eficaz da corrente do capacitor de saída.

Tabela 4.6: Características do resistor de pré-carga.

Descrição	Símbolo	Valor
Resistência	$R_{esc_{precarga}}$	22 Ω
Potência nominal @ 100°C	$P_{precarga}$	7,5 W
Fabricante/Modelo	VISHAY	AC100000022

O MOSFET escolhido é o mesmo do retificador síncrono apresentado em tabela 4.4, e o resistor de pré-carga é apresentado na tabela 4.6.

$$R_{precarga} = \frac{V_{max} \cdot \sqrt{2}}{20A} = 18,67\Omega \quad (4.21)$$

$$R_{esc_{precarga}} = 22\Omega \quad (4.22)$$

$$I_{Q4_{rms}} = I_{Co_{rms}} = 2,75A \quad (4.23)$$

4.3 Circuitos de comando dos transistores

Nesta seção são apresentados os procedimentos e cálculos de dimensionamento dos circuitos de comando.

4.3.1 Comando do retificador síncrono

O circuito de comando dos MOSFETs do retificador síncrono não é crítico nessa aplicação, dado sua baixa frequência de operação, sendo

acionado somente no cruzamento por zero da rede elétrica com uma comutação em zero de tensão e corrente. Foi utilizado um circuito de comando integrado com **booststrap**, para o acionamento do braço de retificação síncrona formado por $M1$ e $M2$ da figura 3.4. O procedimento de projeto empregado, bem como uma base teórica sobre os circuitos de comando com **booststrap** estão descritos em (FAIRCHILD, 2008).

A tabela 4.7 apresenta os dados do circuito integrado. O esquemático completo é apresentado nas figuras C.3 e C.5 do anexo C, onde o circuito integrado de comando é representado por $U9$ e os MOSFETs por $Q1$ e $Q3$.

Tabela 4.7: Características do circuito integrado de comando dos retificadores síncronos.

Descrição	Símbolo	Valor
Corrente de Saída	I_{drive}	0,5 A
Tensão Máxima <i>High Side</i>	V_B	620 V
<i>Dead Time</i>	T_m	75 ns
Fabricante/Modelo	INFINEON	2EDL05N06PF

4.3.2 Comando do GaN HEMT

De acordo com o procedimento apresentado na seção 2.4.1 e considerando os requisitos de projetos da tabela 4.8, pode-se calcular a corrente de *gate* conforme 4.24 a partir da equação definida em 2.2.

Tabela 4.8: Dados e requisitos para dimensionamento do circuito de comando do GaN HEMT.

Descrição	Símbolo	Valor
Tempo de entrada em Condução	t_{on}	10 ns
Tensão do Circuito de Comando	V_{drv}	12 V
Carga total de Gate	Q_g	6,1nC

$$I_{drv} = \frac{Q_g}{t_0 - t_1} = \frac{6,1nC}{10ns} = 0,61A \quad (4.24)$$

O valor total da máxima resistência de *gate* formada por $Z_{drv} + R_g$, pode então ser definido a partir de 2.4, sendo seu valor apresentado em 4.25.

$$Z_{max} = Z_{drv} + R_g = \frac{V_{drv} - V_{miller}}{I_{drv}} = \frac{12V - 1,96V}{0,61A} = 16,4\Omega \quad (4.25)$$

O valor aproximado da tensão V_{miller} é definido a partir da equação 2.3, onde com base nos valores de **datasheet** do GaN HEMT TPH3006LD, chega-se em seu valor estimado conforme em 4.26:

$$V_{miller} = V_{th} + \frac{I_{max}}{Gfs} = 1,96V \quad (4.26)$$

A escolha do circuito integrado de comando levou em consideração parâmetros como a frequência de comutação, elevada imunidade a **dv/dt**, isolamento adequada e capacidade de corrente. A tabela 4.9 apresenta as características do circuito integrado selecionado para o acionamento dos GaN HEMTs:

Tabela 4.9: Características do circuito integrado de comando dos GaN HEMTs

Descrição	Símbolo	Valor
Corrente de Saída - <i>Sink</i>	I_{sdrive}	4 A
Corrente de Saída - <i>Source</i>	I_{sdrive}	2 A
Tensão de Isolação	V_{iso}	5 kV
Imunidade a dv/dt	$CMTI$	45 kV/ μ s
<i>Output rise time</i>	Tr_D	12 ns
<i>Output fall time</i>	Tf_D	12 ns
Tempo Morto	Tm	75 a 900 ns
Resistência de Saída	Z_{drv}	2,7 Ω
Frequência Máxima	F_{max}	8 MHz
Fabricante/Modelo	SILICON LABS	Si8230BB-D-IS1

Considerando que o *driver* possui uma impedância de saída Z_{drv} ,

Tabela 4.10: Características do *ferrite bead* empregado no circuito de comando dos transistores GaN HEMTs

Descrição	Símbolo	Valor
Resistência DC	$R_{DC_{bead}}$	$0,6 \Omega$
Impedância @ 100 MHz	Z_{100M}	1000Ω
Fabricante/Modelo	WURTH	74279266

então o resistor de *gate* é definido por 4.27.

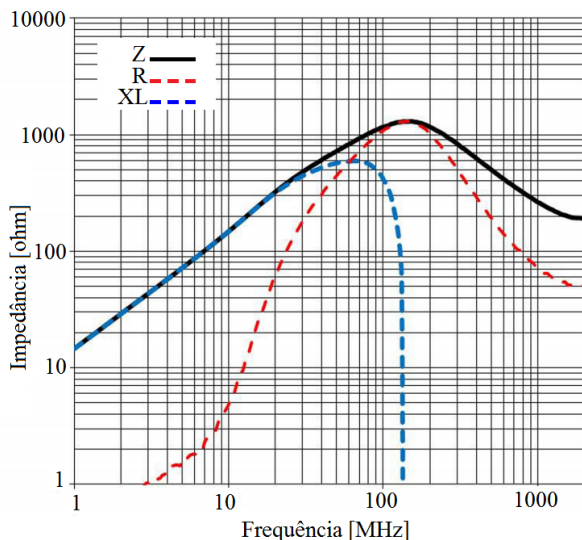
$$R_g = Z_{max} - Z_{drv} = 16,4\Omega - 2,7\Omega = 13,7\Omega \quad (4.27)$$

$$R_{esc_g} = 10\Omega \quad (4.28)$$

Conforme apresentado na seção 2.4.2, para minimizar o efeito de oscilações no circuito de acionamento do *gate*, foi incluído um **ferrite bead** no terminal *gate* do GaN HEMT. O cálculo do valor do **ferrite bead** deve considerar a frequência de ressonância esperada, com base nas indutâncias e capacitâncias parasitas do componente e da placa de circuito impresso. O procedimento para determinar essas componentes parasitas, pode muitas vezes ser impreciso ou complexo, desta forma é comum se fazer uma otimização experimental do valor necessário para o **ferrite bead**. De acordo com (FAIRCHILD, 2014), essas oscilações ocorrem na casa das dezenas a centenas de *Mega Hertz*, desta forma, foi selecionado o **ferrite bead** com as características da tabela 4.10 e com a curva de atenuação apresentada na figura 4.2. Caso necessário um ajuste, deve ser feito durante os testes experimentais do conversor.

O circuito completo de comando dos transistores é apresentado no anexo C nas figuras C.5 e C.3, sendo o circuito integrado *driver* representado por *U8*.

Figura 4.2: Curva característica do *ferite bead* WURTH 74279266.



Fonte: Produção do autor, modificado de WURTH ELEKTRONIK (ELEKTRONIK, 2012).

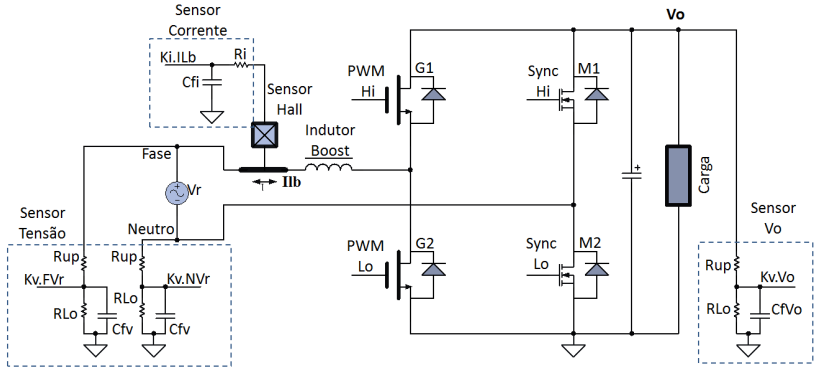
4.3.3 Comando do circuito de pré-carga

O circuito de comando do MOSFET de pré-carga é apresentado na figura C.3 do anexo C. Os resistores do circuito de polarização dos transistores de comando Q_2 e Q_5 , foram calculados para que os estes operem na região de saturação, quando comandados pelo microcontrolador.

4.4 Dimensionamento dos sensores

A estratégia de controle que será adotada, demanda a medição da tensão de entrada e saída do conversor, bem como a corrente no indutor. Na figura 4.3 são apresentados os pontos de sensoreamento e uma simplificação do circuito utilizado.

Figura 4.3: Diagrama simplificado dos sensores do conversor.



Fonte: Produção do autor.

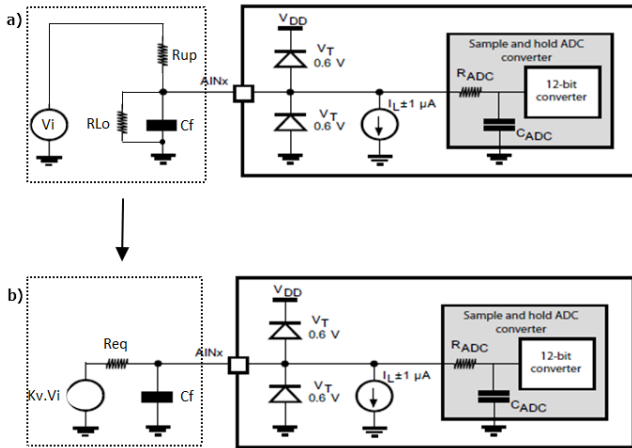
4.4.1 Sensores de tensão de entrada e barramento

A leitura de tensão de entrada V_r e de saída V_o são feitas através de um divisor resistivo com um filtro **anti-aliasing**. Na figura 4.4 é apresentado o circuito equivalente do divisor resistivo, com a conexão no conversor AD do tipo SAR (*successive approximation register*) do microcontrolador utilizado. Neste tipo de circuito de sensoramento, onde a impedância entre a fonte de sinal e o ponto de medição é relativamente alta devido ao divisor resistivo, deve-se projetar o capacitor de filtro C_f de forma a prover a energia necessária para o capacitor de amostragem C_{ADC} do conversor AD de forma a evitar a inserção de erros na leitura. Em (STM, 2003), (MICROELECTRONICS, 2013) e (BAKER,) são explorados métodos de projeto para circuitos de condicionamento de sinal para o conversor AD.

O valor da tensão de entrada V_r é representado por meio da equação 4.29, que deve ser implementada via software no microcontrolador.

$$V_r = K_v \cdot (F_{V_r} + N_{V_r}) \quad (4.29)$$

Figura 4.4: Diagrama equivalente dos sensores e conexão com os conversores *AD*.



Fonte: Adaptado de (MICROELECTRONICS, 2015).

Os valores dos resistores foram definidos de acordo com 4.30, sendo o ganho do sensor de tensão Kv dado por 4.31. O máximo valor na entrada AD do processador é então expresso em 4.32 que considera o maior valor medido, que é o da própria tensão de saída V_o do conversor.

$$R_{eq} = \frac{R_{up} \cdot R_{Lo}}{R_{up} + R_{Lo}} = \frac{1080k\Omega \cdot 6,8k\Omega}{1080k\Omega + 6,8k\Omega} = 6,757k\Omega \quad (4.30)$$

$$Kv = \frac{R_{Lo}}{R_{up} + R_{Lo}} = 6,2569 \cdot 10^{-3} \quad (4.31)$$

$$ADmax_{V_o} = Kv \cdot V_o = 5,125 \cdot 10^{-3} \cdot 380V = 2,377V \quad (4.32)$$

O frequência de corte do filtro foi ajustada para possibilitar a leitura até da 39ª harmônica da tensão de entrada V_r -esta escolha foi adotada visando a possibilidade de algum tipo de análise harmônica da ten-

são de entrada no futuro, visto que algumas normas como a IEC 61000-3-2 monitoram até a 39^a harmônica-. Desta forma tem-se em 4.33 o valor do capacitor C_{fv} e o valor comercial escolhido em 4.34:

$$C_{fv} = \frac{1}{2 \cdot \pi \cdot R_{eq} \cdot (39 \cdot F_{rede})} = 10,54 nF \quad (4.33)$$

$$C_{esc_{fv}} = 10 nF \quad (4.34)$$

O circuito completo dos sensores de tensão é apresentado na figura C.4 do anexo C.

4.4.2 Sensor de corrente do indutor boost

Para o sensoreamento de corrente, foi utilizado um sensor de efeito **Hall** do tipo circuito integrado, com as características apresentadas na tabela 4.11. Aspectos dinâmicos deste sensor, como a banda passante e atrasos de propagação de sinal, influenciam diretamente no controle do conversor, e serão apresentados em mais detalhes na seção 4.9.2.1.

O frequência de corte do filtro **anti-aliasing** foi ajustada para 60 kHz, que representa uma década acima da frequência de corte do controlador de corrente. O valor de capacitância e a resistência do filtro RC, são obtidos por meio de 4.35, sendo o valor comercial escolhido do capacitor C_{fi} definido em 4.36:

$$C_{fi} = \frac{1}{2 \cdot \pi \cdot R_i \cdot F_{CILb}} = \frac{1}{2 \cdot \pi \cdot 100 \Omega \cdot 60 kHz} = 26,52 nF \quad (4.35)$$

$$C_{esc_{fi}} = 24 nF \quad (4.36)$$

O esquemático completo do sensoreamento de corrente é apresentado nas figuras C.4 e C.3 do apêndice C.

Tabela 4.11: Características do circuito integrado de medição de corrente.

Descrição	Símbolo	Valor
Tensão de Isolação	$V_{IL_{iso}}$	2,5KV
Atraso de Propagação do Sinal	t_{PD}	2 us
Banda de Operação	BW_{si}	120kHz
Faixa de Medição de Corrente	I_{PR}	+ - 20 A
Ganho do Sensor	K_i	66 mV/A
Fabricante/Modelo	ALLEGRO	ACS725LLCTR-20AB-T

Tabela 4.12: Requisitos da fonte auxiliar

Descrição	Símbolo	Valor
Tensão de Comando dos Transistores	V_{drv}	12V / 100mA
Tensão de Alimentação do Processador	V_{uP}	3,3V / 50mA
Tensão de Auxiliar	V_{aux}	5V / 50mA

4.5 Fonte auxiliar

O estágio CC/CC da fonte auxiliar foi desenvolvido com base no circuito integrado *VIPER06* do fabricante *STMicroelectronics*. O dimensionamento dos componentes é feito utilizando a ferramenta online *analog-simulator* e o resultado é apresentado no anexo A.

Os requisitos para o projeto da fonte são apresentados na tabela 4.12 e o circuito completo na figura C.2 do apêndice C. Estes requisitos foram levantados, com base em estimativas de consumo dos circuitos de controle e sensoreamento utilizados.

4.6 Microcontrolador e circuitos periféricos

O microcontrolador escolhido para o controle do conversor é o STM32F334K8T6, do fabricante *STMicroelectronics*. Este dispositivo foi desenvolvido especialmente para aplicações em conversores estáticos e suas principais características estão:

- *Timer* de alta resolução (217ps).

- Comparador ultra-rápido (26ns para desabilitar um PWM a partir de um canal comparador).
- AD de 12 bits com taxa de até 5 Msps (*Mega samples per second*).
- Até 10 saídas PWM.
- Até 10 eventos de captura externo (Para uso por exemplo em circuitos de proteção de corrente, cruzamento por zero de tensão ou corrente, etc) e 5 entradas de detecção de falhas.
- Núcleo de processamento *ARM Cortex M4*, com unidade de cálculo em ponto flutuante, multiplicação e divisão em único ciclo, operando em até 72 MHz.

O circuito completo do microcontrolador é apresentado na figura C.4 do anexo C.

4.7 Rendimento teórico do conversor e análise de perdas

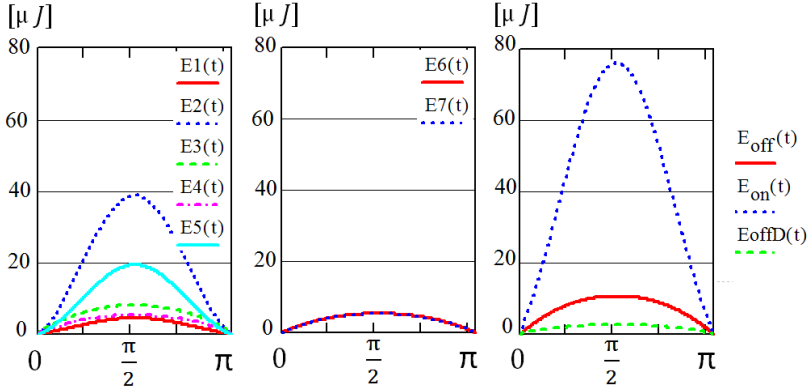
Nesta seção são apresentados os cálculos de perdas para os GaN HEMTs, bem como um comparativo entre os transistores avaliados.

4.7.1 Perdas de comutação

Conforme apresentado na seção 3.4.6, neste conversor são consideradas apenas as perdas de comutação nos GaN HEMT $G1$ e $G2$, visto que os MOSFETs $M1$ e $M2$ operam somente como retificadores síncronos na frequência da rede. Desta forma, resolvendo as equações de 3.40 a 3.49 tem-se a energia de comutação total do transistor, conforme apresentado na figura 4.5, para um semiciclo completo de rede:

Para determinar a perda de comutação total de um GaN HEMT, deve-se resolver 3.53, 3.54 e 3.55. Desta forma, tem-se a perda em watts

Figura 4.5: Energia de entrada em condução e bloqueio de um GaN HEMT, para o conversor operando com potência de 1KW, em tensão de entrada nominal.



Fonte: Produção do autor.

calculada em 4.37, 4.38 e 4.39:

$$PG2p_{sw} = \frac{1}{T_{rede}} \int_0^{\frac{T_{rede}}{2}} \{E_{on}(t) + E_{off}(t)\} \cdot F_{sw} \cdot dt = 1,53W \quad (4.37)$$

$$PG2n_{sw} = \frac{1}{T_{rede}} \int_{\frac{T_{rede}}{2}}^{T_{rede}} E_{offD}(t) \cdot F_{sw} \cdot dt = 0,05W \quad (4.38)$$

$$PG2_{sw} = PG2p_{sw} + PG2n_{sw} = 1,58W \quad (4.39)$$

A perda de comutação nos dois GaN HEMTs são similares, conforme valor apresentado em 4.40:

$$PG1_{sw} = PG2_{sw} = 1,58W \quad (4.40)$$

A perda de comutação total no conversor é apresentada em 4.41:

$$P_{tot_{sw}} = PG1_{sw} + PG2_{sw} = 3,17W \quad (4.41)$$

4.7.2 Perdas de condução

Esta seção reúne o cálculo de perdas de condução para todos os componentes.

No indutor as perdas são definidas de acordo com 3.56, desta forma tem-se o valor calculado em 4.42. O cálculo da perda magnética P_{Mag} é apresentado no apêndice A com base no *datasheet* do fabricante (MICROMETALS, 2014) .

$$P_{Lb} = ILb_{rms}^2 \cdot RS_{Lb} + P_{Mag} = (4,59A)^2 \cdot 80m\Omega + 2,9W = 4,58W \quad (4.42)$$

A perda no capacitor de saída conforme 3.57 é definida em 4.43.

$$P_{Co} = Ico_{rms}^2 \cdot RS_{Co} = (2,75A)^2 \cdot 50m\Omega = 0,38W \quad (4.43)$$

No MOSFET do retificador síncrono, a perda de condução conforme 3.58 é dada por 4.44. A perda nos dois mosfets $M1$ e $M2$ são iguais, desta forma o valor total é apresentado em 4.45.

$$P_M = IDS_{rms}^2 \cdot RDS_{on} = (3,27A)^2 \cdot 220m\Omega = 2,33W \quad (4.44)$$

$$P_{Mtot} = 2 \cdot 2,33W = 4,66W \quad (4.45)$$

No MOSFET de pré-carga a perda de condução é dada por 4.46, sendo a corrente circulante a própria do capacitor C_o .

$$P_{Mpc} = IDS_{rms}^2 \cdot RDS_{on} = (2,75A)^2 \cdot 220m\Omega = 1,68W \quad (4.46)$$

A perda de condução nos GaN HEMT é calculada de acordo com a equação 4.47. A perda nos dois transistores $G1$ e $G2$ são iguais, desta forma o valor total é apresentado em 4.48.

$$P_{GaNc} = IDS_{rms}^2 \cdot RDS_{on} = (3,25A)^2 \cdot 240m\Omega = 2,53W \quad (4.47)$$

$$P_{GaNctot} = 2 \cdot 2,53W = 5,06W \quad (4.48)$$

4.7.3 Comparativo de perdas

Com o objetivo de comparar as perdas entre os GaN HEMTs, MOSFETs e IGBTs quando aplicados nas posições $G1$ e $G2$ do conversor, conforme apresentado na figura 4.6, os cálculos foram replicados para os transistores apresentados na tabela 4.13. Tanto os MOSFETs quanto os IGBTs, foram selecionados adotando como critério, transistores que tivessem o melhor desempenho em comutação, penalizando o mínimo possível a sua característica de condução quando comparado com o GaN HEMT utilizado. As faixas de corrente e tensão dos transistores foram mantidas similares.

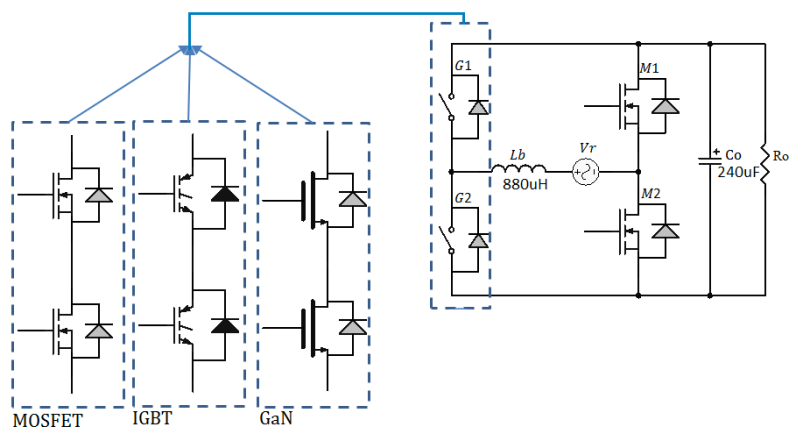
O gráfico da figura 4.7 apresenta o comparativo da energia de comutação para o ponto de corrente máxima do indutor em carga máxima. As regiões de $E1$ a $E7$ e E_{offD} são aquelas apresentadas na figura 3.16. Em 4.8 tem-se o comparativo das perdas totais de comutação e condução nos semicondutores das posições $G1$ e $G2$, para toda a faixa de potência de operação.

Tabela 4.13: Principais parâmetros dos componentes usados na comparação de perdas. (Valores estimados para operação com temperatura de junção de 100°C e corrente de 6,5A)

Descrição	GaN HEMT	IGBT	MOSFET
V_{DS} ou V_{CE}	600 V	600 V	700 V
I_{DS} ou I_{CE}	12 A	10 A	14 A
Q_{rr}	50nC	38nC	562nC
t_{rr}	34ns	34ns	150ns
S	1	1,2	0,33
t_a	17ns	15ns	112ns
t_{fv}	17ns	53ns	37ns
t_r	4ns	6,3ns	7,6ns
t_f	4ns	122ns	5,6ns
t_{rv}	4ns	53ns	7,6ns
I_{rrm}	2,5A	2,4A	6,2A
$R_{DS_{on}}$	240 m Ω	n.a.	250 m Ω
$V_{CE_{sat}}^{(1)}$	n.a.	$0,14 \cdot I_C + 1,3$	n.a.
Fabricante	Transphorm	STM	Infineon
Modelo	TPH3006LD	STGD10NC60	IPB65R150CFD

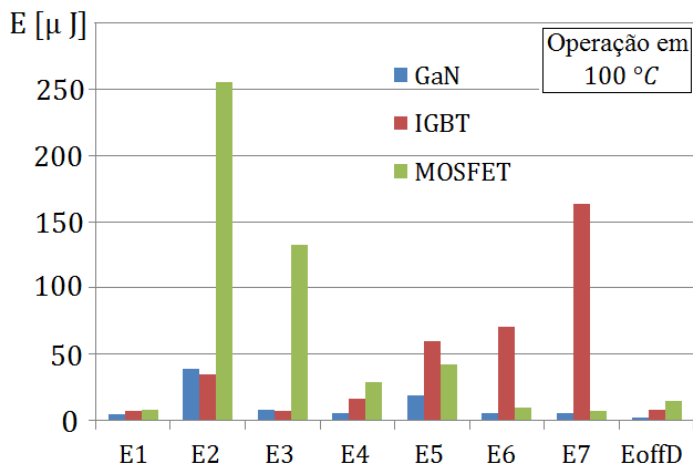
(1) Curva de VCE x ICE extraída do *datasheet*.

Figura 4.6: Diagrama do conversor BTPB-PFC, com destaque para região tracejada que apresenta a posição dos transistores comparados.



Fonte: Produção do autor.

Figura 4.7: Comparativo de energia de comutação das tecnologias GaN HEMT, IGBT e MOSFET operando no conversor BTPB-PFC em modo CCM.



Fonte: Produção do autor.

Com relação a figura 4.7, onde são comparados os valores de energia de comutação entre as três tecnologias de transistores avaliadas, seguem alguns comentários:

- **E1** (Entrada em condução): Conforme esperado, comparativamente com os outros segmentos todos os transistores apresentaram baixa energia.
- **E2, E3, E4 e E5** (Entrada em condução) : Estes segmentos da entrada em condução dos transistores são fortemente influenciados pela tecnologia do semicondutor. No GaN HEMT, verificam-se valores bem baixos de energia de comutação, em especial devido a suas características do diodo intrínseco da estrutura **cascade** com reduzido Q_{rr} , das baixas capacitâncias e alta velocidade de comutação características nesses transistores. No transistor IGBT também conforme visto, espera-se baixa energia de comutação, devido as suas propriedades que permitem a inserção de um diodo

interno, com ótimas características de recuperação reversa. Com relação ao MOSFET, conforme esperado se verifica alta energia de comutação, devido a característica do diodo intrínseco.

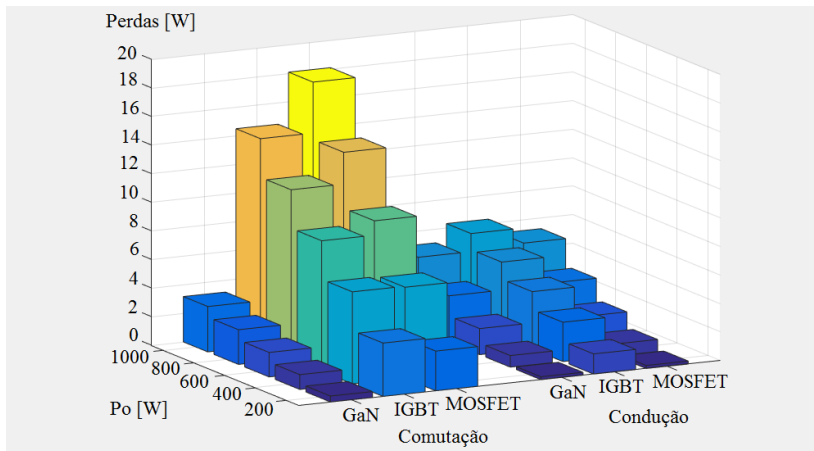
- **E6 e E7 (Bloqueio):** Nestas regiões de bloqueio, as tecnologias GaN HEMT e MOSFET tem ótimo desempenho, apresentando energia de comutação muito baixa. O transistor IGBT, conforme esperado apresenta altas perdas no bloqueio.
- **EoffD:** É comum essa parcela ser desconsiderada em cálculos de perdas. Verifica-se aqui uma energia bem pequena para todos os transistores avaliados.

Analizando a figura 4.8 com a discretização de perdas totais de comutação e condução, verifica-se uma grande vantagem para a tecnologia GaN HEMT, principalmente com relação a comutação. Tais características permitem um projeto térmico bem mais simplificado e barato. Os GaN HEMTs em estudo demonstram perdas de comutação ao menos 4 vezes menores que os IGBTs, e ao menos 5 vezes menores que os MOSFETs.

Os MOSFETs escolhidos para a aplicação, tinham as melhores figuras de mérito para comutação forçada de sua categoria, e mesmo assim apresentaram elevadas perdas de comutação, especialmente nas regiões relacionadas a recuperação reversa do diodo intrínseco, praticamente inviabilizando seu uso nessa topologia operando em CCM. A solução com MOSFETs não será avaliada experimentalmente no capítulo 5, visto que os resultados teóricos confirmam conclusões já amplamente divulgadas na literatura (BRUNNING, 2015) (SU; LU, 2010) (HUBER, 2008b).

Os IGBTs apresentam baixas perdas de comutação durante a entrada em condução, com destaque para as características do diodo interno ultra-rápido, que nos IGBTs não são intrínsecos de sua forma construtiva, desta forma podendo ser otimizados para comutação forçada. Ainda se pode melhorar as características de recuperação reversa

Figura 4.8: Comparativo de perdas totais nos transistores das posições $G1$ e $G2$ para as tecnologias GaN HEMT, IGBT e MOSFET, operando no conversor BTPB-PFC.



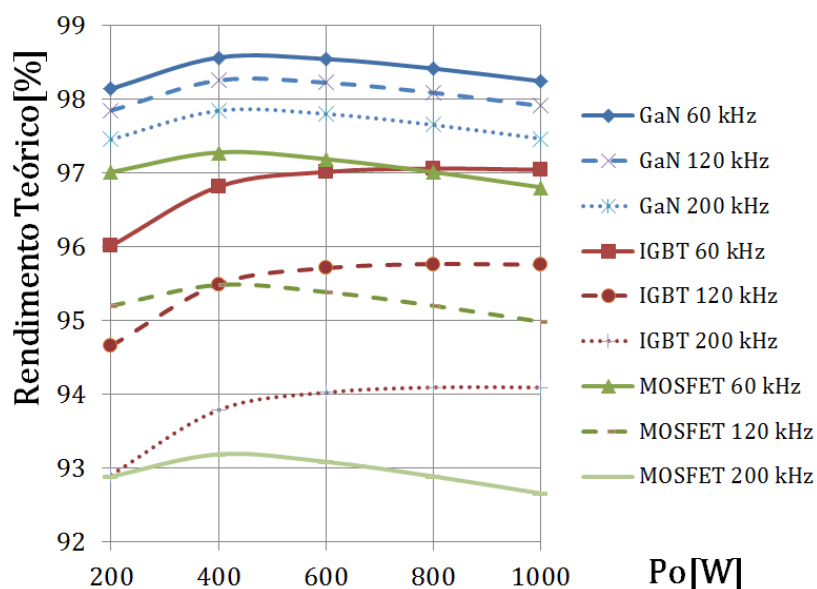
Fonte: Produção do autor.

do IGBT, com o uso de diodos de SiC, eliminando a influência das perdas causadas pela carga Q_{rr} . Com relação ao bloqueio (regiões $E6$ e $E7$), se pode verificar elevadas perdas. Esta é uma característica importante da tecnologia IGBT, em grande parte, devido a corrente de cauda presente nesses transistores. No que tange a condução, a tecnologia IGBT apresentou maiores perdas elétricas quando comparado com os MOSFETs e GaN HEMTs. Vale salientar que especialmente para operação em baixa carga, comparativamente os IGBTs apresentam maiores perdas de condução, devido sua característica de queda de tensão praticamente constante no canal $V_{CE_{sat}}$, fato este que tende a penalizar aplicações que necessitem elevado rendimento nesta condição, como por exemplo, nos compressores de capacidade variável. É importante ressaltar no entanto, que para aplicações de maior potência, os IGBTs tendem a apresentar melhores figuras de perdas de condução do que os MOSFETs.

4.7.4 Rendimento teórico

Na figura 4.9, apresenta-se o rendimento esperado do conversor para tensão nominal, com as três tecnologias de semiconductor avaliadas e frequência de comutação de 60 kHz, 120 kHz e 200 kHz.

Figura 4.9: Comparativo de rendimento teórico do conversor BTPB-PFC.



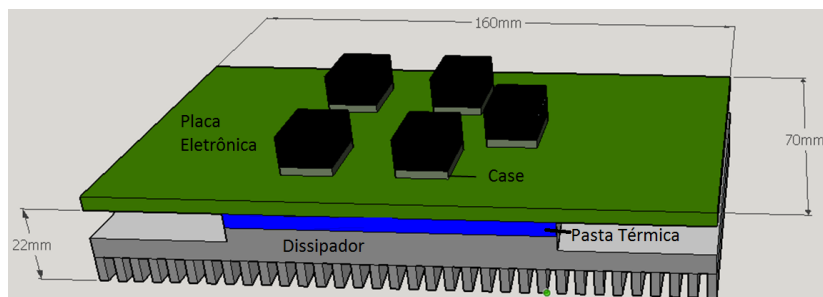
Fonte: Produção do autor.

Verifica-se que o conversor com GaN HEMTs apresenta o melhor rendimento entre todos, mesmo considerando operação em 200 kHz. Os IGBTs para frequências acima de 60 kHz, tendem a não ser uma solução interessante, limitando desta forma seu emprego nas especificações testadas. A aplicação com MOSFETs, embora tenha demonstrado rendimento praticamente similar ao IGBT em 60 kHz, apresenta elevadas perdas de comutação, que tendem a se elevar com o aumento de temperatura, limitando seu uso.

4.8 Projeto térmico

Os semicondutores utilizados no estágio de potência do conversor, utilizam encapsulamento com tecnologia SMT (*Surface Mount Technology*), desta forma é necessário prover uma forma de transferência de calor, entre a placa eletrônica e o dissipador de calor. Na figura 4.10 é apresentado o modelo mecânico 3D simplificado do conversor, com a disposição dos semicondutores de potência e uma ilustração das dimensões da placa eletrônica e dissipador. Embora não seja apresentado nesta figura simplificada, a fixação da placa no dissipador se dá através de parafusos. Na figura 4.11 é apresentada uma secção em corte do conversor, indicando as resistências térmicas que compõem o projeto. Nesta figura pode-se verificar que a transferência de calor entre o case do componente e o dissipador, é feita através de vias térmicas na placa eletrônica e de uma região preenchida com isolante elétrico. O conceito de vias térmicas e seu método de projeto é apresentado em (MARZ, 2003).

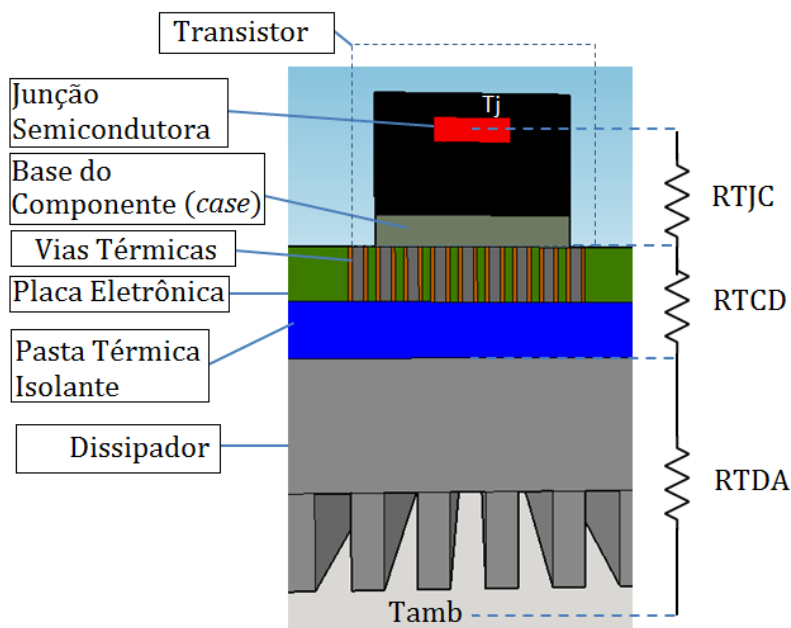
Figura 4.10: Modelo mecânico 3D do conversor (PCB e Dissipador).



Fonte: Produção do autor.

O projeto térmico foi dividido em três etapas conforme apresenta-se a seguir, onde inicialmente, com base nos requisitos da tabela 4.1 e das perdas máximas nos componentes, foram dimensionadas as resistências térmicas para atender os critérios de temperaturas máximas. No segundo passo foram calculadas as resistências térmicas obtidas, com base no número de vias utilizadas na PCB e área preenchida por isolante

Figura 4.11: Resistências térmicas da solução mecânica e conceito de vias térmicas.



Fonte: Produção do Autor.

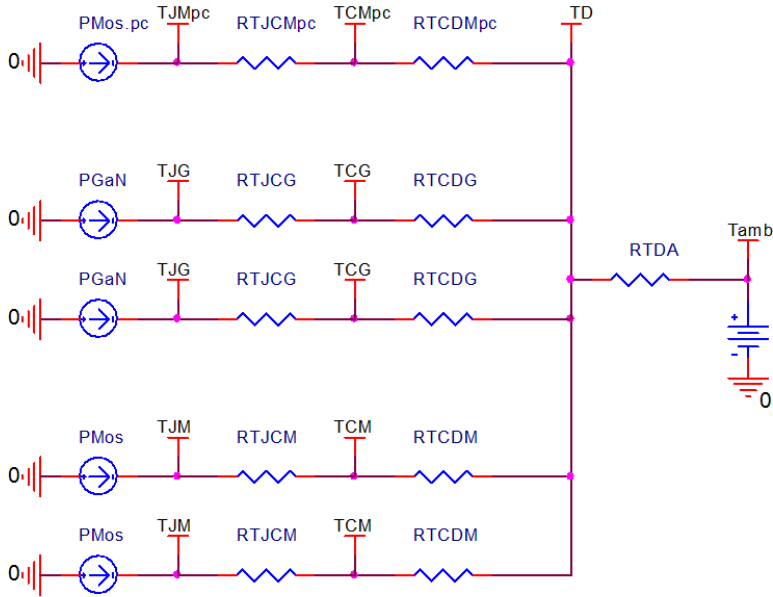
térmico. Como última etapa, foram estimadas as máximas temperaturas esperadas nos semicondutores.

4.8.1 Etapa 1 - Cálculo das resistências térmicas máximas

Na figura 4.12 é apresentado o diagrama elétrico equivalente do modelo térmico. Com base na potência total dissipada pelos semicondutores descrita na equação 4.49 e com os limites definidos de temperatura ambiente e no dissipador, pode-se definir a máxima resistência térmica do dissipador, com base em 4.50:

$$P_{tot} = P_{Mtot} + P_{Mpc} + P_{tot_{sw}} + P_{GaN_{ctot}} = 14,56W \quad (4.49)$$

Figura 4.12: Circuito elétrico equivalente do modelo térmico do conversor.



Fonte: Produção do autor.

$$RTDA = \frac{T_D - T_{amb}}{P_{tot}} = 1,71 \frac{^{\circ}C}{W} \quad (4.50)$$

A temperatura máxima no *case* do componente, definida por T_C , foi fixada em $120^{\circ}C$, devido ao limite do material da placa de circuito impresso. Pode-se então com base na potência dissipada em cada componente, se calcular a resistência térmica máxima aceitável entre o *case* e o dissipador de cada transistor. Esses valores são apresentados em 4.51, 4.52 e 4.53

$$RTCD_{Mpc} = \frac{T_C - T_D}{P_{Mpc}} = 20,88 \frac{^{\circ}C}{W} \quad (4.51)$$

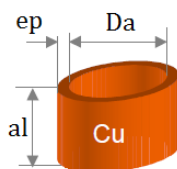
$$RTCD_M = \frac{T_C - T_D}{P_M} = 15,02 \frac{^{\circ}C}{W} \quad (4.52)$$

$$RTCD_G = \frac{T_C - T_D}{P_{GaN}} = 8,5 \frac{^{\circ}C}{W} \quad (4.53)$$

4.8.2 Etapa 2 - Projeto das vias térmicas e dissipador

Conforme apresentado em (MARZ, 2003), a resistência térmica de uma via na placa, considerando os parâmetros construtivos adotados com referência a figura 4.13 é apresentado em 4.54. Devido a uma facilidade construtiva, neste projeto foram colocadas 120 vias para cada semiconductor, desta forma a resistência térmica da placa será igual para todos os componentes, sendo seu valor aproximado pela equação 4.55. A figura D.1 do apêndice D, apresenta o *layout* da PCB com as regiões onde existem as vias térmicas.

Figura 4.13: Via térmica na PCB.



Fonte: Produção do autor, modificado de (MARZ, 2003).

Tabela 4.14: Dados de projeto das vias térmicas.

Descrição	Símbolo	Valor
Espessura da placa (PCB)	al	1,5mm
Espessura da parede da via térmica	ep	35 μ m
Diâmetro do furo da via térmica	Da	0,6 mm
Condutividade Térmica do Cobre	λ_{cu}	385 W/mK

$$RTH_{via} = \frac{al}{\lambda_{cu} \cdot D_a \cdot \pi \cdot ep} = 59,06 \frac{^{\circ}C}{W} \quad (4.54)$$

Tabela 4.15: Principais dados do isolante elétrico usado.

Descrição	Símbolo	Valor
Rigidez Dielétrica	V_{rig}	10,8 kV/mm
Resist. Term. p/ 1,5mm espessura	RTH_{isol}	709,6 °C.mm ² /W
Fabricante/Modelo	BERGQUIST	Gap Filler 3500S35

$$RTH_{placa} = \frac{RTH_{via}}{N_{vias}} = 0,49 \frac{^{\circ}C}{W} \quad (4.55)$$

Considerando a aplicação do isolante elétrico em uma região A_{isol} de 20mm x 20mm abaixo do transistor, o valor da sua resistência térmica é descrito em 4.56. Desta forma a resistência térmica total do case do componente para o dissipador $RTCD$ é definida em 4.57. Se pode verificar que o valor encontrado esta abaixo dos valores máximos requeridos em 4.51, 4.52 e 4.53, desta forma atendendo os requisitos. A tabela 4.15 apresenta os dados do Isolante térmico.

$$RTH_{gap} = \frac{RTH_{isol}}{A_{isol}} = \frac{RTH_{isol}}{20mm.20mm} = 1,77 \frac{^{\circ}C}{W} \quad (4.56)$$

$$RTCD = RTH_{placa} + RTH_{gap} = 2,26 \frac{^{\circ}C}{W} \quad (4.57)$$

O dissipador utilizado possui uma resistência térmica aproximada definida em 4.58, ligeiramente acima do valor máximo requerido em 4.50, desta forma, espera-se que temperatura no dissipador fique um pouco acima do limite de 85°C, conforme verifica-se em 4.59.

$$RTDA_{real} = 1,87 \frac{^{\circ}C}{W} \quad (4.58)$$

Tabela 4.16: Resistência térmica dos componentes (parâmetros de **datasheet**).

Descrição	Símbolo	Valor
Mosfet do ret. Sincrono	$RTJCM$	$0,66\text{ }^{\circ}\text{C}/\text{W}$
Mosfet pré Carga	$RTJCM_{pc}$	$0,66\text{ }^{\circ}\text{C}/\text{W}$
GaN HEMT	$RTJCG$	$1,55\text{ }^{\circ}\text{C}/\text{W}$

4.8.3 Etapa 3 - Estimativa das temperaturas nos componentes

Em 4.59 é recalculada a temperatura no dissipador considerando o modelo utilizado com $RTDA_{real}$.

$$TD_{real} = T_{amb} + P_{tot} \cdot RTDA_{real} = 87,24^{\circ}\text{C}_{eed} \quad (4.59)$$

Considerando os valores de resistência térmica de case para o dissipador em 4.57 e os valores de resistência térmica dos componentes conforme a tabela 4.16, pode-se calcular a temperatura de case e junção para todos os componentes. Em 4.60 e 4.61 tem-se a temperatura de case e junção para os MOSFETs $M1$ e $M2$ do retificador síncrono, em 4.62 e 4.63 para os GaN HEMTs $G1$ e $G2$ e em 4.64 e 4.65 para o MOSFET de pré-carga.

$$TCM = T_D + P_M \cdot RTCD = 92,52^{\circ}\text{C} \quad (4.60)$$

$$TJM = TCM + P_M \cdot RTJCM = 94,06^{\circ}\text{C} \quad (4.61)$$

$$TCG = T_D + P_{GaN} \cdot RTCG = 96,57^{\circ}\text{C} \quad (4.62)$$

$$TJG = TCG + P_{GaN} \cdot RTJCG = 99,29^{\circ}\text{C} \quad (4.63)$$

$$TCM_{pc} = T_D + P_{Mpc} \cdot RTCM = 91,04^\circ C \quad (4.64)$$

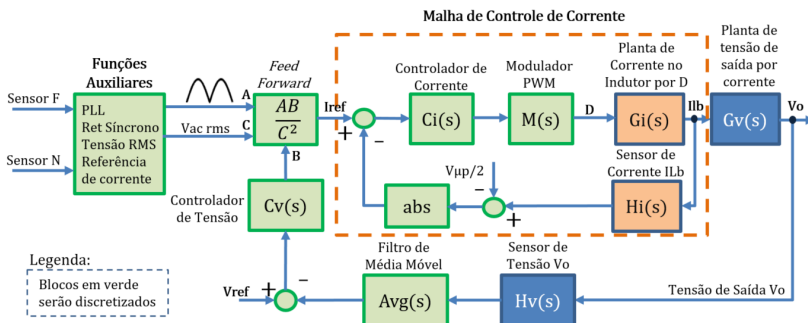
$$TJM_{pc} = TCM_{pc} + P_{Mpc} \cdot RTJCM = 92,15^\circ C \quad (4.65)$$

4.9 Desenvolvimento do controle digital

Nesta seção é apresentado o projeto de controle do conversor. O modelo dinâmico do conversor operando em CCM foi desenvolvido em (BRUNNING, 2015) e conforme demonstrado, as plantas de tensão de saída por corrente no indutor $Gv(s)$ e corrente no indutor por razão cíclica $Gi(s)$ são similares ao boost clássico.

O diagrama completo de controle do conversor é apresentado na figura 4.14, sendo detalhado nas seções seguintes.

Figura 4.14: Diagrama completo do controle do conversor.



Fonte: Produção do autor.

O bloco de funções auxiliares da figura 4.14 realiza as seguintes tarefas:

a) **Sincronismo com a rede:** O bloco PLL (*phase locked loop*) tem a função de prover o sincronismo do conversor com a rede elétrica e calcular o ângulo da tensão de entrada. Através da informação do ângulo,

se pode detectar o cruzamento por zero da tensão da rede. Este bloco atua também como um filtro robusto contra ruídos de alta frequência e distorções harmônicas de tensão. O PLL foi desenvolvido de acordo com a estrutura proposta em (CIOBOTARU; BLAABJERG, 2006).

b)**Retificador síncrono:** Com base nas informações do bloco PLL, o acionamento dos MOSFETs de retificação síncrona $M1$ e $M2$ e o acionamento complementar dos transistores $G1$ e $G2$ são comandados de acordo com os diagramas apresentados nas figuras 3.12 e 3.11.

c)**Calculo do valor eficaz da tensão e referência de corrente:** O valor eficaz da tensão de entrada e o sinal senoidal de referência para a corrente do conversor são calculados com base nos sensores de tensão de fase e neutro.

4.9.1 Metodologia de projeto adotada

O controle digital do conversor foi desenvolvido com base em (BUSO; MATTARELLI, 2006), sendo que de maneira geral, o procedimento de projeto consiste nos seguintes passos:

Passo 1) Modelar no domínio de *Laplace* todos os elementos do circuito de controle (Módulo PWM, atrasos e banda passante dos sensores, atrasos de processamento, atrasos causados pelo conversor AD, ganhos, etc).

Passo 2) Projetar o controlador usando as técnicas clássicas (Bode, Lugar das Raízes, alocação de polos e zeros).

Passo 3) Discretizar os controladores utilizando algum método de aproximação, como transformada de Tustin, *Backward Euler*, etc.

Passo 4) Implementar as equações recursivas no microcontrolador de controle do conversor.

O projeto dos compensadores foi realizado no domínio da frequência usando diagrama de Bode. Empregou-se a ferramenta *SISO tool* do software *Matlab*, para ajustar os ganhos e zeros dos controladores PI, de

forma a atender os requisitos definidos. A discretização dos controladores foi realizada empregando o método de Tustin. A tabela 4.17 apresenta os ganhos dos sensores, bem como alguns parâmetros de projeto.

Os critérios adotados para o projeto dos controladores são:

- Erro nulo da tensão de saída em regime.
- Margem de fase maior que 30 graus para o controlador de corrente e tensão.
- Banda passante do controlador de corrente BW_I de 1/10 da frequência de comutação.
- Banda passante do controlador de tensão BW_V de 1/4 da frequência da rede.

Tabela 4.17: Ganho dos sensores e parâmetros gerais para projeto dos controladores.

Descrição	Símbolo	Valor
Ganho do sensor de tensão	K_v	$6,7575 \cdot 10^{-3}$
Ganho do sensor de corrente	K_i	$0,066 \frac{V}{A}$
Taxa de execução da malha de tensão	Cv_{freq}	3840 Hz
Frequência de corte malha de tensão	BW_V	15 Hz
Taxa de execução da malha de corrente	Ci_{freq}	61,440 kHz
Frequência corte da malha de corrente	BW_I	6 kHz
Ganho do modulador PWM	K_{PWM}	$1/V_{uP}$
Tensão de referência do conversor AD	V_{uP}	3,3 V
Resolução do conversor AD	Res_{ad}	12 bit

4.9.2 Controlador de corrente

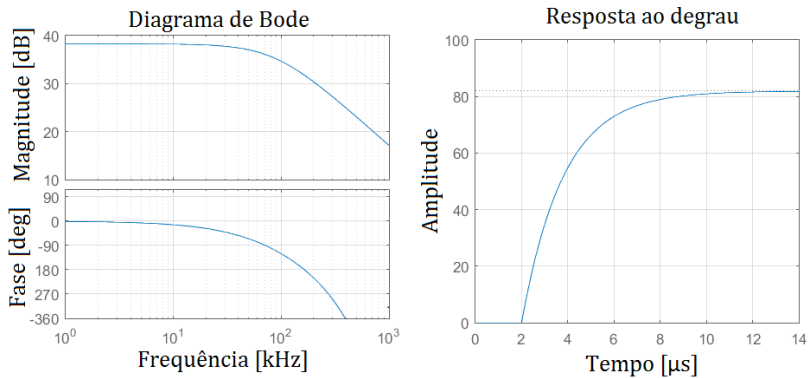
A malha de controle de corrente é composta pelos elementos presentes na região tracejada da figura 4.14. Para o controlador de corrente $Ci(s)$ empregou-se um controlador do tipo proporcional integral (PI).

4.9.2.1 Modelagem dos elementos

a) **Sensor de corrente:** O sensor de corrente utilizado é apresentado na tabela 4.11, sendo que suas características dinâmicas foram modeladas como um ganho de corrente K_i , um comportamento de sistema de primeira ordem, com frequência de corte ajustada para a banda passante informada no *datasheet* do componente, um atraso de propagação do sinal e o filtro RC na placa eletrônica. Desta forma, a equação 4.66 apresenta a função de transferência do sensor de corrente, já com os ganhos relacionados ao conversor A/D. Na figura 4.15 tem-se o diagrama de bode do sensor e a resposta ao degrau. Os parâmetros adotados na equação 4.66, estão definidos na tabela 4.11.

$$H_i(s) = \frac{K_i}{V_{uP}} \cdot 2^{Res_{ad}} \cdot \left(\frac{1}{1 + \frac{s}{2\pi \cdot BW_{si}}} \right) \cdot \left(\frac{1}{1 + \frac{1}{R_i \cdot C_{escfi} \cdot s}} \right) \cdot e^{-s \cdot t_{PD}} \quad (4.66)$$

Figura 4.15: Diagrama de *bode* e resposta do sensor de corrente $H_i(s)$ a um degrau unitário.



Fonte: Produção do autor.

b) **Planta de corrente no indutor por razão cíclica:** O projeto do compensador de corrente é feito com base na frequência de cruzamento por zero da *FTMA* compensada do sistema. Desta forma é utilizada a

planta simplificada do conversor, que considera o capacitor de saída e a carga como uma fonte de tensão constante. Isto é possível, visto que para frequências próximas do cruzamento por zero, o efeito da razão cíclica não é representativo, quando comparados os modelos simplificado e completo do conversor. A função de transferência simplificada é apresentada em 4.67. :

$$Gi(s) = \frac{Vo}{Lb.s} \quad (4.67)$$

c) **Modulador PWM:** Conforme apresentado em (BUSO; MATTAVELLI, 2006), o modulador PWM adiciona um atraso ao circuito de controle digital, que limita a banda de controle. O bloco modulador é composto por um *zero order hold (ZOH)*, um circuito de amostragem e um comparador. A função de transferência de acordo com (BUSO; MATTAVELLI, 2006) é descrita por 4.68:

$$M(s) = e^{-s \cdot \frac{T}{2}} \quad (4.68)$$

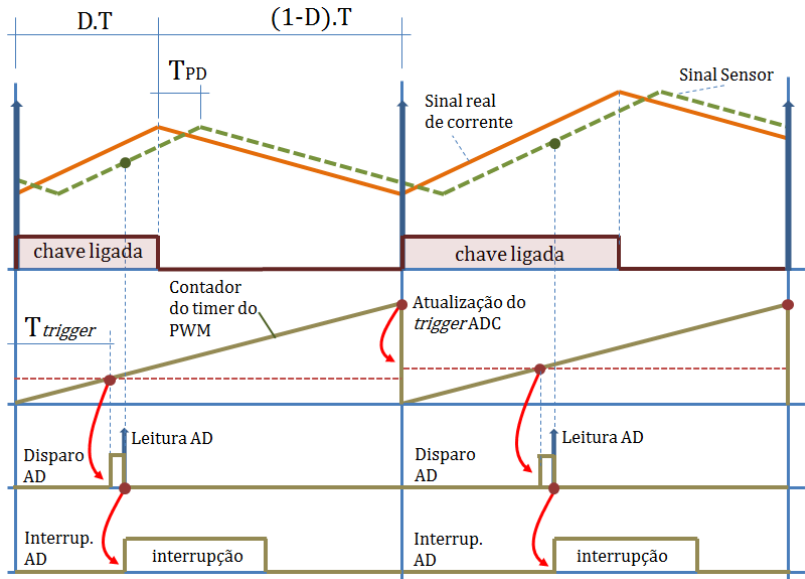
d) **Controlador PI de corrente:** O controlador *PI* é descrito pela equação 4.69:

$$Ci(s) = Kpi_I \cdot \left(\frac{s + Zpi_I}{s} \right) \quad (4.69)$$

4.9.2.2 Sincronismo da leitura de corrente

A leitura de corrente do conversor é sincronizada com o PWM de acordo com a figura 4.16. Conforme descrito em (BUSO; MATTAVELLI, 2006), esta característica de sincronismo da leitura de corrente é de extrema importância no controle dos conversores estáticos, pois permite a reconstrução do valor médio da forma de onda, que geralmente é o valor que se deseja controlar. Sem o uso desta técnica, seria necessário uma amostragem em taxas elevadas de forma a reconstruir o sinal de corrente.

Figura 4.16: Diagrama de sincronismo da leitura de corrente do indutor. (desenho não em escala real)



Fonte: Produção do autor.

Conforme apresentado na figura 4.16, a interrupção de leitura da corrente é ajustada considerando o tempo de atraso do sensor de corrente (linha tracejada), para que a amostragem do sinal ocorra no valor médio da rampa de subida. O tempo $T_{trigger}$ para disparo do conversor AD é calculado pela equação 4.70.

$$T_{trigger} = \frac{D.T}{2} + T_{PD} \quad (4.70)$$

4.9.2.3 Projeto do controlador discreto de corrente

Com base nos componentes modelados, o controlador 4.69 é ajustado para atender os requisitos dinâmicos da tabela 4.17, para a

FTMA da malha de corrente conforme equação 4.71.

$$FTMA_{ILb} = Ci(s).M(s).Gi(s).Hi(s)$$

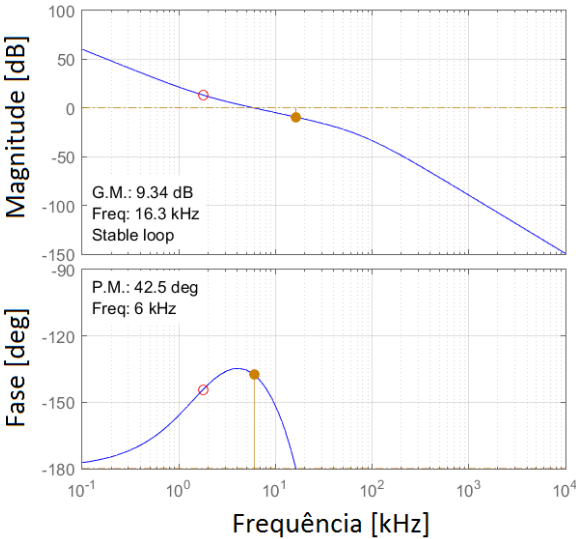
(4.71)

Na figura 4.17 é apresentado o diagrama de bode da FTMA compensada da malha de corrente. Este gráfico considera os ganhos do controlador *PI* conforme a tabela 4.18. Se pode verificar que os requisitos de margem de fase e frequência de corte estão sendo atendidos.

Tabela 4.18: Parâmetros do controlador PI de corrente.

Descrição	Símbolo	Valor
Zero do controlador	Z_{pi_I}	11200 rad/s
Ganho do controlador	K_{pi_I}	34,5

Figura 4.17: Diagrama de Bode da *FTMA_{ILb}* compensada.

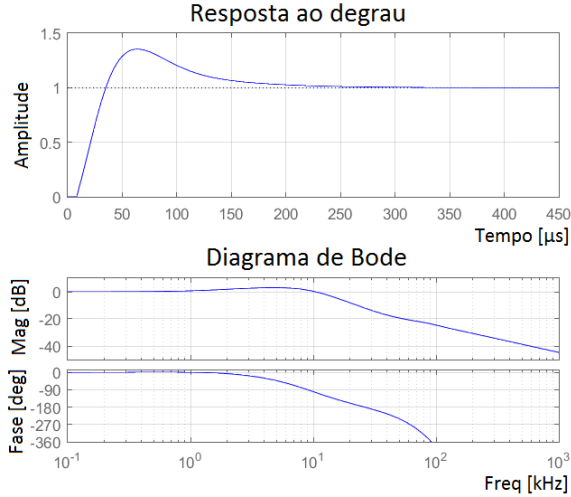


Fonte: Produção do autor.

Na figura 4.18 é apresentado o diagrama de bode da FTMF de corrente e a resposta ao degrau unitário na referência de corrente. Observa-

se um sobre sinal de aproximadamente 40%, o que é aceitável para os componentes empregados no projeto.

Figura 4.18: Resposta ao degrau e diagrama de bode da $FTMF$ da malha de corrente.



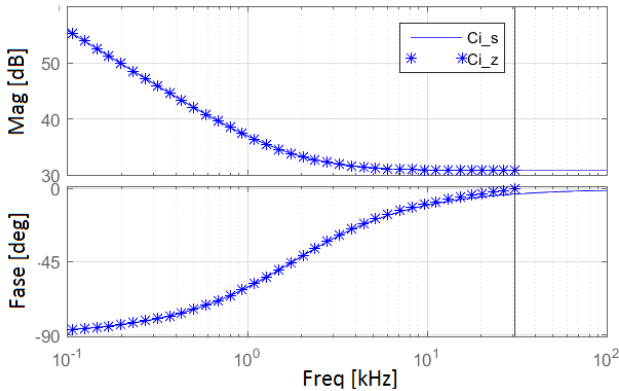
Fonte: Produção do autor.

A discretização do controlador PI da equação 4.69, é feita usando o método de *Tustin* (ÅSTRÖM, 1995). O controlador de corrente discretizado para taxa de execução Ci_{freq} (ver tabela 4.17) é apresentado em 4.72, e a equação recursiva para implementação no processador em 4.73. Na figura 4.19 é apresentado o diagrama de bode do controlador $Ci(z)$, comparado com a resposta do controlador $Ci(s)$.

$$Ci(z) = \frac{37,64 \cdot z - 31,36}{z - 1} \quad (4.72)$$

$$Yi_n = 37,64 \cdot u_i(n) - 31,36 \cdot u_i(n - 1) - Yi(n - 1) \quad (4.73)$$

Figura 4.19: Diagrama de bode do controlador de corrente $Ci(z)$ discretizado para taxa de execução Ci_{freq} (61440 Hz), versus o controlador no domínio de Laplace $Ci(s)$.



Fonte: Produção do autor.

4.9.3 Controlador de tensão

Considerando que a malha de corrente opera em uma frequência muito superior a da malha de tensão, pode-se adotar toda a malha de corrente como apenas um ganho Ki .

4.9.3.1 Modelagem dos elementos

a) **Sensores de tensão da entrada e da saída:** São formados por um divisor resistivo com ganho Kv , conforme apresentado na seção 4.4.1. A função de transferência do sensor é apresentada em 4.74, já considerando o ganho do conversor AD:

$$Hv(s) = \frac{Kv}{V_{uP}} \cdot 2^{Res_{ad}} \cdot \left(\frac{1}{1 + R_{eq} \cdot C_{escfv} \cdot s} \right) \quad (4.74)$$

b) **Planta de tensão de saída por corrente no indutor:** Foi utilizada a planta de acordo com 4.75, sendo D_{med} a razão cíclica média

definida em 4.76:

$$Gv(s) = R_o \cdot D_{med} \cdot \left(\frac{1}{R_o \cdot C_o \cdot s + 1} \right) \quad (4.75)$$

$$D_{med} = \frac{2 \cdot V_p}{\pi \cdot V_o} \quad (4.76)$$

c) **Feedforward de tensão de entrada:** O **feedforward** apresentado na figura 4.14 é representado pela equação 4.78. A multiplicação da referência de corrente A introduz um ganho no sistema que é dado por 4.77:

$$K_{ff} = V_p \cdot \frac{2}{\pi} \quad (4.77)$$

$$FF_e = \frac{A \cdot B}{C^2} \quad (4.78)$$

d) **Controlador PI:** De acordo com a equação 4.79.

$$Cv(s) = K_{piV} \cdot \left(\frac{s + Z_{piV}}{s} \right) \quad (4.79)$$

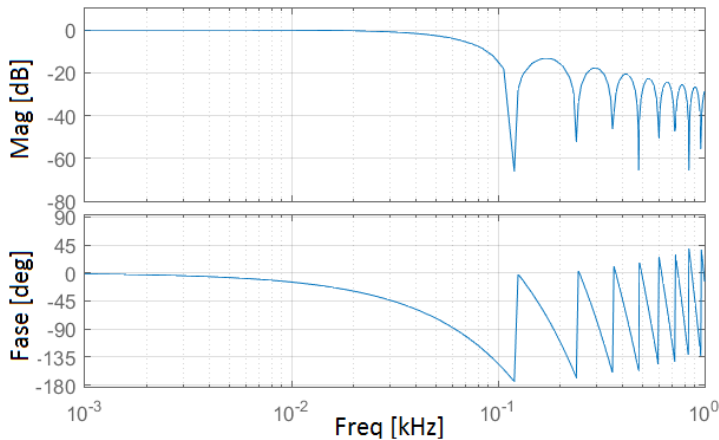
4.9.3.2 Projeto do controlador discreto de tensão de saída

Uma característica presente nos conversores para correção ativa de fator de potência, é que a tensão de saída, possuirá uma ondulação com frequência igual ao dobro da frequência da rede. Esta ondulação não poderá deixar de existir, uma vez que deseja-se ter na entrada uma corrente senoidal em fase com a tensão (SOUZA, 1998). Devido a esta característica de ondulação na tensão de saída, a banda do controlador fica limitada a frequências de corte aproximadamente 10 vezes inferiores a ondulação no barramento, de forma a não causar distorções na referência da corrente controlada. Como forma de amenizar este efeito, geralmente se faz uso de capacitores de barramento com alta capacitância, para reduzir a ondulação de tensão e melhorar a resposta dinâmica

as variações de carga, isto no entanto, implica em um aumento de custo do conversor.

Com o uso do controle digital, conforme apresentado em (NO-DARI, 2011) é possível aumentar a banda do controlador de tensão, através de um filtro de média móvel digital. O filtro é projetado para eliminar a ondulação causada pela rede e suas frequências múltiplas. Na equação 4.80 é apresentada a função de transferência do filtro e na figura 4.20 o diagrama de bode da transformada z inversa de 4.80. O filtro foi projetado para 32 amostras N_s , e uma taxa de execução na mesma taxa Cv_{freq} de 3,84 kHz.

Figura 4.20: Diagrama de bode do filtro média móvel da tensão de saída V_o .



Fonte: Produção do autor.

$$Avg(z) = \frac{1}{N_s} \frac{1 - z^{-N_s}}{1 - z^{-1}} \quad (4.80)$$

Com o filtro de média móvel, a frequência de corte do controlador de tensão, pode ser ajustada para atender o requisito de BW_V de 15 Hz, sem causar distorções na referência de corrente. A $FTMA_{V_o}$ é apresentada na equação 4.81, sendo que a figura 4.21 demonstra a o diagrama

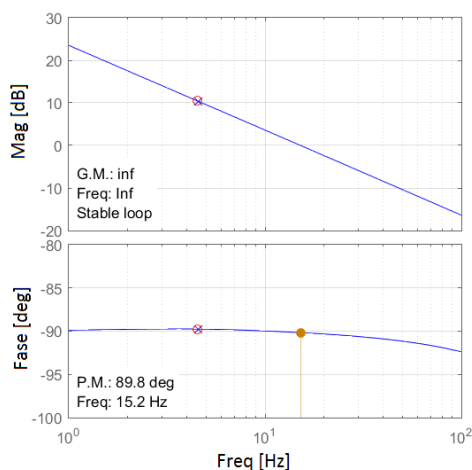
de bode com base nos ganhos da tabela 4.19 para o controlador PI de tensão.

Tabela 4.19: Parâmetros do controlador PI de tensão.

Descrição	Símbolo	Valor
Zero do controlador	Z_{piV}	16,2 rad/s
Ganho do controlador	K_{piV}	0,0068

$$FTMA_{Vo} = Ci(s) \cdot \frac{1}{K_i} \cdot Gv(s) \cdot Hv(s) \quad (4.81)$$

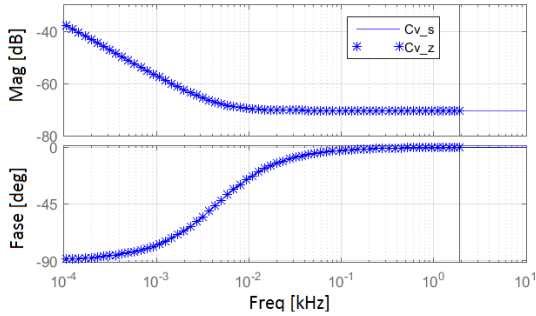
Figura 4.21: Diagrama de Bode da $FTMA$ compensada da tensão de saída.



Fonte: Produção do autor.

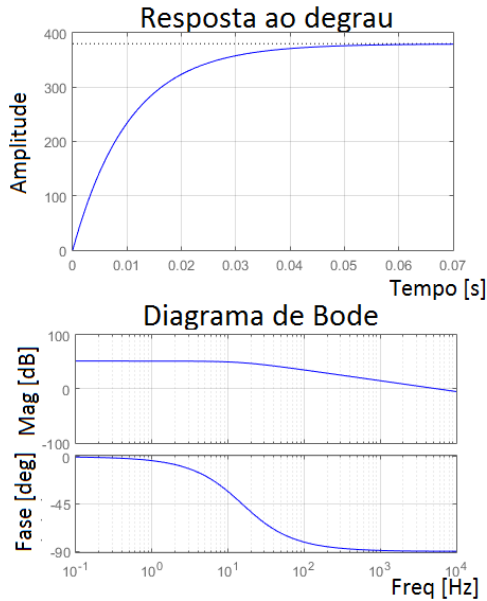
De forma similar ao método usado no controlador de corrente, o PI para controle de tensão foi discretizado usando o método de *Tustin*. A discretização da equação 4.79 para operação na frequência Cv_{freq} é apresentado em 4.82 e a equação recursiva para implementação no processador em 4.83. Na figura 4.22 tem-se o comparativo do controlador discreto, com o controlador em Laplace. Na figura 4.23 tem-se a resposta a um degrau na referência de tensão do controlador e a $FTMF_{Vo}$.

Figura 4.22: Diagrama de Bode do controlador de tensão $C_v(z)$ discretizado para taxa de execução $C_{v_{freq}}$ versus o controlador no domínio de Laplace $C_v(s)$.



Fonte: Produção do autor.

Figura 4.23: Resposta ao degrau e diagrama de bode da *FTMF* da tensão de saída.



Fonte: Produção do autor.

$$Cv(z) = \frac{0,006898.z - 0,006842}{z - 1} \quad (4.82)$$

$$Yv_n = 0,006898.u_v(n) - 0,006842.u_v(n - 1) - Yv(n - 1) \quad (4.83)$$

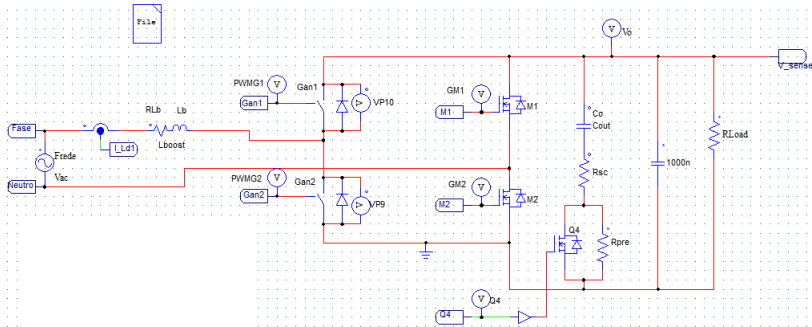
4.9.4 Implementação no microcontrolador STM32F334

A estratégia de controle foi desenvolvido em linguagem C de programação. O fluxograma macro de operação do conversor é apresentado no apêndice B.

4.10 Resultados de simulação

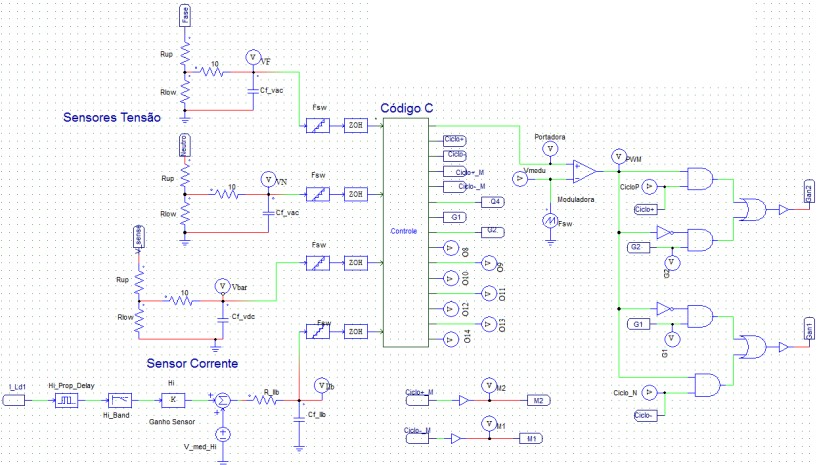
A simulação numérica do conversor, foi desenvolvida como forma de validação dos cálculos de esforços de tensão e corrente no conversor e verificação da dinâmica de controle. Os controladores discretizados foram implementados em código C no software de simulação PSIM. O diagrama completo do circuito simulado é apresentado nas figuras 4.24 e 4.25.

Figura 4.24: Estágio de potência do conversor simulado.



Fonte: Produção do autor.

Figura 4.25: Sensores e controle do conversor simulado.



Fonte: Produção do autor.

4.10.1 Simulação dos esforços nos componentes

A tabela 4.20 apresenta um comparativo dos valores calculados, *versus* obtidos em simulação. Se pode verificar que os resultados simulados e calculados são similares, validando desta forma o equacionamento do conversor.

Tabela 4.20: Comparativo de valores calculados vs simulados para operação em tensão nominal de entrada e carga máxima.

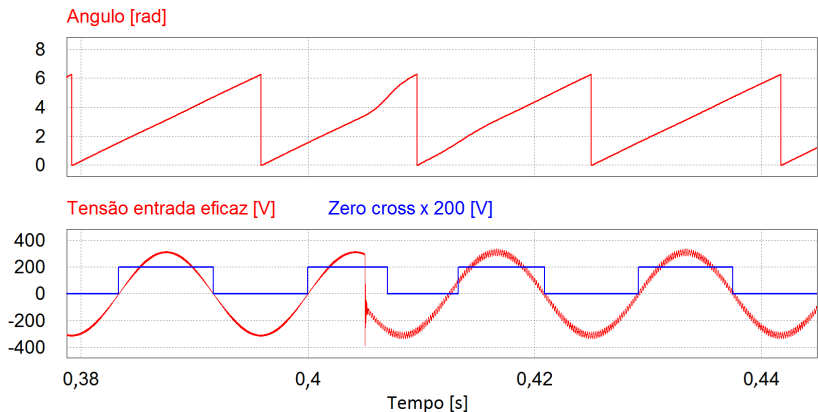
Descrição	Calculado	Simulado
ILb_{rms}	4,59 A	4,58 A
$\Delta I_{Lb}(t_{max})$	1,79 A	1,80 A
I_o	2,63 A	2,62 A
Ico_{rms}	2,75 A	2,75 A
ΔV_o	29,08 V	31,6 V
$IM1_{rms}$	3,27 A	3,24 A
$IM2_{rms}$	3,27 A	3,24 A
$IG1_{rms}$	3,25 A	3,24 A
$IG2_{rms}$	3,25 A	3,24 A
V_o	380 V	380 V

4.10.2 Simulação dos sensores e circuitos auxiliares

Esta seção apresenta algumas formas de onda importantes para validação do funcionamento do conversor.

Em 4.26 se verifica o funcionamento do bloco PLL, onde é apresentado o ângulo da tensão de entrada e a detecção de passagem por zero. Nesta simulação é feita também a injeção de uma componente de alta frequência na rede elétrica -tensão senoidal com valor eficaz de 20 V e 60 kHz-, com o intuito de avaliar imunidade a ruídos e uma mudança de fase. As formas de onda apresentadas demonstram o correto funcionamento do módulo, recuperando-se rapidamente do distúrbio aplicado e provendo a informação correta do ângulo, mesmo com um sinal de tensão de entrada com alta componente de ruído acoplado.

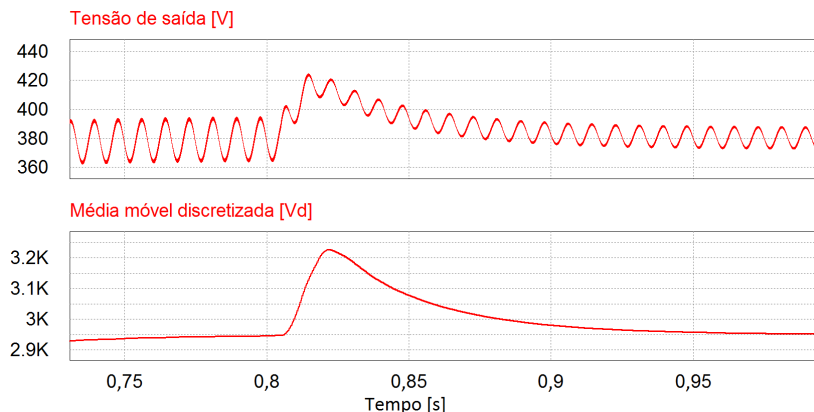
Figura 4.26: Simulação do módulo PLL com o cálculo do ângulo da tensão de entrada e detecção de cruzamento por zero.



Fonte: Produção do autor.

Na figura 4.27 é apresentado o comparativo entre a tensão de saída do conversor e a média móvel deste sinal, que é calculada pelo algoritmo de controle. Se verifica claramente, que a componente de 120Hz foi totalmente eliminada no sinal discretizado. A escala $[V_d]$ representa o valor numérico depois do sinal discretizado.

Figura 4.27: Simulação comparativa entre a tensão de saída V_o e a média móvel discretizada deste sinal.

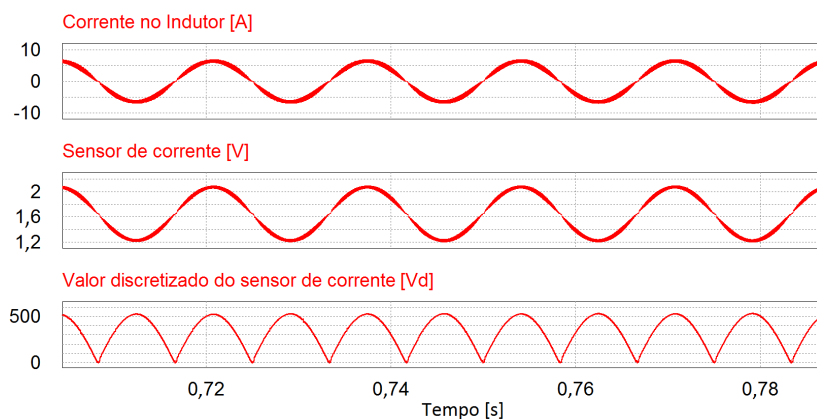


Fonte: Produção do autor.

Em 4.28 tem-se os sinais do sensor de corrente e o valor discretizado deste sinal, para operação do conversor em potência e tensão de entrada nominal. Importante mencionar, que o zero do sensor de corrente fica posicionado em $V_{uP}/2$, que equivale a 1,65V. O algoritmo de controle executa uma função de *zero off-set*, que define o valor $V_{uP}/2$ como sendo o zero de corrente. O sinal discretizado, já é apresentado como o módulo do valor lido pelo conversor AD.

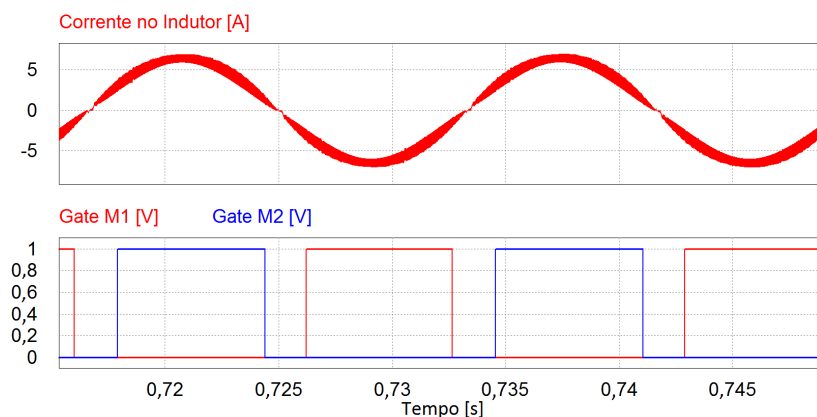
Na figura 4.29 tem-se a simulação dos momentos de acionamento dos MOSFETs $M1$ e $M2$ de retificação síncrona. A ativação da retificação síncrona (que também habilita o acionamento complementar nos transistores $G1$ e $G2$) foi ajustada para iniciar somente acima de um determinado valor de corrente que garanta o conversor operando em CCM, e desligar com uma histerese em relação a este valor de ativação inicial. Isto se faz necessário, de modo a evitar que energia seja transferida do capacitor de barramento, para o indutor do *boost* quando não existe corrente circulando pelo indutor.

Figura 4.28: Simulação da leitura do sensor de corrente e do sinal discretizado.



Fonte: Produção do autor.

Figura 4.29: Simulação dos instantes de acionamento dos MOSFETs $M1$ e $M2$ de retificação síncrona.



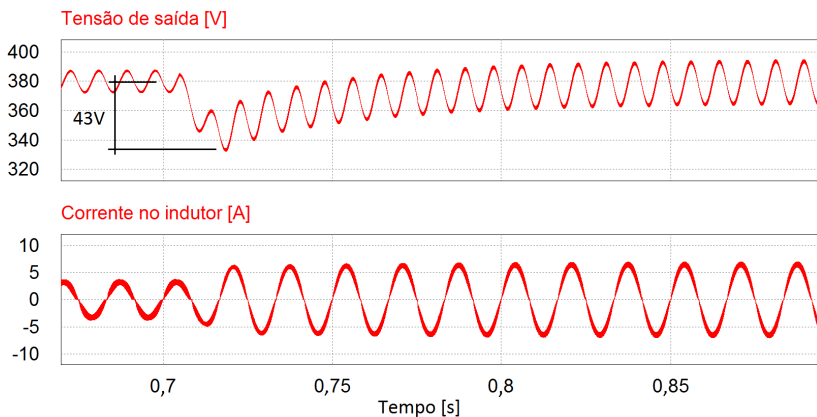
Fonte: Produção do autor.

4.10.3 Simulação da dinâmica de controle

Nesta seção são verificadas as respostas dinâmicas de corrente e tensão do conversor, com base nos controladores projetados.

Na figura 4.30, tem-se a resposta do conversor a um degrau de adição na carga, de 50% do valor nominal, para carga nominal. Em 4.31, tem-se o degrau de carga nominal, para 50% da carga nominal. Em ambos os casos, tem-se um comportamento de resposta de primeira ordem conforme esperado. O sobressinal e afundamento de 43 V, observados na tensão de saída, não representam problemas para os semicondutores. O tempo de acomodação do sinal de aproximadamente 80ms está bem aproximado ao resultados esperados para o controlador projetado.

Figura 4.30: Simulação de degrau de carga na saída de 500W para 1000W

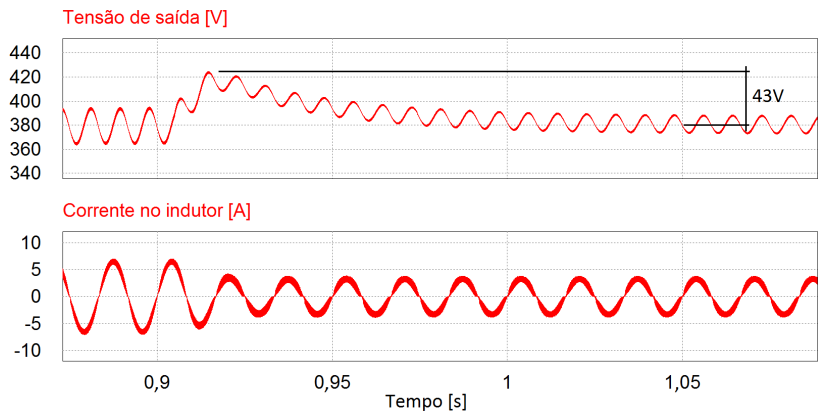


Fonte: Produção do autor.

Em 4.32, 4.33, 4.34 e 4.35 são apresentados os resultados simulados, da resposta do conversor a variações de tensão na entrada, operando em 500W. Se pode observar um sobressinal máximo na tensão de saída V_o de 38V e um afundamento de 30V. Verifica-se também claramente a ação do **feedforward**, agindo na referência de corrente de forma a reduzir o impacto na tensão de saída do conversor.

As figuras 4.32 e 4.35 apresentam também o detalhe da corrente no indutor, no momento em que a referência de corrente é alterada pelo **feedforward**. Neste instante, se pode verificar que a dinâmica do controlador de corrente apresenta um comportamento bem estável, com tempo

Figura 4.31: Simulação de degrau de carga na saída de 1000W para 500W



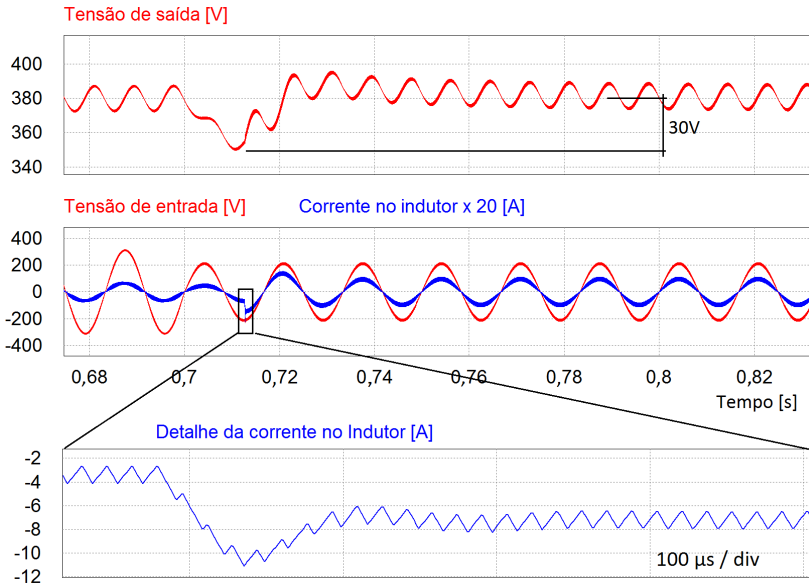
Fonte: Produção do autor.

de acomodação similar ao obtido no projeto do compensador de acordo com 4.18.

Em 4.36 tem-se a simulação do diagrama de partida do conversor. O procedimento foi dividido em três estágios, sendo que em *ES1*, acontece a carga dos capacitores de barramento por 5 ciclos de rede e o acionamento do transistor *Q4* no sexto ciclo, removendo o resistor de *in-rush* do circuito. No estágio *ES2*, ocorre a operação em malha aberta de tensão do conversor, onde a cada semiciclo da rede é adicionado um incremento na referência do controlador de corrente. Este estágio perdura até que a tensão de saída do conversor atinga 370V. A partir deste ponto, inicia o estágio de operação normal em malha fechada de tensão - *ES3*.

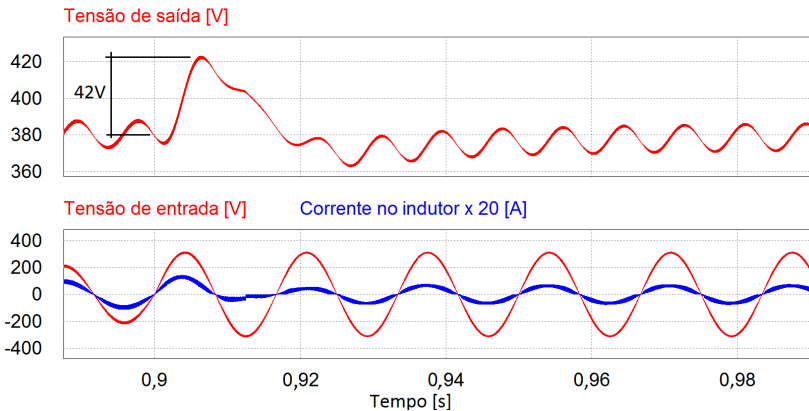
Por fim, na figura 4.37 tem-se o resultado de simulação, com o valor máximo de ondulação para operação do conversor com tensão eficaz de entrada de 220 V e potência de saída nominal. O resultado está alinhado com o valor calculado na equação 4.5.

Figura 4.32: Simulação de degrau no valor eficaz de tensão de entrada de 220 V para 150 V.



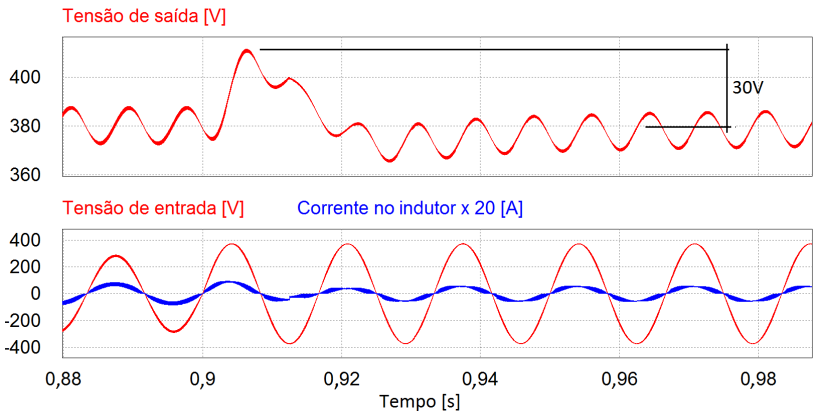
Fonte: Produção do autor.

Figura 4.33: Simulação de degrau no valor eficaz de tensão de entrada de 150 V para 220 V.



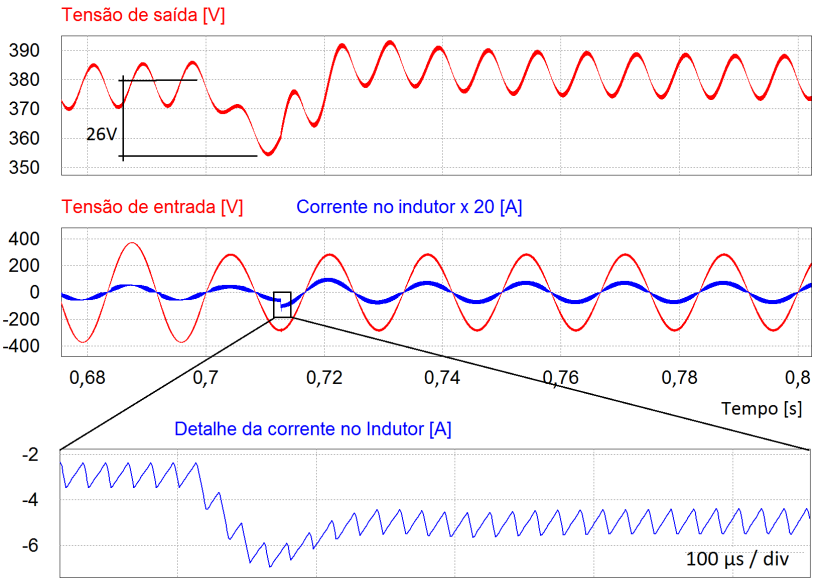
Fonte: Produção do autor.

Figura 4.34: Simulação de degrau no valor eficaz de tensão de entrada de 200 V para 264 V.



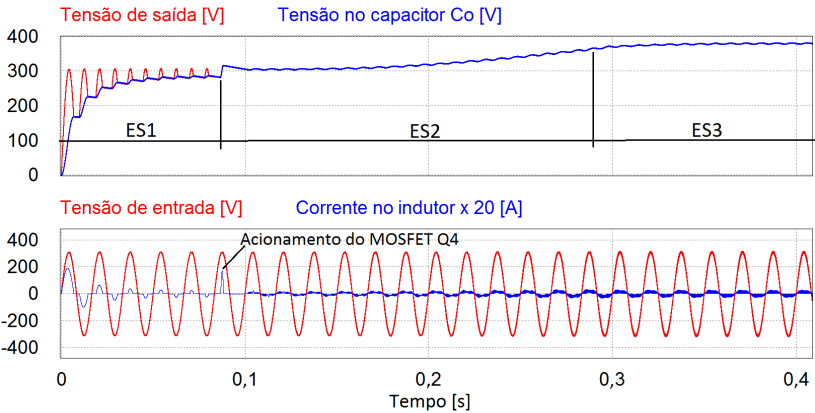
Fonte: Produção do autor.

Figura 4.35: Simulação de degrau no valor eficaz de tensão de entrada de 264 V para 200 V.



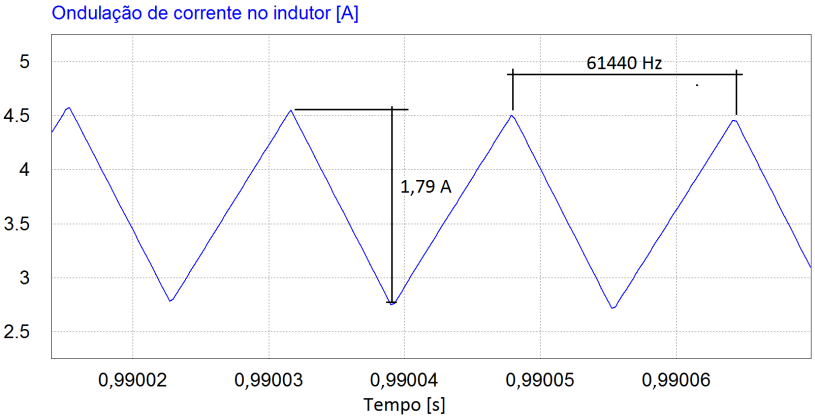
Fonte: Produção do autor.

Figura 4.36: Partida suave do conversor.



Fonte: Produção do autor.

Figura 4.37: Ondulação máxima de corrente no indutor e frequência de comutação para tensão de entrada e potência nominal.

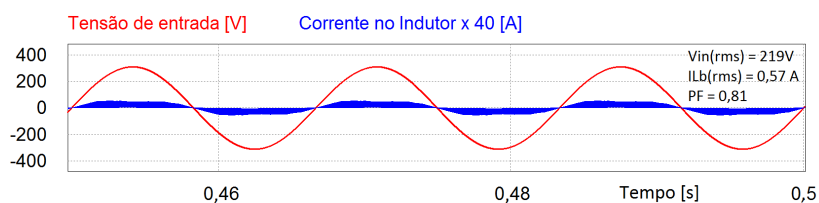


Fonte: Produção do autor.

4.10.4 Simulação da corrente e fator de potência

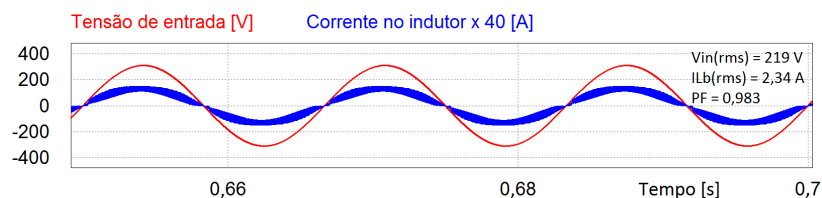
Nas figuras 4.38, 4.39 e 4.40, são apresentados os resultados de simulação das formas de onda de corrente e fator de potência do conversor, para operação em 100W, 500W e 1000W. Conforme esperado, para operação com baixa carga, o conversor opera em modo DCM, demonstrando valores menores de fator de potência. Para operações em 500W e 1000W já se verifica elevado fator de potência, e corrente senoidal.

Figura 4.38: Operação em 100W



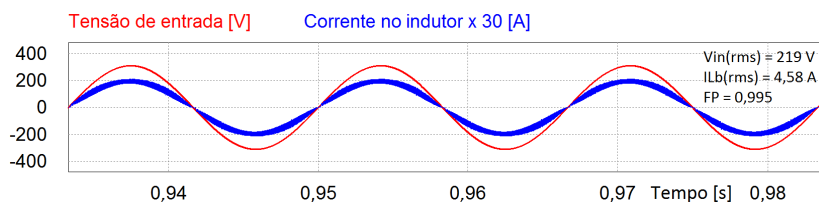
Fonte: Produção do autor.

Figura 4.39: Operação em 500W



Fonte: Produção do autor.

Figura 4.40: Operação em 1000W



Fonte: Produção do autor.

4.11 Conclusão

Neste capítulo foi realizado o dimensionamento do estágio de potência do conversor, os circuitos de sensoreamento e o projeto dos controladores. O conversor utilizando GaN HEMTs foi comparado do ponto de vista de perdas elétricas, com as tecnologias IGBT e MOSFET. Por fim o conversor foi simulado como forma de validação do projeto.

O dimensionamento dos componentes do conversor e levantamento de perdas, foi realizado com base no desenvolvimento teórico do capítulo 3.

A avaliação teórica dos GaN HEMTs apresentou baixas perdas de condução e comutação, com destaque para a comutação. O arranjo **cascade**, apresentou ótima recuperação reversa do diodo interno, devido ao uso de um MOSFET de baixa tensão associado ao GaN HEMT de alta tensão. Conforme visto na figura 4.7, verifica-se baixa energia no bloqueio e entrada em condução, fato este não possível de ser atingido de forma simultânea nas tecnologias MOSFET ou IGBT para comutação forçada.

O projeto térmico com base no conceito de vias térmicas, foi realizado visando aplicação no conversor com GaN HEMT. Em geral os resultados calculados apontam para a viabilidade técnica da solução empregada, sendo que os resultados experimentais devem ser empregados para validar o projeto.

O controle digital do conversor foi desenvolvido considerando as não idealidades dos sensores utilizados, bem como dos elementos digitais do sistema. O projeto seguiu uma abordagem clássica de controle em cascata do conversor *boost PFC* operando em CCM, com um **feed forward** para melhorar a dinâmica da resposta da tensão de saída. Em uma abordagem mais detalhada visando uma aplicação em escala, seria necessário uma análise mais aprofundada, das influências de variações de tolerâncias de componentes e outros parâmetros na estabilidade e resposta dinâmica do conversor.

Os resultados de simulação, validaram os cálculos de esforços nos componentes e apresentaram uma boa resposta dinâmica do conversor na malha de corrente e tensão, validando o projeto dos controladores.

5 RESULTADOS EXPERIMENTAIS

Este capítulo é dedicado a apresentação dos resultados experimentais do conversor, ensaiado com os GaN HEMTs e IGBTs da tabela 4.13. Os testes de avaliação dinâmica do conversor, foram realizados com GaN HEMTs.

Inicialmente as medições de algumas formas de onda importantes dos circuitos de sensoreamento são apresentadas. Na sequência os resultados da resposta dinâmica de operação do conversor são introduzidos e analisados. Os resultados obtidos de fator de potência são verificados e o rendimento do conversor nas duas configurações testadas, são apresentados e comparados com os resultados esperados. As medições térmicas do conversor são exibidas e verificadas contra os resultados de projeto. Por fim, as figuras de comutação para as duas configurações do conversor (GaN HEMT e IGBT), são apresentadas e analisadas.

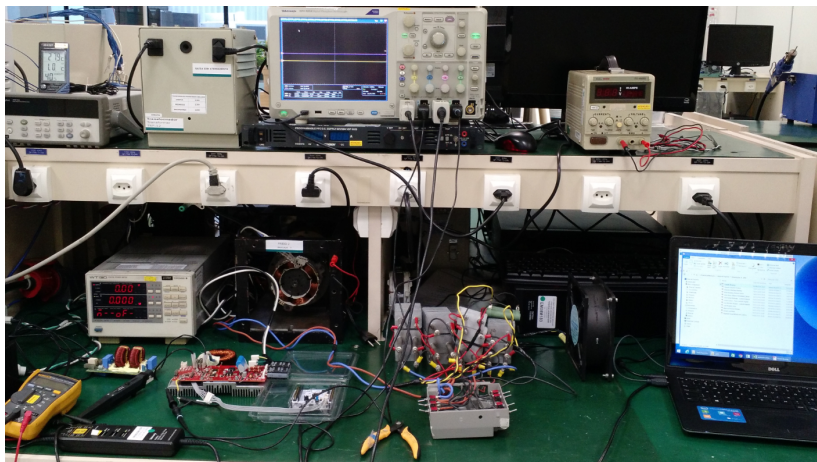
Os experimentos foram realizados com os equipamentos apresentados na tabela 5.1, sendo que para as medições de comutação, a ponteira de 500MHz foi empregada. Na figura 5.1 tem-se uma foto da bancada de teste com os equipamentos e na figura 5.2, uma foto do protótipo desenvolvido.

Neste capítulo, os transistores serão referenciados com base no esquemático do protótipo desenvolvido, de acordo com apêndice C.

Tabela 5.1: Equipamentos de medição usados nos testes experimentais.

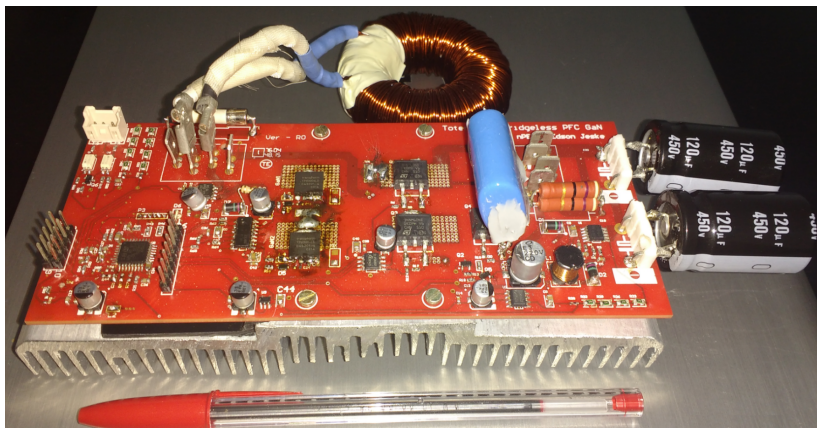
Equipamento	Fabricante	Modelo
Wattímetro	Yokogawa	WT-130
Ponteira de corrente 120MHz	Tektronix	TCP0030
Ponteira de tensão 500MHz	Tektronix	P6139B
Ponteira de tensão dif. 100MHz	Tektronix	P5205A
Osciloscópio 500MHz	Tektronix	DPO-5054
Fonte AC regulada	California Instrum.	–

Figura 5.1: Bancada de testes do conversor.



Fonte: Produção do autor.

Figura 5.2: Foto do protótipo do conversor desenvolvido.



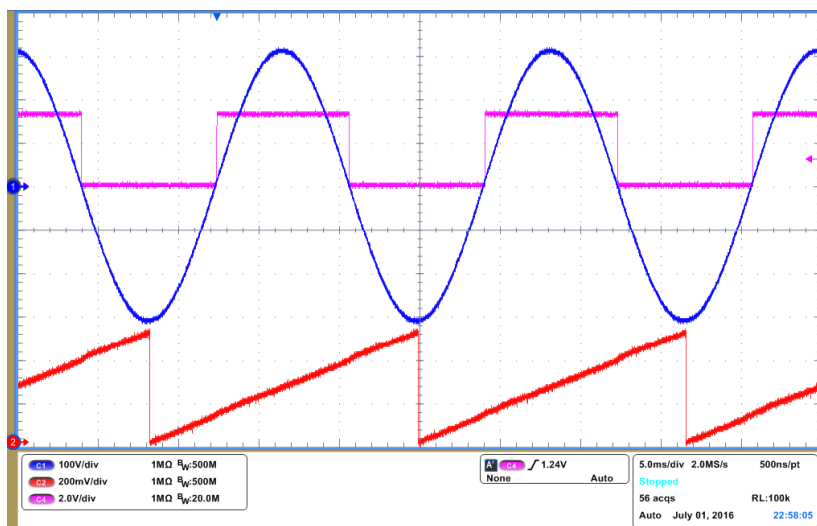
Fonte: Produção do autor.

5.1 Sensores e circuitos auxiliares

Uma etapa importante para o funcionamento do conversor é a detecção do cruzamento por zero da tensão de entrada. Na figura 5.3,

se pode verificar que o ângulo calculado pelo PLL e a detecção do cruzamento por zero estão ocorrendo corretamente. Esta figura pode ser comparada com o valor simulado em 4.26.

Figura 5.3: Detecção de cruzamento por zero. (C1: Tensão da rede; C2: Saída do conversor DA com angulo da rede; C3: Bit de inversão na detecção do zero-cross.)

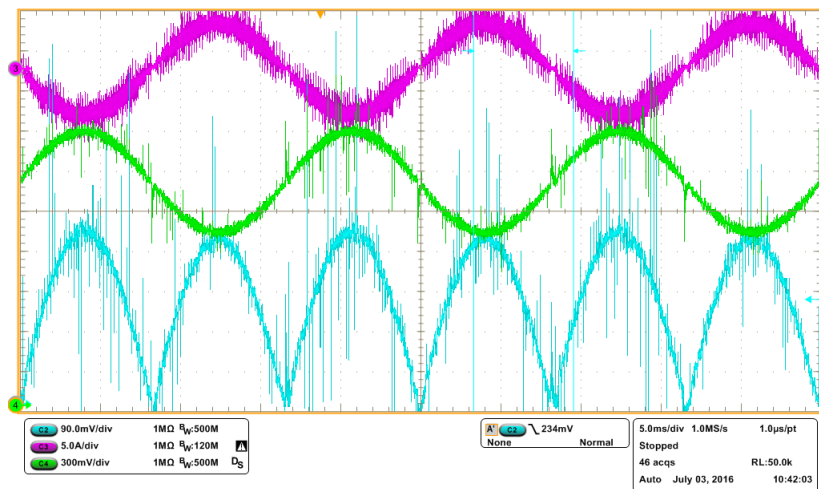


Fonte: Produção do autor.

Na figura 5.4 é apresentada a leitura da corrente no indutor L_b do *boost*. As formas de onda são similares aos valores simulados apresentados na figura 4.28, porém com uma maior quantidade de ruído acoplado, devido a medição e comutação do conversor.

Durante os testes iniciais do conversor, verificou-se uma relação sinal/ruído muito ruim no sinal discretizado do sensor de corrente, que como consequência, causava algumas distorções na corrente controlada. Como forma de contornar o problema, o sinal do sensor foi amostrado a uma taxa de 1,96 MHz e uma média móvel de 32 pontos foi feita de cada ciclo de PWM. Essa estratégia de **oversampling** foi possível, graças ao canal DMA (*direct memory access*) do microcontrolador, que foi configu-

Figura 5.4: Sensoreamento da corrente no indutor. (C2: Saída do conversor DA com a leitura de corrente discretizada; C3: Corrente no indutor do boost; C4: Sinal do sensor de corrente.)



Fonte: Produção do autor.

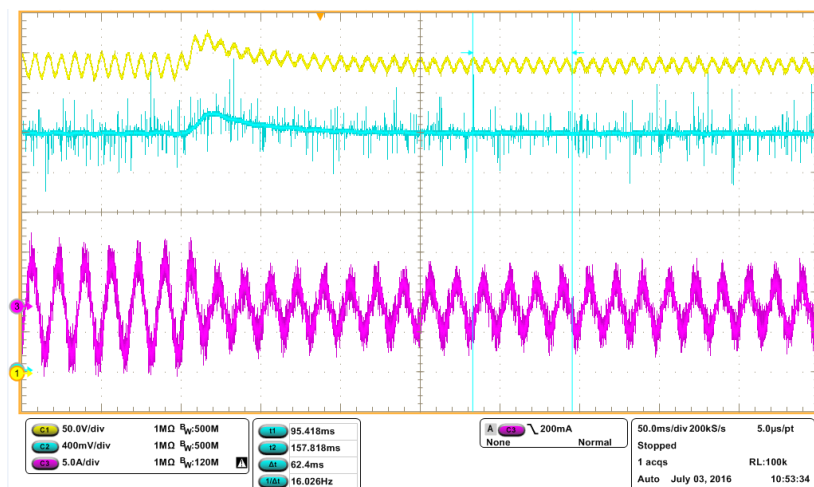
rado para fazer as aquisições automaticamente. O diagrama de leitura de corrente apresentado em 4.16 continua sendo válido, no entanto, no momento da leitura de corrente, ocorre uma média das últimas 32 amostras, representando desta forma, o valor médio de corrente de um ciclo completo de PWM. Importante ressaltar que esta técnica adiciona um atraso de fase no sinal lido, dessa forma a estabilidade deve ser novamente avaliada, conforme apresentado na seção 5.2.

Na figura 5.5 tem-se a verificação do filtro de média móvel da tensão de saída, onde de forma similar aos valores simulados na figura 4.27, a componente de 120Hz do sinal V_o é eliminada no sinal discretizado.

Na figura 5.6 são apresentadas as tensões medidas da fonte auxiliar do conversor.

Por fim, na figura 5.7 tem-se o funcionamento do retificador síncrono com os sinais de acionamento dos MOSFETs Q_1 e Q_3 . As re-

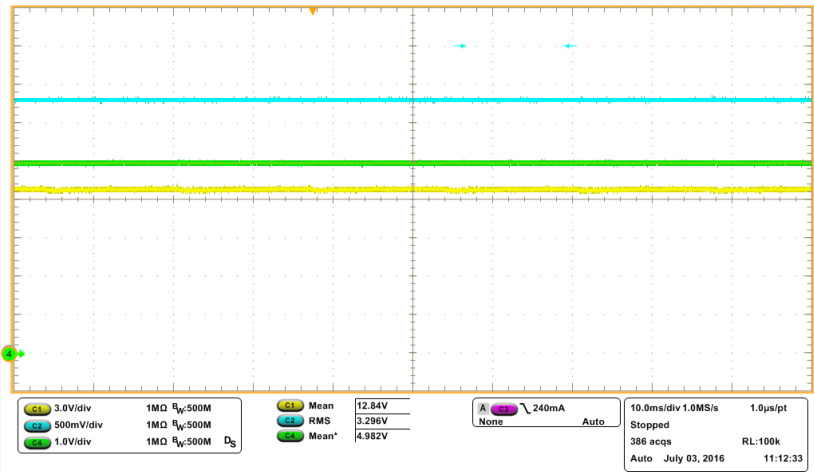
Figura 5.5: Média móvel da tensão de saída V_o . (C1: Tensão de saída V_o ; C2: Saída do conversor DA com média móvel de V_o discretizada; C3: Corrente no indutor do *boost*.)



Fonte: Produção do autor.

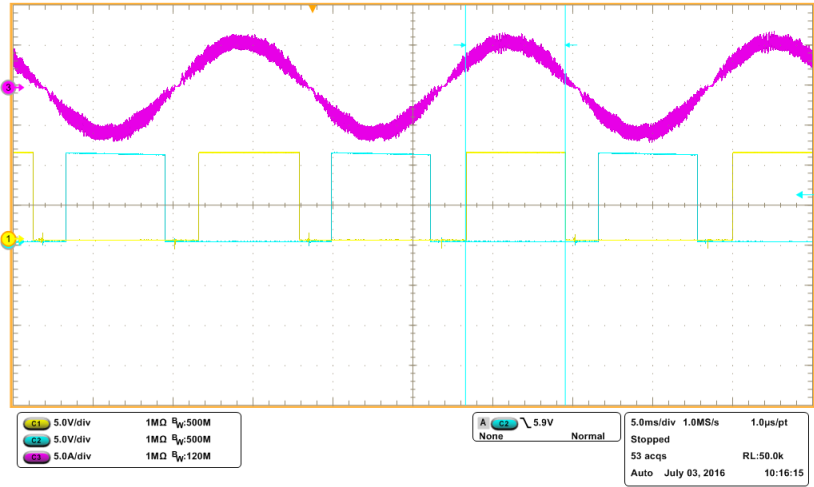
ferências aos transistores $Q1$ e $Q3$, podem ser vistas no esquemático completo no apêndice C.3. Observa-se nesta figura, que próximo do cruzamento por zero da corrente, os MOSFETs são desligados. Conforme mencionado na seção 4.10.2, isto acontece para evitar que circule corrente do capacitor do barramento para a rede, quando não existe circulação de corrente no indutor (isto ocorre no cruzamento por zero da tensão da rede, e quando o conversor está operando abaixo de 150W, visto que nesses casos, pode-se operar em DCM). Na realidade este desligamento dos MOSFETs $Q1$ e $Q3$ não necessariamente precisaria acontecer com tamanha margem, visto que bastaria o desligamento dos transistores nas posições $GaN1$ e $GaN2$ para evitar o efeito indesejado, bastando aqui observar-se o tempo morto necessário para se evitar um curto-circuito do capacitor de saída.

Figura 5.6: Tensões da fonte auxiliar. (C1: Fonte de 12 V; C2: Fonte de 3,3 V; C4: Fonte de 5 V.)



Fonte: Produção do autor.

Figura 5.7: Comando da retificação síncrona de Q1 e Q3. (C1: Tensão V_{gs} em Q3; C2: Tensão V_{gs} em Q1; C3: Corrente no indutor do boost.)

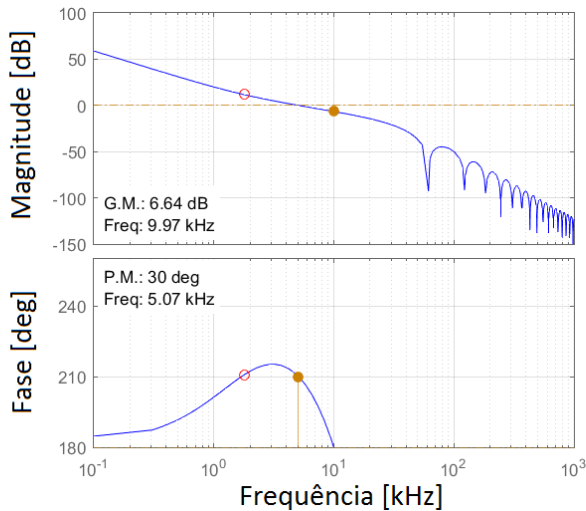


Fonte: Produção do autor.

5.2 Avaliação da resposta dinâmica do conversor

Conforme mencionado na seção 5.1, um filtro digital foi inserido na leitura de corrente para minimizar o efeito da baixa relação sinal/ruído. Este filtro é descrito pela equação 4.80, com número de amostras $N_s = 32$ e uma frequência de amostragem de 1,96 Msp/s (*mega samples per second*). Considerando a inclusão deste filtro na malha de corrente e um pequeno ajuste no ganho do controlador, o diagrama de bode ajustado da FTMA compensada de corrente é apresentada na figura 5.8. A resposta ao degrau e a FTMF de corrente são apresentados na figura 5.9, onde verifica-se que o sobre sinal pode chegar a aproximadamente 60%. Em regime, o valor de pico de corrente nos transistores é de 6,49 A conforme definido em 4.2, desta forma existe uma boa margem de projeto, visto que nessa escala de tempo do transitório, os transistores suportam facilmente mais de 30A de acordo com o *datasheet*.

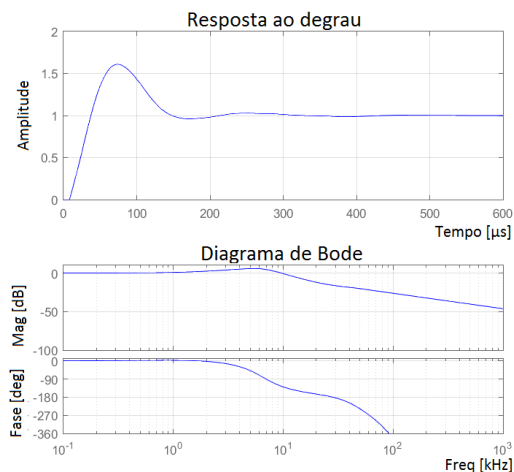
Figura 5.8: Diagrama de Bode da *FTMA* de corrente ajustada.



Fonte: Produção do autor.

Nas figuras 5.10 e 5.11, tem-se resultados para o degrau de carga na saída do conversor. Estas figuras podem ser comparadas com

Figura 5.9: Resposta ao degrau e diagrama de bode da *FTMF* de corrente ajustada.



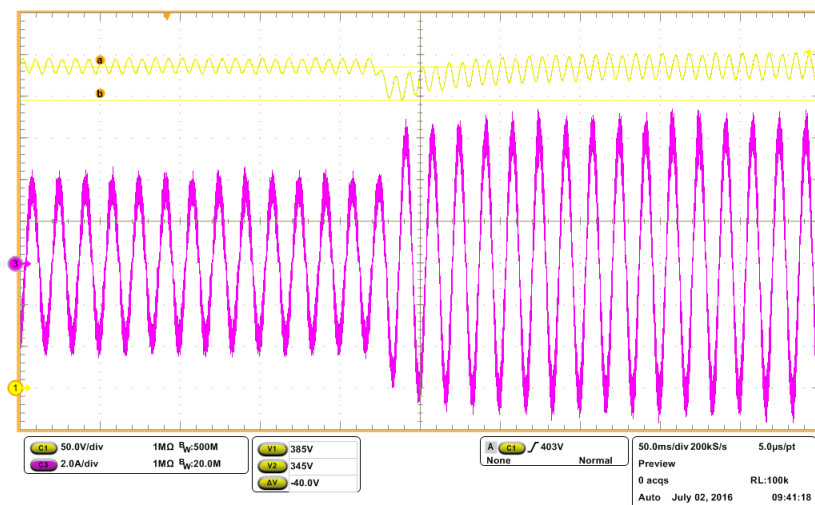
Fonte: Produção do autor.

os resultados obtidos em simulação em 4.30 e 4.31. O valor máximo de sobre-sinal observado foi de 40V na retirada de carga e 38V de afundamento de tensão para no incremento de carga.

Nas figuras 5.12, 5.14, 5.15 e 5.16 são apresentadas as respostas do conversor a variações na tensão de entrada. Esses gráficos podem ser comparados com os resultados de simulação apresentados nas figuras 4.32, 4.33, 4.34 e 4.35. Se verificam os resultados experimentais coerentes com as respostas obtidas nas simulações. O máximo valor de sobre sinal detectado na tensão de saída V_o foi de 31 V e o máximo valor de afundamento de tensão em V_o foi de 22 V.

Nas figuras 5.13 e 5.17, se verifica o comportamento na corrente devido a ação do **feedforward**, que altera a referência do controlador de corrente. Em geral a resposta se apresenta um pouco mais oscilatória do que os valores observados em simulação nas figuras 4.32 e 4.35. Isto se deve ao ajuste do controlador, cuja resposta é apresentada na figura 5.8 e também ao fato do indutor utilizado nos testes ter apresentado indutância

Figura 5.10: Degrau de carga de 500 W para 1000 W. (C1: Tensão de saída V_o ; C3: Corrente no indutor do *boost*.)

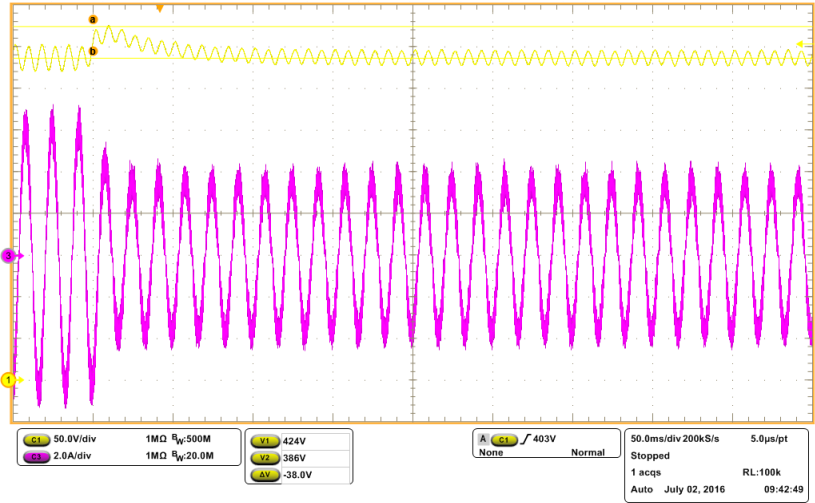


Fonte: Produção do autor.

10% inferior ao valor nominal, reduzindo um pouco a margem de fase do controlador.

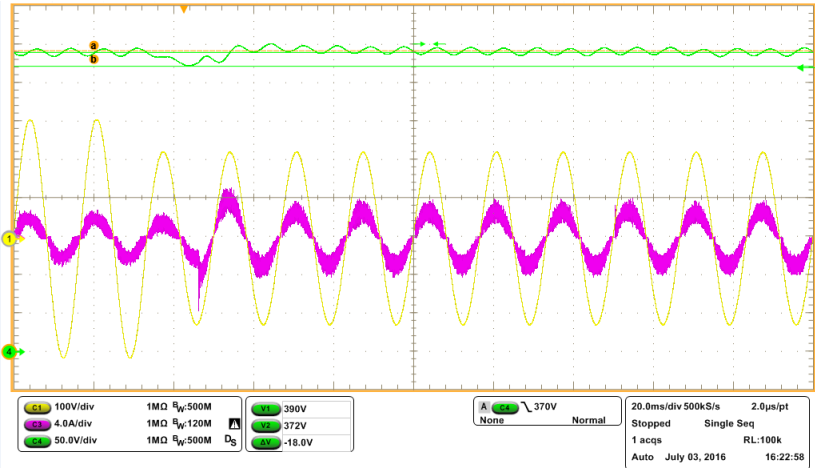
Todos os experimentos submetidos ao degrau na tensão de entrada, apresentam um comportamento em comum. Verifica-se que no valor de pico do semi ciclo negativo, subsequente a mudança de tensão da rede, ocorre uma alteração brusca na referência da corrente. Isto se dá pela forma como foi desenvolvido o algoritmo de cálculo da tensão de entrada, que atualiza seu valor somente neste ponto, causando uma acentuada mudança na referência de corrente, devido a ação do **feed-forward**. Esse método pode ser aprimorado com uma melhor forma de cálculo da tensão de entrada.

Figura 5.11: Degrau de carga de 1000 W para 500 W. (C1: Tensão de saída V_o ; C3: Corrente no indutor do *boost*.)



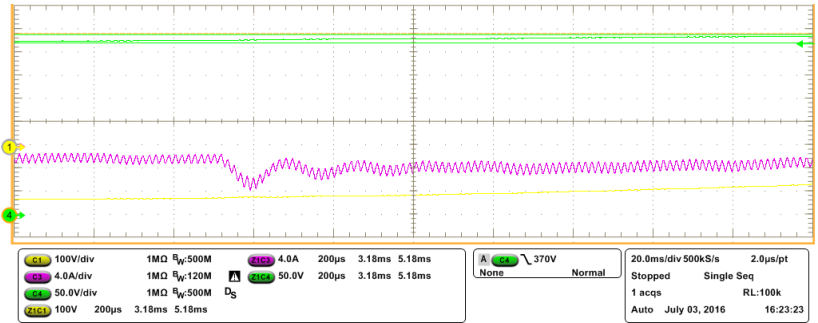
Fonte: Produção do autor.

Figura 5.12: Degrau no valor eficaz de tensão de entrada de 220 V para 150 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



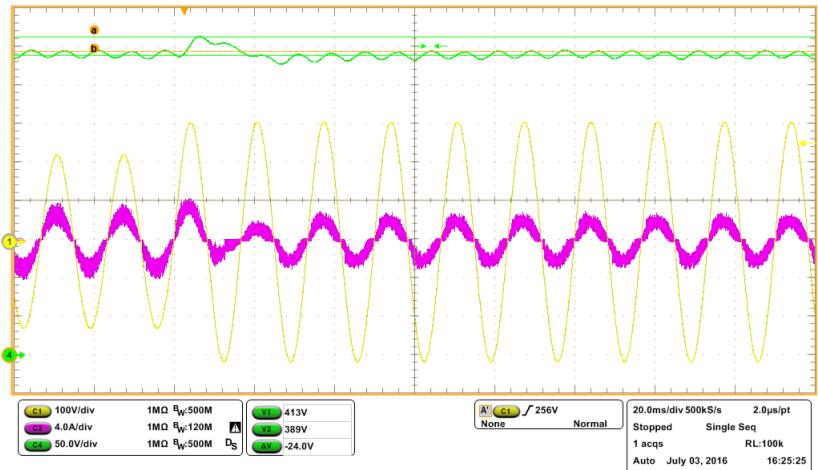
Fonte: Produção do autor.

Figura 5.13: Detalhe na corrente para um degrau no valor eficaz da tensão de entrada de 220 V para 150 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



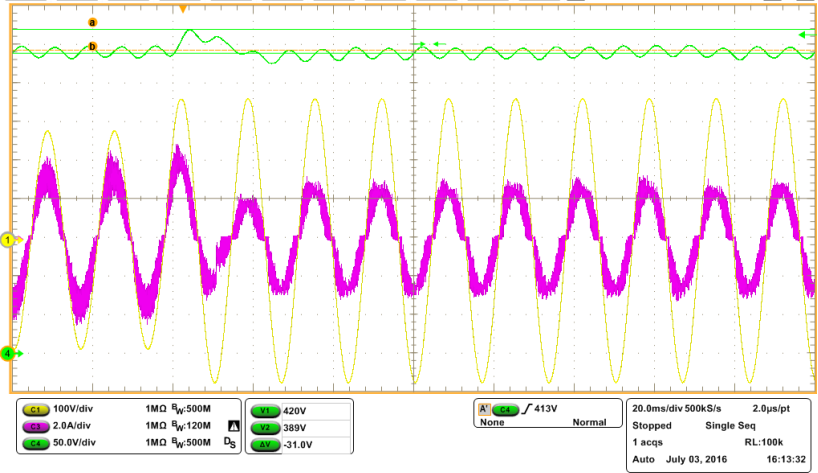
Fonte: Produção do autor.

Figura 5.14: Degrau no valor eficaz da tensão de entrada de 150 V para 220 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



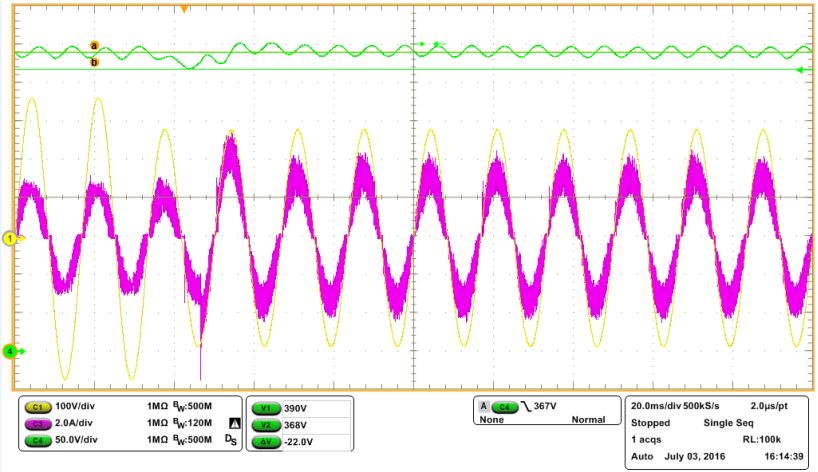
Fonte: Produção do autor.

Figura 5.15: Degrau no valor eficaz da tensão de entrada de 200 V para 264 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



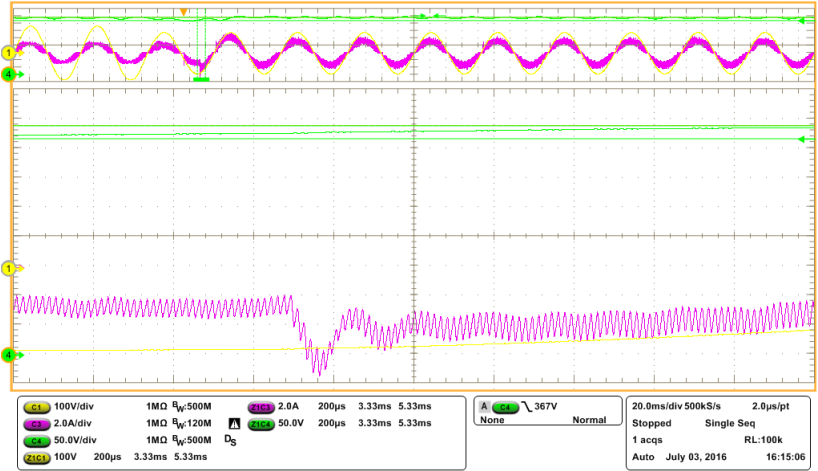
Fonte: Produção do autor.

Figura 5.16: Degrau no valor eficaz da tensão de entrada de 264 V para 200 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



Fonte: Produção do autor.

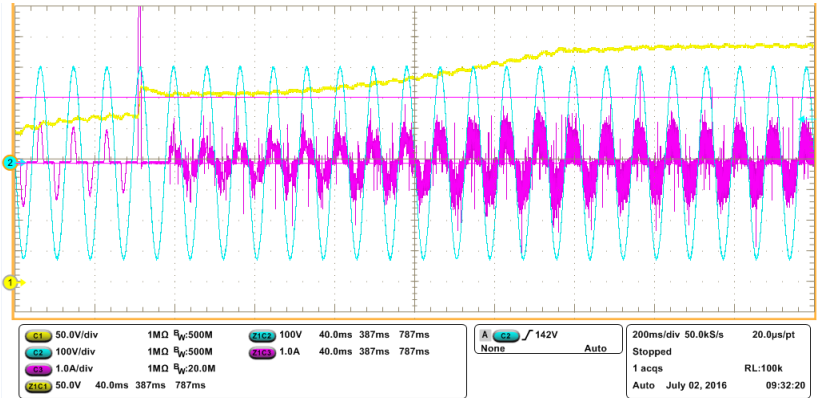
Figura 5.17: Detalhe na corrente para um degrau no valor eficaz da tensão de entrada de 264 V para 200 V. (C1: Tensão de entrada; C3: Corrente no indutor do *boost*; C4:Tensão de saída V_o .)



Fonte: Produção do autor.

Na figura 5.18 verifica-se a partida suave do conversor, com comportamento similar os valores simulados da figura 4.36.

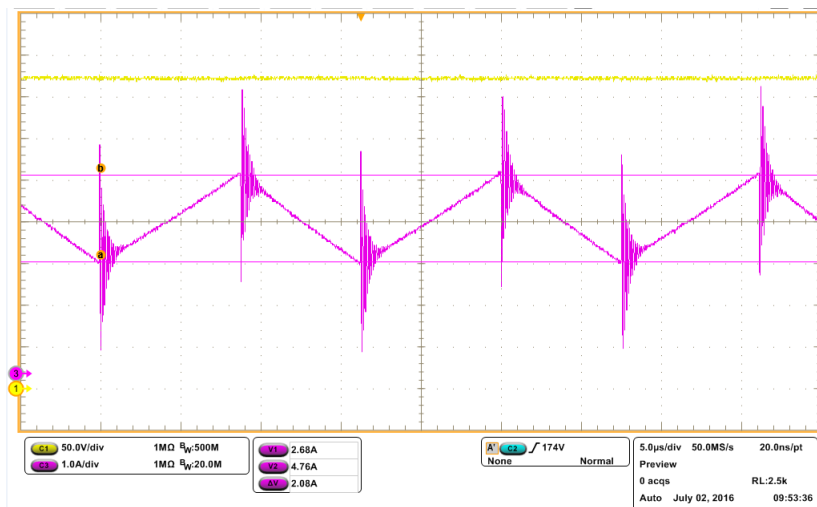
Figura 5.18: Partida suave do conversor. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do *boost*.)



Fonte: Produção do autor.

Na figura 5.19 é medida a ondulação máxima de corrente do indutor, onde pode-se validar também a frequência de comutação do conversor de 61,4 KHz. O valor de ondulação máxima de 2,08 A é maior do que o valor calculado de 1,79 A, devido a indutância do indutor do *boost*, que se apresentou aproximadamente 10 % inferior ao valor nominal nesse ponto de operação. Outro ponto que merece destaque é a oscilação de corrente existente nos instantes de comutação, devido as componentes parasitas do circuito e alta velocidade de comutação dos GaN HEMTs. Esta característica de oscilação é esperada nos conversores estáticos, em especial na comutação de componentes indutivos, como neste caso, sendo o principal fator pelo qual se recomenda o sincronismo da leitura de corrente, de forma a evitar a inserção desses ruídos no circuito de controle.

Figura 5.19: Ondulação máxima no indutor. (C1: Tensão de saída V_o ; C3: Corrente no indutor do *boost*.)

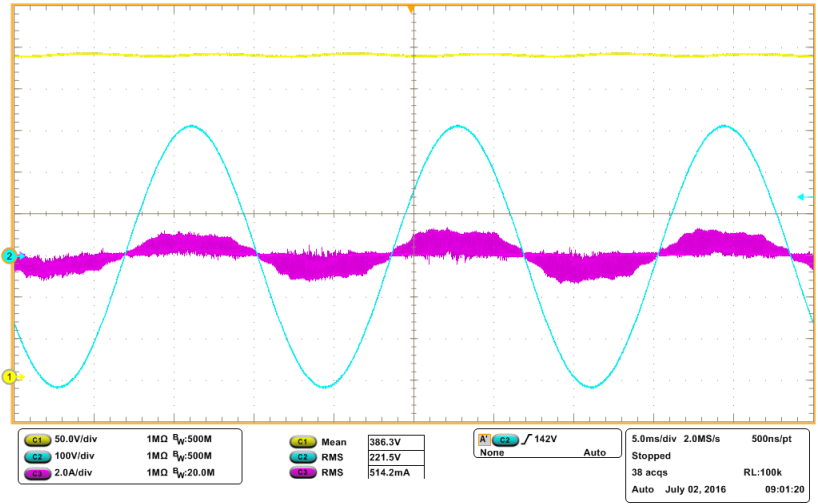


Fonte: Produção do autor.

5.3 Fator de potência e rendimento

Nas figuras 5.20, 5.21 e 5.22 são apresentadas as formas de onda da corrente de entrada e tensão de saída do conversor, para operação em 100 W, 500 W e 1000 W. Os valores obtidos experimentalmente são similares aos verificados em simulação nas figuras 4.38, 4.39 e 4.40, onde a principal diferença encontra-se na componente de ruído presente na corrente do indutor.

Figura 5.20: Operação em 100 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do *boost*.)

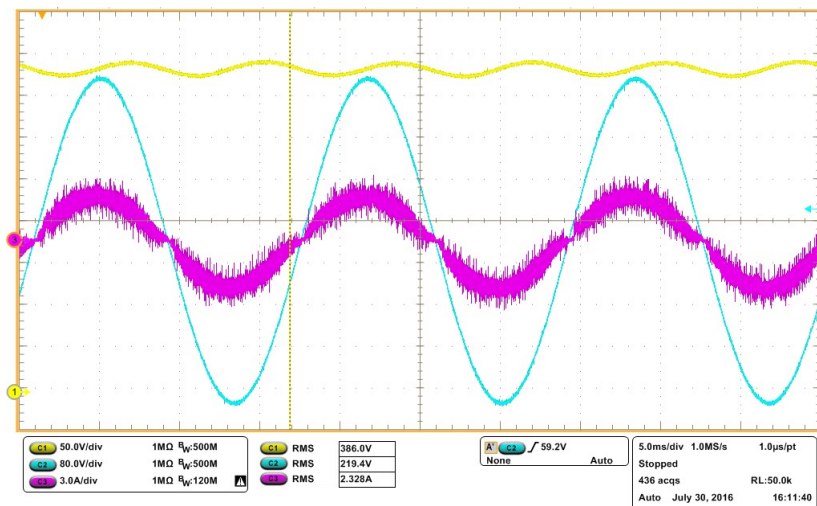


Fonte: Produção do autor.

O fator de potência do conversor foi medido com o wattímetro modelo Yokogawa WT-130. Os resultados são apresentados na figura 5.23, onde verifica-se fator de potência maior que 0,98 para operação acima de 300 W em tensão nominal e maior que 0,99 acima de 500 W, confirmando a reduzida distorção harmônica de corrente e validando a função principal do conversor.

Em geral as normas internacionais como a IEC61000-3-2, não avaliam diretamente o fator de potência dos conversores, mais sim, a dis-

Figura 5.21: Operação em 500 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do *boost*.)

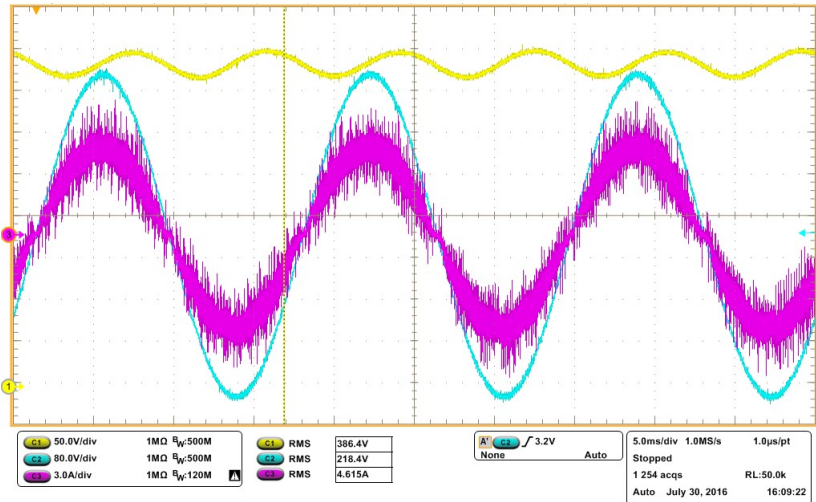


Fonte: Produção do autor.

torção harmônica de corrente. Este trabalho não tem o objetivo de avaliar em mais profundidade esse tópico, no entanto, visto o alto fator de potência observado nos testes experimentais do conversor, espera-se atender critérios de classe D da norma IEC61000-3-2 sem maiores problemas.

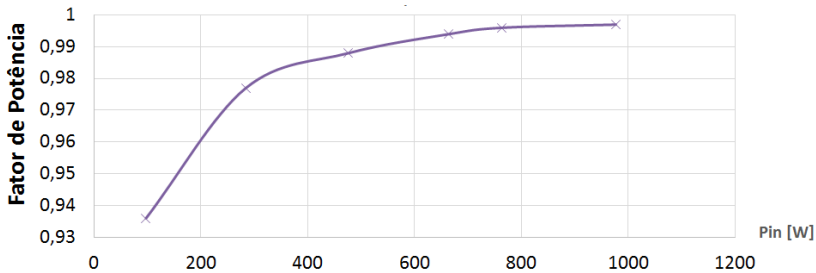
Por fim, na figura 5.24 verificam-se os resultados experimentais de rendimento energético do conversor, operando com GaN HEMTs e com IGBTs, comparados com as projeções teóricas. A curva de rendimento com GaN HEMTs teve seu valor de pico de 98,43 %, ficando em geral os resultados experimentais acima de 500 W, muito próximos aos valores teóricos. Os testes com IGBTs tiveram um desempenho inferior ao esperado, apresentando rendimento máximo de 96,69 % e ficando abaixo da curva teórica projetada. Devido a temperatura atingida nos IGBTs, a máxima potência alcançada nesta configuração foi de 700 W.

Figura 5.22: Operação em 1000 W. (C1: Tensão de saída V_o ; C2:Tensão de entrada; C3: Corrente no indutor do *boost*.)



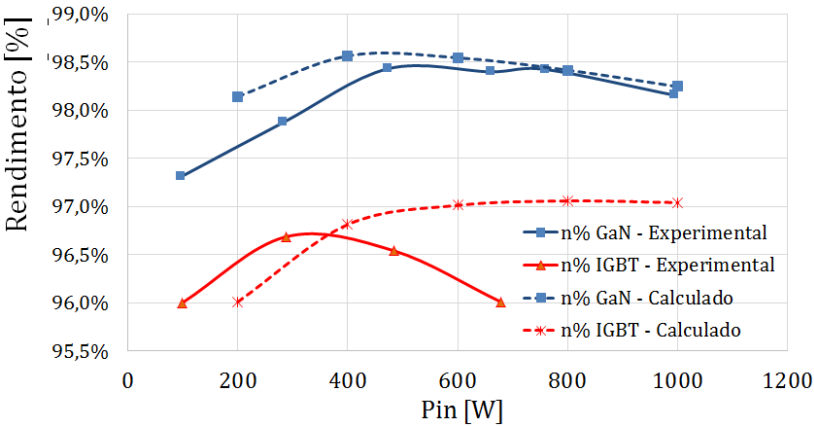
Fonte: Produção do autor.

Figura 5.23: Curva de fator de potência do conversor - Resultados experimentais.



Fonte: Produção do autor.

Figura 5.24: Curvas de rendimento do conversor - Resultados calculados vs experimentais.



Fonte: Produção do autor.

5.4 Resultados de comutação do transistores

Nesta seção, são apresentados os resultados de comutação dos transistores utilizados nas posições *GaN1* e *GaN2* do esquemático completo, apresentado no apêndice C.3. Inicialmente o conversor é testado com os GaN HEMTs *TPH3006LD* da tabela 4.5, operando com tensão de entrada e carga nominal de 1000 W. Na sequência o conversor foi testado com os IGBTs *STGD10NC60* da tabela 4.13, operando com carga de 500 W. Os testes com IGBTs não foram realizados em 1000 W, devido as altas temperaturas observadas nos transistores. Esta limitação já era esperada, visto que o projeto térmico foi otimizado para os GaN HEMTs, que possuem menores perdas.

Os resultados a seguir fazem uso de um canal matemático do osciloscópio (M1 nas figuras), onde são multiplicadas as medições da tensão V_{DS} pela corrente I_{DS} do transistor. O osciloscópio é configurado para medição da área dessa figura utilizando os cursores verticais, sendo que esta área representa a energia de comutação.

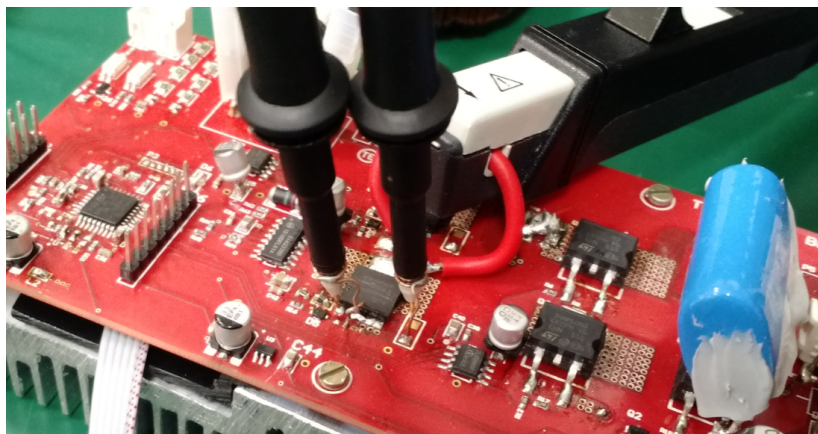
Com o objetivo de minimizar o acoplamento de ruídos na medição, as ponteiros de tensão e corrente foram posicionadas o mais próximo possível do ponto a ser medido, conforme apresentado na figura 5.25.

5.4.1 Comutação com GaN HEMTs

Na figura 5.26 tem-se a entrada em condução do GaN HEMT na posição *GaN2*, no ponto de corrente máxima em carga nominal. Verifica-se uma energia de comutação de 43,5 μWs e um dv/dt da tensão V_{DS} de aproximadamente 35 V/ns, confirmando a elevada velocidade de comutação esperada e baixa perda de comutação. Este instante de medição pode ser relacionado ao tempo $t = 0$ representado na figura 3.11.

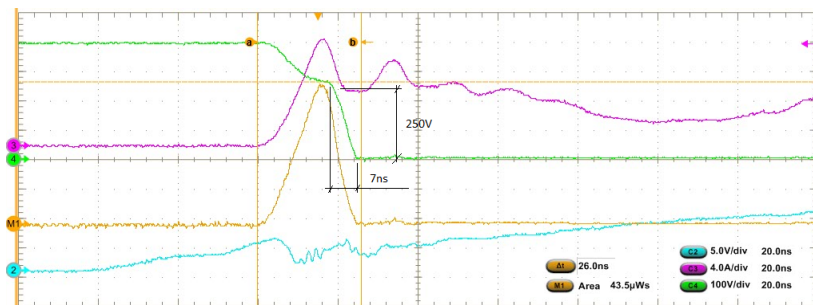
Durante o estágio inicial de comutação, quando a corrente está começando a fluir pelo canal *drain-source*, verifica-se uma redução da tensão V_{DS} em um momento onde a corrente ainda está circulando pelo diodo intrínseco da chave *GaN1*. Conforme mencionado em (HUANG QI-

Figura 5.25: Posicionamento das ponteiros de tensão e corrente para medição da comutação dos transistores.



Fonte: Produção do autor.

Figura 5.26: Entrada em condução do GaN HEMT na posição $GaN2$ - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

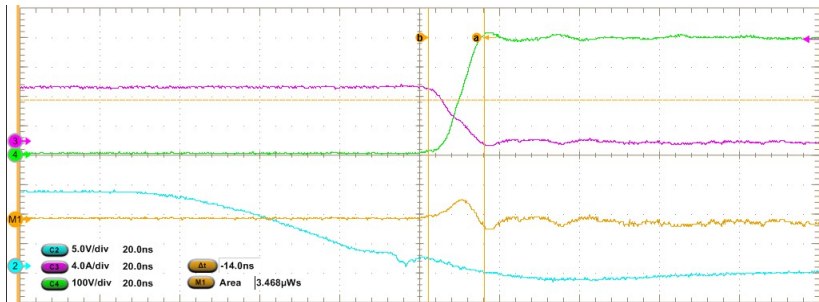
ANG LI, 2013), esta queda de tensão ocorre devido as indutâncias que existem no caminho da corrente.

Um ponto que merece ser destacado é com relação aos resistores de *gate* empregados nos testes com GaN HEMTs, que tiveram que ser alterados para $91\ \Omega$.(resistores $R7$ e $R11$ do esquemático C.3). Os

resistores de $10\ \Omega$ inicialmente utilizados, apresentaram elevada oscilação na tensão no bloqueio dos transistores, causando possivelmente a queima dos transistores.

Em 5.27 se apresenta o bloqueio do transistor com corrente máxima em carga nominal, verificando-se uma energia de comutação muito baixa de $3,46\ \mu\text{Ws}$ conforme esperado. Este instante de medição pode ser relacionado ao tempo $t = DT$ representado na figura 3.11.

Figura 5.27: Bloqueio do GaN HEMT na posição *GaN2* - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão *VGS*; C3: Corrente *IDS*; C4: Tensão *VDS*.)



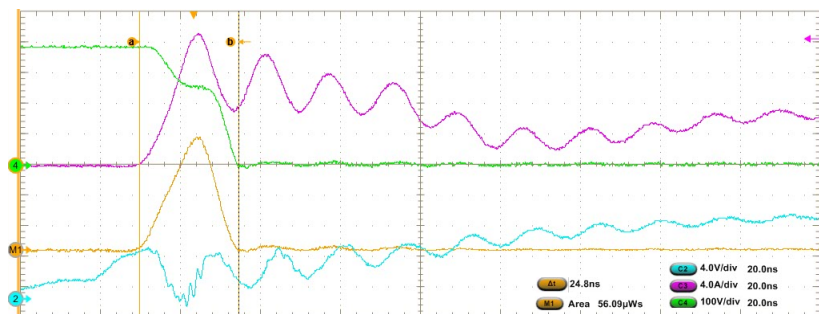
Fonte: Produção do autor.

Nas figuras 5.28 e 5.29 tem-se a entrada em condução e bloqueio para o transistor complementar *GaN1*. Em geral o comportamento é similar ao da chave *GaN2*, apresentando neste caso uma maior oscilação na tensão de gate no momento da entrada em condução, e uma energia na entrada em condução um pouco maior de $56,09\ \mu\text{Ws}$. Estas comutações ocorrem durante o semiciclo negativo da rede elétrica e podem ser relacionados com os instantes $t = 0$ (entrada em condução) e $t = DT$ (bloqueio) da figura 3.12.

Nas figuras 5.30, 5.31 e 5.32 tem-se uma medição na chave *GaN1* durante o semi-ciclo positivo da rede, quando este transistor atua como roda-livre de corrente, conforme ilustrado em 3.11.

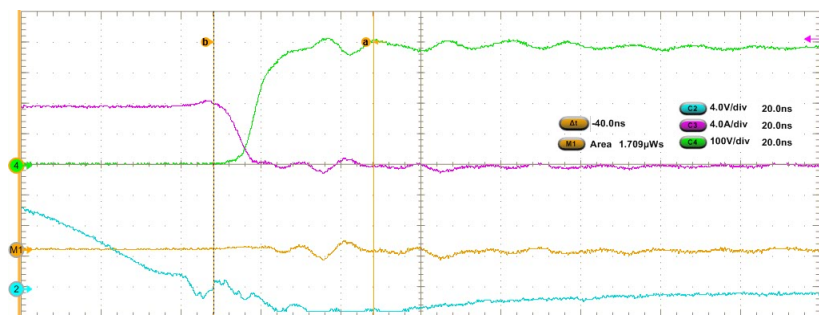
Na figura 5.30 se pode identificar o acionamento complementar

Figura 5.28: Entrada em condução do GaN HEMT na posição $GaN1$ - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

Figura 5.29: Bloqueio do GaN HEMT na posição $GaN1$ - Operação em 1000 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)

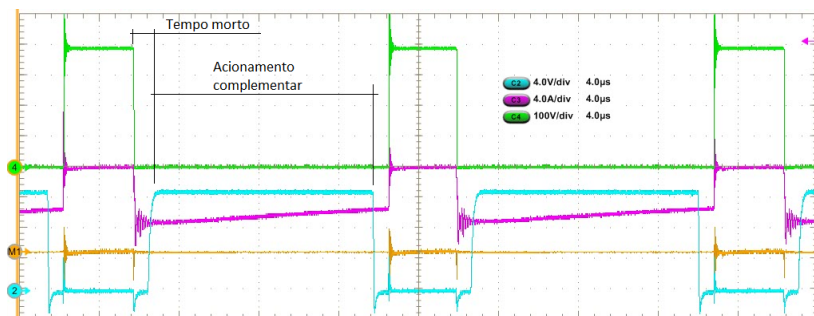


Fonte: Produção do autor.

da chave $GaN1$, de forma a reduzir as perdas de condução.

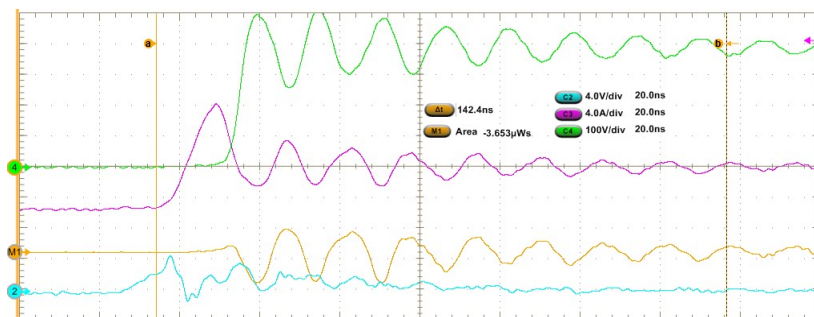
Em 5.31 tem-se o instante em que o diodo intrínseco da chave $GaN1$ entra em bloqueio. Nesta figura verificam-se duas informações importantes, sendo uma delas a oscilação de tensão de bloqueio, atingindo aproximadamente 500 V de amplitude e a tensão de *gate* da chave, que durante o transitório de bloqueio atinge aproximadamente 5 V de pico. A tensão máxima V_{DS} do transistor utilizado é de 650 V, desta forma

Figura 5.30: Acionamento síncrono do GaN HEMT na posição $GaN1$ durante roda livre de corrente - Operação em 1000 W. (M1: Energia de comutação; C2: Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

Figura 5.31: Bloqueio do diodo intrínseco do transistor $GaN1$ - Operação em 1000 W. (M1: Energia de comutação; C2: Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



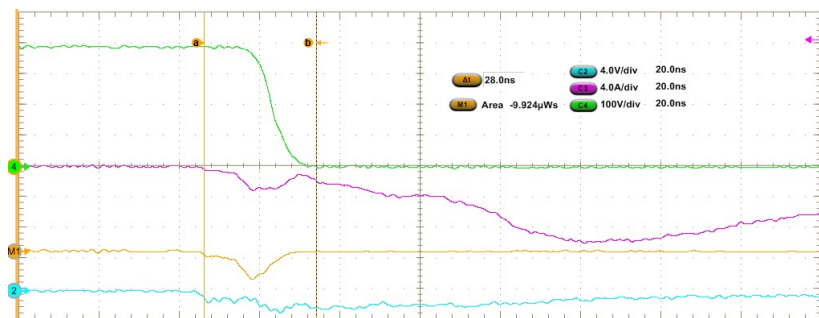
Fonte: Produção do autor.

esta oscilação não traz maiores problemas, no entanto, estas associadas as oscilações de corrente, podem representar desafios para atendimento as normas de compatibilidade eletromagnética. Com relação as tensões transitórias observadas no terminal gate, estes valores estão acima dos valores de *threshold* de 1,8 V do transistor, existindo desta forma um risco de um acionamento indesejado deste transistor, causando um curto-circuito de braço. Como esse tempo é muito pequeno, e provavelmente

existe também uma componente de ruído acoplada na medição, nenhum problema esta sendo observado, no entanto uma maior investigação seria necessária para garantir a confiabilidade deste ponto.

Na figura 5.32 tem-se o momento em que o diodo entra em condução. A energia verificada no bloqueio e entrada em condução do diodo são muito baixas, conforme esperado.

Figura 5.32: Entrada em condução do diodo intrínseco do transistor *GaN1* - Operação em 1000 W.(M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

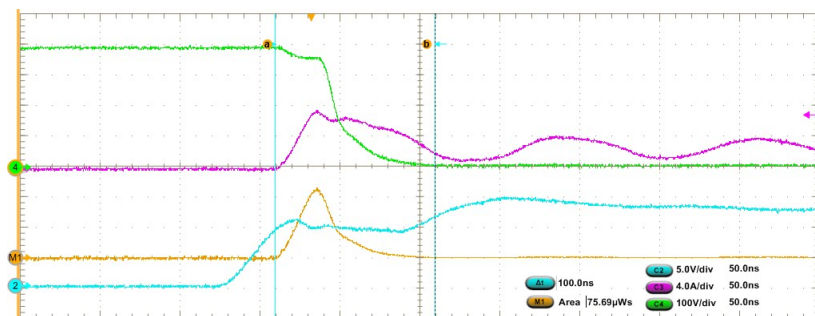
5.4.2 Comutação com IGBTs

Nas figuras 5.33 e 5.34, são apresentadas as formas de onda de entrada em condução e bloqueio do IGBT na posição *GaN2*. A energia de comutação medida na entrada em condução foi de 75,69 μ Ws e de 159 μ Ws no bloqueio para operação em 500 W. Verifica-se uma alta energia de bloqueio no IGBT conforme esperado.

Nas figuras 5.35 e 5.36 tem-se as mesmas medições de entrada em condução e bloqueio, porém realizadas para o transistor na posição *GaN1*.

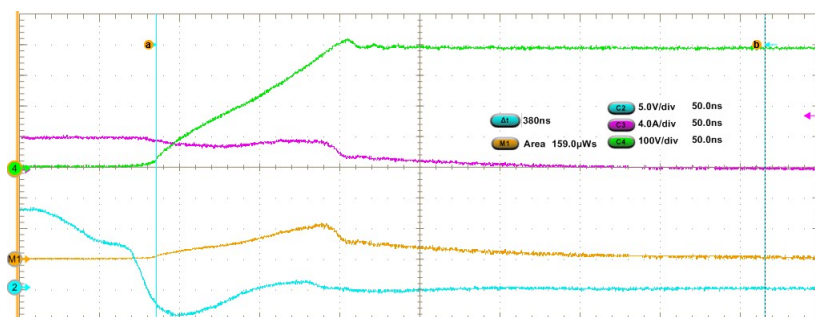
Nas figuras 5.37, 5.38 e 5.39 temos a medição do transistor na posição *GaN1* durante o semi-ciclo positivo da rede quando este transistor tem a função de roda livre de corrente. Neste caso de aplicação com

Figura 5.33: Entrada em condução do IGBT na posição $GaN2$ - Operação em 500 W. (M1: Energia de comutação; C2: Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

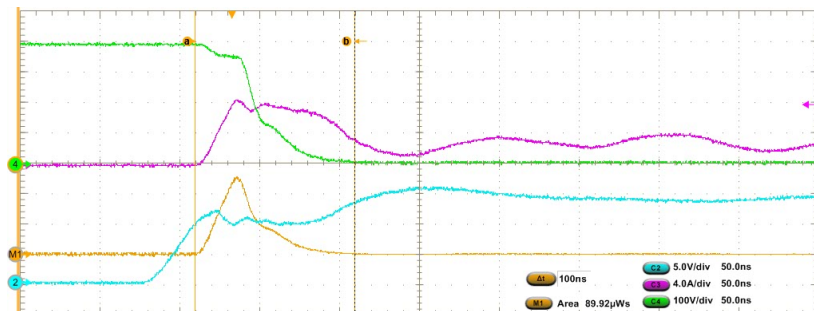
Figura 5.34: Bloqueio do IGBT na posição $GaN2$ - Operação em 500 W. (M1: Energia de comutação; C2: Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

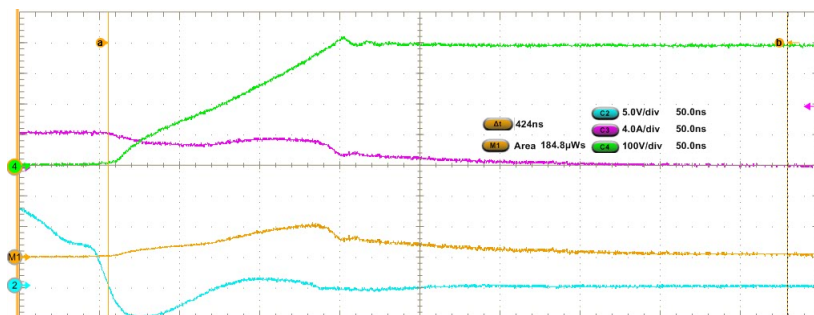
IGBTs, não é feito o acionamento complementar, pois a corrente não circula pelo canal no sentido *source-drain*, conforme ocorre na tecnologia MOSFET e GaN. Um ponto que pode ser verificado, é que o comportamento oscilatório no bloqueio observado na aplicação com GaN HEMTs, não acontece na operação com IGBTs.

Figura 5.35: Entrada em condução do IGBT na posição *GaN1* - Operação em 500 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



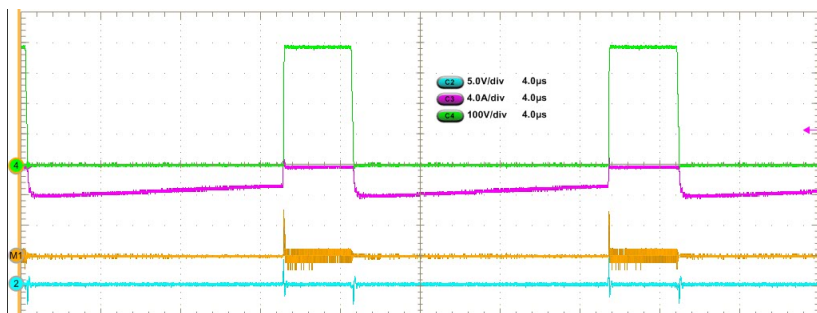
Fonte: Produção do autor.

Figura 5.36: Bloqueio do IGBT na posição *GaN1* - Operação em 500 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



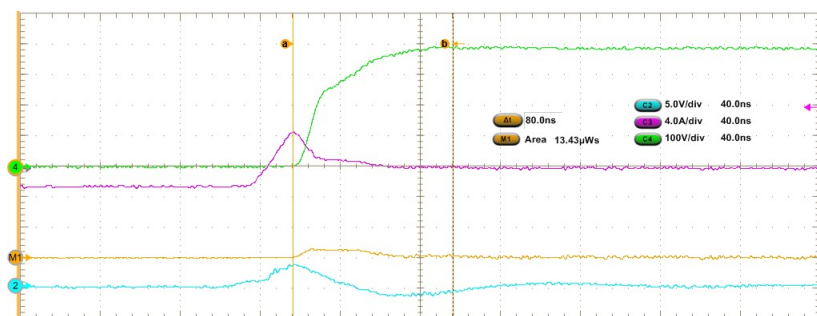
Fonte: Produção do autor.

Figura 5.37: Formas de onda do IGBT na posição $GaN1$ durante roda livre de corrente - Operação em 500 W. (M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



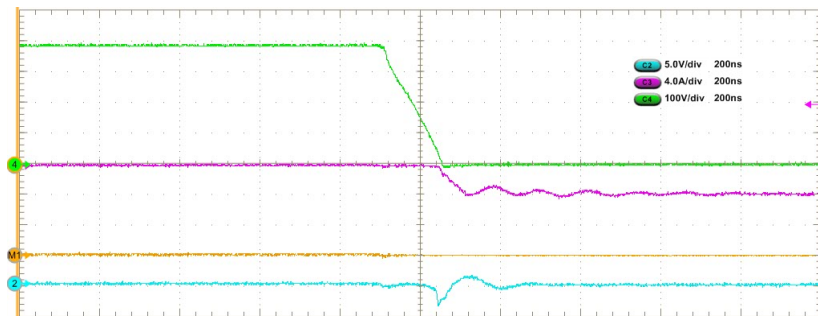
Fonte: Produção do autor.

Figura 5.38: Bloqueio do diodo intrínseco do transistor $GaN1$ - Operação em 500 W.(M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

Figura 5.39: Entrada em condução do diodo intrínseco do transistor $GaN1$ - Operação em 500 W.(M1: Energia de comutação; C2:Tensão V_{GS} ; C3: Corrente I_{DS} ; C4: Tensão V_{DS} .)



Fonte: Produção do autor.

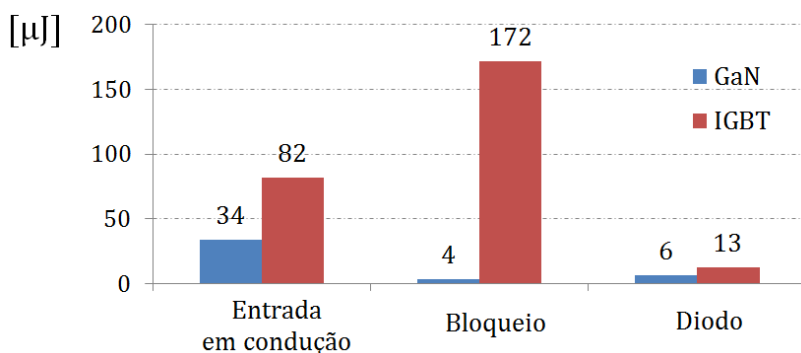
5.4.3 Comparativo experimental de energia de comutação

Na figura 5.40 são apresentados resultados de energia de comutação em um transistor, obtidos experimentalmente para as duas tecnologias avaliadas. Esses valores são uma média simples da energia de comutação observada nos transistores das posições $GaN1$ e $GaN2$, sendo a comparação feita para operação do conversor em 500 W.

Verifica-se na figura 5.40 uma forte correlação com as características apresentadas na análise teórica na figura 4.7, observando-se energia praticamente nula de bloqueio no GaN HEMT frente ao IGBT, e valores de entrada em condução aproximadamente da metade dos valores observados no IGBT.

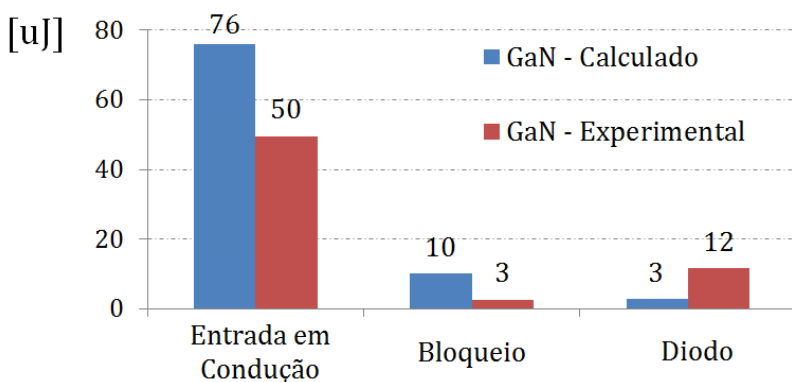
Por fim, na figura 5.41 são apresentados valores de energia de comutação calculados, versus os valores obtidos experimentalmente, para o conversor operando com GaN HEMTs em condições de carga nominal. Como será verificado mais adiante, a temperatura nos semicondutores observada durante o teste foi inferior aos valores considerados nos cálculos, o que explica em parte os maiores valores obtidos analiticamente. Em geral os resultados de comutação são influenciados por uma quantidade

Figura 5.40: Comparativo experimental de energia de comutação entre GaN HEMT vs IGBT operando em 500 W.



Fonte: Produção do autor.

Figura 5.41: Comparativo de energia de comutação no GaN HEMT, calculado vs experimental operando em 1000 W (energia em somente um transistor).



Fonte: Produção do autor.

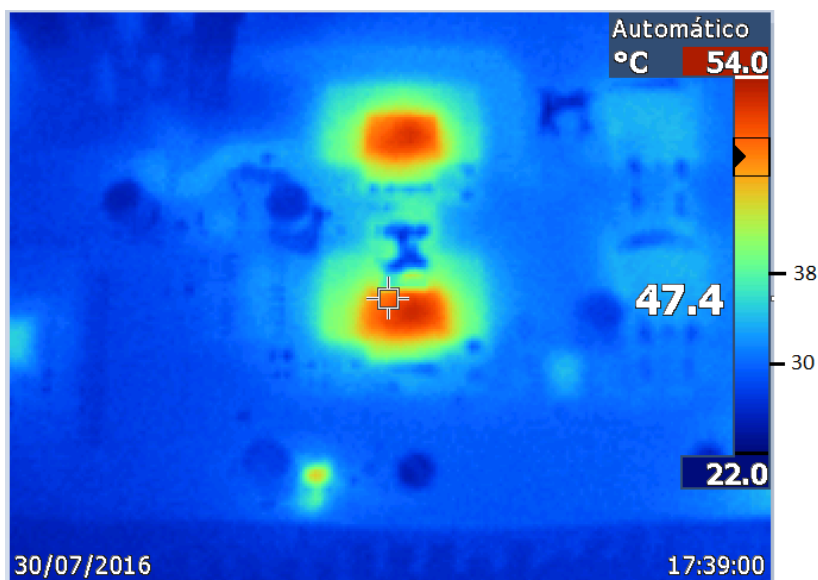
grande de fatores, como temperatura, indutâncias e capacitâncias parasitas do circuito, ponto de operação, variações paramétricas dos componentes, etc. Desta forma, os valores obtidos analiticamente são em tese aproximados, idealmente para um pior caso de operação. Especialmente os valores observados no bloqueio dos transistores, por serem pratica-

mente nulos, apresentam maiores erros quando comparados com os valores medidos.

5.5 Perfil térmico

Na figura 5.42 é apresentado o perfil térmico do conversor operando com GaN HEMTs, em condições de tensão de entrada e potência de saída nominais. O projeto térmico do conversor foi realizado na seção 4.8, para uma temperatura ambiente máxima de 60°C , sendo que o teste foi realizado em temperatura ambiente de 22°C . Comparando-se as elevações de temperatura no dissipador e no case dos GaN HEMTs, conforme apresentado na tabela 5.2, verifica-se uma boa relação entre os valores calculados e valores experimentais, validando-se desta forma o método utilizado.

Figura 5.42: Imagem térmica do conversor com GaN HEMTs, operando em 1000 W.



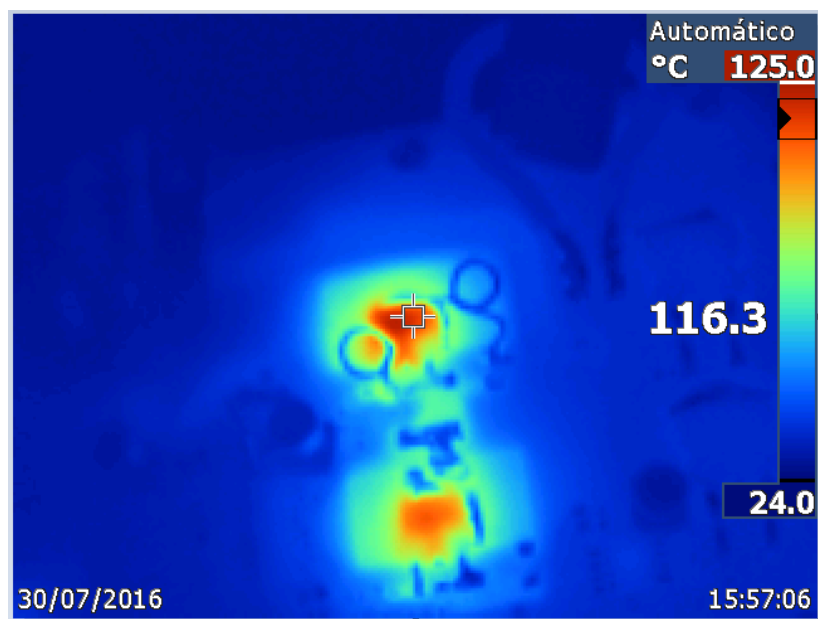
Fonte: Produção do autor.

Tabela 5.2: Comparativo de elevação de temperatura a partir da ambiente, entre os valores de projeto versus valores experimentais, para o conversor operando com GaN HEMTs em 1000 W.

Ponto de medição	ΔT experimental	ΔT calculada
Dissipador	22 °C	27,67 °C
Case do GaN HEMT	32 °C	37,26 °C

No teste com IGBT, conforme apresentado na figura 5.43, verifica-se uma elevação muito maior da temperatura. Este resultado é esperado, visto que os IGBTs estão dissipando uma quantidade muito maior de potência do que os GaN HEMTs, que serviram de base para o projeto térmico. Em função dessa limitação, os testes com IGBTs foram limitados em 700 W, de forma a não causar a queima dos componentes.

Figura 5.43: Imagem térmica do conversor com IGBTs, operando em 700 W.



Fonte: Produção do autor.

5.6 Conclusão

Neste capítulo foram apresentados os resultados experimentais do protótipo do conversor BTPB-PFC, que foi ensaiado também com IGBTs, de forma a obter-se um comparativo com o transistor GaN HEMT avaliado.

O sensoreamento de corrente gerou inicialmente algumas oscilações na corrente controlada, devido a baixa relação sinal/ruído inerente ao circuito de condicionamento de sinal empregado. Importante salientar no entanto, que com a técnica de **oversampling** empregada, o problema foi minimizado e o conversor apresentou bons resultados. Como forma de otimização do circuito, seria importante realizar a medição de corrente de forma diferencial, empregando-se preferencialmente um circuito ativo externo (amplificadores operacionais), maximizando também a escala dinâmica de uso do conversor AD.

Os resultados da dinâmica do conversor mostraram-se alinhados aos resultados de simulação e projeto, validando a técnica empregada, com boas respostas as variações de carga e variação de linha. O método de detecção por zero empregado, embora ofereça ótimo desempenho, demanda bastante esforço computacional do microcontrolador podendo ser um fator limitante.

O controlador de corrente e o processamento dos sinais que ocorrem na frequência de comutação do conversor F_{sw} , consumiram aproximadamente 60% da capacidade de processamento. Este é um indicador importante que demonstram claros desafios no controle dos conversores com GaN HEMTs, que podem em tese operar em frequências de comutação mais altas que tradicionalmente.

As formas de onda de corrente de entrada obtidas, corroboram os ótimos resultados de fator de potência do conversor, qualificando este para uso como estágio de entrada em aplicações que demandam correção ativa de fator de potência.

Os resultados experimentais de rendimento do conversor operando com GaN HEMTs, demonstraram-se muito próximos dos valores teóricos. Observou-se um rendimento de pico de 98,43 % para operação em 50 % de carga e 98,16 % para carga nominal. Importante ressaltar que na potência nominal, as perdas estimadas no indutor L_b são superiores a 5 W, e as perdas nos MOSFETs de retificação síncrona e pré-carga maiores que 6,2 W. Desta forma, empregando-se melhores materiais no núcleo do indutor do boost e MOSFETs com menor R_{DSon} , pode-se alcançar rendimento de pico superior a 99 % nesse conversor.

A curva de rendimento do conversor com IGBTs ficou abaixo dos valores esperados para operação acima de 350 W, exibindo seu ponto de máximo rendimento de 96,69 % em 300 W e 96,00 % em 700 W. Esse comportamento em alta carga, se deve em parte devido ao projeto térmico do conversor, que foi calculado para dissipar a energia térmica dos GaN HEMTs, que são menores que as esperadas para os IGBTs. Este fato aumenta a temperatura nestes, deslocando sua operação para pontos onde exibem maiores perdas. Os resultados de rendimento com IGBTs são similares aos obtidos em (BRUNNING, 2015), onde empregando-se IGBTs e diodos de SiC, obteve-se rendimento máximo de 96,5 % para operação com valor eficaz de tensão de entrada de 230 V e carga de 300 W.

As medições de energia de comutação nos GaN HEMTs demonstraram excelentes resultados, apresentando figuras um pouco melhores que os valores estimados teóricos conforme visto na figura 5.41. Em geral esta característica pode ser explicada pelas considerações feitas nos cálculos, que usam parâmetros do transistor a temperatura de 100 °C na junção, sendo que os testes foram feitos com temperatura ambiente de 22 °C, submetendo os semicondutores a aproximadamente 55 °C na junção.

Conforme esperado, comparativamente os transistores GaN exibiram perdas de comutação significativamente menores que os IGBT, conforme pode ser visto na figura 5.40. Em especial, a energia de blo-

queio é praticamente nula no GaN quando comparada a figura verificada no IGBT.

Os valores de energia de comutação obtidos experimentalmente nos testes com IGBT, em geral foram aproximadamente 30 % superiores aos calculados para entrada em condução e 50 % superiores aos de bloqueio. Esses valores são compatíveis aos apresentados no *datasheet* do componente para comutação com temperatura de junção de 125 °C em 5 A, que em geral se aproxima as condições verificadas no momento do teste experimental, explicando desta forma a diferença obtida.

As formas de onda verificadas na comutação com GaN HEMTs apresentaram altas derivadas de tensão e corrente, conforme esperado para a tecnologia. Vale ressaltar a necessidade da troca do resistor de *gate* (de 10 Ω para 91 Ω) como medida necessária para reduzir um pouco as derivadas de tensão e corrente e como consequência as oscilações devido as componentes parasitas. Não verificou-se impactos negativos na energia de comutação estimada teoricamente, devido a alteração do resistor de *gate*. Verifica-se ainda no momento da entrada em condução, uma pequena oscilação na tensão de *gate* principalmente no transistor *GaN1*, que no entanto, não representou impactos negativos na comutação do transistor.

Nos momentos de operação do GaN HEMT como roda livre de corrente, observaram-se oscilações de tensão e corrente que são características das altas velocidades de comutação da tecnologia, e do diodo empregado na estrutura **cascade**. Estas trazem consigo grandes desafios no projeto de layout da placa, e provavelmente também no atendimento as normas de compatibilidade eletromagnética.

Em geral, as formas de onda de comutação verificadas nos testes com IGBTs, apresentam comportamento bem mais lento, e livre de oscilações, caracterizando uma facilidade bem maior de projeto e garantia da confiabilidade de operação do circuito com estes transistores.

Como comentário final, o projeto térmico se mostrou adequado e

com resultados de acordo com os esperados de projeto.

6 CONCLUSÃO GERAL

Este trabalho apresentou uma revisão da tecnologia de semicondutores GaN, visando aplicações em eletrônica de potência. Foram identificados os principais retificadores monofásicos de alto FP existentes, aprofundando-se o estudo no conversor BTPB-PFC, onde a aplicação do transistor GaN HEMT **cascade** foi avaliada, através da construção de um protótipo funcional de acordo com os requisitos propostos na tabela 4.1.

Verifica-se que atualmente já existem GaN HEMTs de 600V disponíveis comercialmente, fabricados por empresas como Transphorm Inc, PANASONIC e GAN-SYSTEMS dentre outras. A primeira geração de dispositivos, já possui figuras de mérito superiores aos MOSFETs de silício, apresentando elevada velocidade de comutação, baixas perdas de condução, capacitâncias reduzidas e uma característica única de condução reversa, que permite excelente desempenho em aplicações de comutação forçada. Importante salientar que a tecnologia ainda encontra-se em estágio inicial de desenvolvimento, apresentando grande potencial a ser explorado.

Fica evidente que devido as características de elevada velocidade de comutação dos transistores de GaN, o projeto de PCB é um elemento crítico, devendo-se levar em consideração desde o início, fatores como impedância de trilhas e capacitâncias parasitas nas placas. De extrema importância também faz-se o projeto do circuito de comando, especialmente para os GaN HEMTs de intensificação, devido sua baixa tensão de comando. Elevada imunidade a tensão de modo comum, também é um parâmetro crítico ao circuito de comando, especialmente para aplicações com arranjo em ponte.

O conversor BTPB-PFC empregado neste trabalho, tem recentemente chamado bastante atenção do meio acadêmico, devido as características do GaN HEMT que permitem a operação deste conversor

em CCM, condição até então inviável com o emprego de MOSFETs e não muito vantajosa como o uso de IGBTs. Este conversor destaca-se pela simplicidade, baixo número de componentes, elevado rendimento e figuras de EMI não tão ruins quanto algumas estruturas *bridgeless* apresentadas na literatura. Outra propriedade importante deste conversor, é a inerente capacidade de fluxo de potência bidirecional, podendo em algumas aplicações, como por exemplo em UPS e inversores, ser uma característica vantajosa.

O estudo comparativo de energia de comutação realizado no capítulo 4, demonstra claramente uma característica única dos transistores GaN, que é apresentar perdas muito baixas tanto na entrada em condução, quanto no bloqueio, quando aplicado no arranjo em ponte com carga indutiva. Os MOSFETs quando aplicados neste arranjo, apresentam energia de bloqueio muito baixa, no entanto devido as propriedades do diodo intrínseco, exibem elevadas perdas na entrada em condução. Os IGBTs não possuem o problema do diodo intrínseco, podendo ser usados em conjunto com diodos de SiC, resolvendo assim o problema da recuperação reversa. No entanto, esses dispositivos sofrem devido a corrente de cauda e também velocidade de comutação reduzidas.

As características únicas de comutação do transistor GaN, permitem operação em *hard switch* exibindo perdas extremamente baixas. Desta forma muitas vezes elimina-se a necessidade de circuitos *snubber* para reduzir perdas de comutação, ou o emprego de topologias mais complexas de forma a se obter comutação ZVS ou ZCS.

Os resultados obtidos com o protótipo, validam o procedimento de projeto adotado, apresentando dinâmica de controle e esforços de corrente alinhados com os valores obtidos analiticamente e por simulação. O circuito de sensoreamento de corrente pode ainda ser otimizado, empregando-se o uso de medição diferencial com amplificação, de forma a se reduzir-se os ruídos observados e permitindo um melhor aproveitamento da escala dinâmica do conversor AD.

Os resultados experimentais da energia de comutação, confir-

mam o excelente desempenho do GaN HEMT quando comparado com o IGBT nesta aplicação. O conversor operando com transistores de GaN apresentou o rendimento esperado, com valor de pico de 98,43% e potencial para atingir valores superiores a 99% se empregados melhores materiais no projeto do indutor do *boost* e melhores MOSFETs para retificação síncrona. Visto as baixas perdas de comutação observadas, pode-se com certeza operar esse conversor acima de 200 KHz em CCM, ainda com bom rendimento. Isto no entanto implica em desafios no controle digital, devido a capacidade de processamento requerida. Também demanda atenção especial o projeto dos elementos magnéticos, visto que tendem a apresentar aumento de perdas consideráveis para frequências elevadas.

Um fenômeno importante observado devido aos altos valores de dv/dt e di/dt nas comutações GaN HEMTs, são as oscilações de tensão e corrente nesses instantes. Esse comportamento pode demandar circuitos *snubber* adicionais, bem como dificultar o atendimento a normas de EMC.

Por fim, verifica-se que a tecnologia de semiconductor de GaN possui atributos únicos a serem explorados no campo da eletrônica de potência, que com certeza permitirão o desenvolvimento de conversores com níveis de eficiência e compactação sem precedentes. Esses atributos, no entanto trazem consigo desafios enormes, demandando sistemas de controle cada vez mais sofisticados e rápidos, materiais magnéticos com reduzidas perdas em alta frequência, circuitos de comando dos transistores e condicionamento de sinais dimensionados para lidar com todos os efeitos causados pelos transitórios de elevados dv/dt e di/dt e por fim, com desafios consideráveis nas técnicas de instrumentação e medição empregadas.

Como sugestões para trabalhos futuros relacionados ao tema ressaltam-se:

- Estudo de arranjos *interleaved* do conversor BTPB-PFC com GaN HEMTs, operando em DCM e alta frequência (acima de 800 KHz), como forma de obter alta compactação dos elementos magnéticos

e redução do filtro diferencial de EMI.

- Estudo de filtro de EMI para o conversor BTPB-PFC.
- Estudo de técnicas de controle para o conversor BTPB-PFC operando em CCM, DCM ou CrCM em alta frequência (de 200 kHz a 1 MHz). Esta linha pode abordar por exemplo o uso de FPGAs, ou controles híbridos empregando controladores analógicos para a malha de corrente, e um controlador discreto para malha lenta de tensão.
- Estudo de materiais magnéticos que permitam operação com boa relação de perdas na faixa de MHz nestes conversores.
- Circuitos de comando para os GaN HEMTs de intensificação.
- Estudos comparativos de desempenho e aplicação entre GaN HEMTs *cascade* e de intensificação.

7 GLOSSÁRIO

- **Superjunction** Tecnologia empregada na fabricação de modernos MOSFETs, permitindo obtenção simultaneamente de baixo RDS_{on} e reduzidas capacitâncias de *gate* e de saída.
- **Trench** Tecnologia empregada na fabricação de modernos IGBTs, permitindo obtenção de baixas perdas de condução e comutação.
- **wide-bandgap** Termo utilizado para caracterizar semicondutores que empregam materiais com alta banda de energia.
- **cascode** Nos transistores de GaN, é o arranjo de um MOSFET de baixa tensão, com um GaN HEMT de depleção, de forma a obter-se um dispositivo normalmente bloqueado do tipo intensificação.
- **gap** Em semicondutores, termo relacionado a quantidade de energia necessária para que um elétron efetue transição de banda.
- **electric breakdown field** Campo elétrico que tende a romper a rigidez dielétrica do semicondutor.
- **dv/dt** Termo geralmente empregado para informar a existência de uma variação de tensão(dv), em função de um tempo(dt).
- **di/dt** Termo geralmente empregado para informar a existência de uma variação de corrente(di), em função de um tempo(dt).
- **ferrite bead** Dispositivo passivo que exhibe aumento da resistividade elétrica com o aumento da frequência, sendo geralmente utilizado para suprimir ruídos elétricos em circuitos eletrônicos.
- **threshold** Valor limiar a partir do qual se começa a produzir algum efeito. Nos FETs, *threshold voltage* é a tensão que quando aplicada nos terminais *gate-source*, faz com que comece a circular corrente pelos tesminais *drain-source*.

- **hard switch** Processo de comutação de semicondutores que ocorre sobre tensão e corrente, dissipando grande energia. Também conhecido pela comutação que ocorre em arranjos de transistores em ponte (inversores por exemplo), quando existe corrente circulando por um diodo do transistor complementar.
- **datasheet** Documento fornecido pelo fabricante, com dados e especificações dos semicondutores.
- **softness factor** Fator que caracteriza o tipo de recuperação reversa do diodo.
- **Miller** Em transistores de efeito de campo, esse termo está relacionado ao patamar de tensão (Miller plateau) no terminal *gate*, que ocorre no intervalo de tempo onde existe variação da tensão entre os terminais *drain-source*, devido a capacitância entre os terminais *gate-drain* Q_{GD} . Esta capacitância muitas vezes é também chamada de capacitância Miller.
- **bootstrap** Arranjo empregado no comando de transistores em ponte, com o objetivo de obter-se uma fonte de tensão com referência no terminal *source* do transistor superior.
- **anti-aliasing** Em circuitos condicionadores de sinais, é um filtro empregado para restringir a banda do sinal que será amostrado, de forma que este atenda os critérios de Nyquist.
- **Hall** Efeito relacionado ao surgimento de uma diferença de potencial em um condutor elétrico, transversal ao fluxo de corrente e um campo magnético perpendicular à corrente. Esse fenômeno, descoberto em 1879 por Edwin H.
- **feedforward** Forma de controle que objetiva antecipar uma ação de controle, com base em uma ou mais variáveis de entrada.
- **oversampling** Em processamento de sinais, é processo de se amostrar um sinal, empregando uma taxa significativamente superior que

a definida pela taxa de Nyquist. Esta técnica é empregada como forma de se melhorar a resolução do sinal e reduzir ruídos.

- **depleção** Em MOSFETs é uma característica construtiva do transistor, fazendo que este fique em estado normalmente ligado quando uma tensão de zero volts é aplicada entre *gate-source*. Uma tensão negativa entre *gate-source* deve ser aplicada de forma a bloquear o transistor.
- **intensificação** Em MOSFETs é uma característica construtiva do transistor, fazendo que este fique em estado de bloqueio quando uma tensão de zero volts é aplicada entre *gate-source*. Uma tensão positiva entre *gate-source* deve ser aplicada de forma colocar o transistor em condução.

REFERÊNCIAS BIBLIOGRÁFICAS

AKAGI E. WATANABE, M. A. H. **Instantaneous power theory and applications to power conditioning**. [S.l.: s.n.], 2007.

AL-NASEEM, R. W. E. O.; CARLIN, P. Prediction of switching loss variations by averaged switch modeling. **Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, New Orleans, LA, 2000, pp. 242-248 vol.1**, 2000.

BAKER, B. **Optimize Your SAR ADC Design**. [S.l.],

BALIGA, B. J. **Fundamentals of Power Semiconductor Devices**. [S.l.: s.n.], 2008.

BATSCHAUER, A. L. **Inversor multiníveis híbrido trifásico baseado em módulos meia-ponte**. Tese (Tese de Doutorado em Engenharia Elétrica) — UFSC, 2011.

BINDRA, A. Apec guides engineers to latest advances in power devices, components, and packaging: High-voltage gallium nitride transistors and the new generation of digital controllers. **IEEE Power Electronics Magazine**, v. 2, n. 2, p. 48–53, June 2015. ISSN 2329-9207.

BRUNNING, C. **Retificador Bridgeless com Elevado Fator de Potência Utilizando One Cycle Control para Aplicação em Refrigeradores Domésticos**. Dissertação (Dissertação de Mestrado em Engenharia Elétrica) — UDESC, 2015.

BUSO, S.; MATTAVELLI, P. **Digital Control in Power Electronics**. First edition. [S.l.: s.n.], 2006.

CIOBOTARU, R. T. M.; BLAABJERG, F. A new single-phase pll structure based on second order generalized integrator. **Power Electronics Specialists Conference, 2006. PESC '06. 37th IEEE, 2006, pp. 1-6**, 2006.

ELEKTRONIK, W. **WE-CBF SMD EMI Suppression Ferrite Bead**. [S.l.], 2012.

EPC web. 2016. (Data do acesso 20-agosto-2016). Disponível em: <<http://epc-co.com/epc/Products/eGaNfetsandICs.aspx>>.

ERICKSON, R. W.; MAKSIMOVIC, D. **Fundamentals of Power Electronics**. Second edition. [S.l.: s.n.], 2001.

EVERTS J. DAS, J. V. d. K. M. G. J. D. J. Gan-based power transistors for future power electronic converters. **Proceedings of the IEEE Benelux Young Researchers Symposium on Smart Sustainable Power Delivery (YRS 2010), 29-30 March, Leuven, Belgium**. - S.l. : IEEE, 2010, 2010.

FAIRCHILD. **Design And Application Guide Of Bootstrap Circuit For High-Voltage Gate-Drive IC**. [S.l.], 2008.

FAIRCHILD. **MOSFET Basics**. [S.l.], 2013.

FAIRCHILD. **Driving and Layout Design for Fast Switching Super-Junction MOSFETs**. [S.l.], 2014.

FIGUEIREDO, J. P. M.; TOFOLI, F. L.; SILVA, B. L. A. A review of single-phase pfc topologies based on the boost converter. In: **Industry Applications (INDUSCON), 2010 9th IEEE/IAS International Conference on**. [S.l.: s.n.], 2010. p. 1–6.

GANSYSTEMS web. 2016. (Data do acesso 20-agosto-2016). Disponível em: <<https://www.gansystems.com/transistors.php>>.

HUANG, A. **Hard Commutation of Power MOSFET**. [S.l.], 2014.

HUANG QIANG LI, Z. L. F. C. L. X. Analytical loss model of high voltage gan hemt in cascode configuration. **ECCE**, 2013.

HUANG, X. et al. Evaluation and application of 600v gan hemt in cascode structure. In: **Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE**. [S.l.: s.n.], 2013. p. 1279–1286. ISSN 1048-2334.

HUBER, L.; JANG, Y.; JOVANOVIC, M. M. Performance evaluation of bridgeless pfc boost rectifiers. **IEEE Transactions on Power Electronics**, v. 23, n. 3, p. 1381–1390, May 2008. ISSN 0885-8993.

HUBER, L.; JANG, Y.; JOVANOVIC, M. M. Performance evaluation of bridgeless pfc boost rectifiers. **IEEE Transactions on Power Electronics**, v. 23, n. 3, p. 1381–1390, May 2008. ISSN 0885-8993.

IEC. **IEC61000-3-2 Ed 4.0 - Electromagnetic compatibility (EMC) - Part 3-2: Limits for harmonic current emissions (equipment input current up to 16 A per phase)**. [S.l.], 2014.

IR. **Use Gate Charge to Design the Gate Drive Circuit for Power MOS-FETs and IGBTs**. [S.l.], 2010.

IR. **IGBT Characteristics**. [S.l.], 2012.

JONES, E. A.; WANG, F. F.; COSTINETT, D. Review of commercial gan power devices and gan-based converter design challenges. **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 4, n. 3, p. 707–719, Sept 2016. ISSN 2168-6777.

KANAMURA, M. et al. Recent progress in gan hemt for high-frequency and high-power applications. In: **Radio-Frequency Integration Technology (RFIT), 2012 IEEE International Symposium on**. [S.l.: s.n.], 2012. p. 156–158.

KAZIMIERCZUK, M. K. **Pulse-width Modulated DC–DC Power Converters**. First edition. [S.l.: s.n.], 2008.

LANGE, A. D. B. **RETIFICADOR PFC MONOFÁSICO PWM BRIDGE-LESS TRÊS-NÍVEIS DE ALTO DESEMPENHO**. Dissertação (Dissertação de Mestrado em Engenharia Elétrica) — UFSC, 2012.

L.BALOGH. **Design and Application Guide for High Speed MOSFET Gate Drive Circuits**. [S.l.], 2001.

LI, Q.; ANDERSEN, M. A. E.; THOMSEN, O. C. Conduction losses and common mode emi analysis on bridgeless power factor correction. In: **2009 International Conference on Power Electronics and Drive Systems (PEDS)**. [S.l.: s.n.], 2009. p. 1255–1260. ISSN 2164-5256.

LIDOW JOHAN STRYDOM, M. d. R. Y. M. A. **GaN Transistors for Efficient Power Conversion**. First edition. [S.l.: s.n.], 2012.

LUTZ H. SCHLANGENOTTO, U. S. R. D. J. **Semiconductor Power Devices Physics, Characteristics, Reliability**. [S.l.: s.n.], 2011.

MARZ, M. Thermal management in high-density power converters. **Industrial Technology, 2003 IEEE International Conference on, 2003**, pp. 1196-1201 Vol.2, 2003.

MASUMOTO, K.; SHOYAMA, M. Comparative study about efficiency and switching noise of bridgeless pfc circuits. In: **Renewable Energy Research and Applications (ICRERA), 2012 International Conference on**. [S.l.: s.n.], 2012. p. 1–5.

MCARTHUR, R. **Making Use of Gate Charge Information in MOSFET and IGBT Data Sheets**. [S.l.], 2001.

MICROELECTRONICS, S. **How to get the best ADC accuracy in STM32Fx Series and STM32L1 Series devices**. [S.l.], 2013.

MICROELECTRONICS, S. **DM00097745**. [S.l.], 2015.

MICROMETALS. **MS-225060-2 datasheet**. [S.l.], 2014.

MILLIGAN, J. W. et al. Sic and gan wide bandgap device technology overview. In: **2007 IEEE Radar Conference**. [S.l.: s.n.], 2007. p. 960–964. ISSN 1097-5659.

MILLÁN, J. et al. A survey of wide bandgap power semiconductor devices. **IEEE Transactions on Power Electronics**, v. 29, n. 5, p. 2155–2163, May 2014. ISSN 0885-8993.

MIMURA, T. The early history of the high electron mobility transistor (hemt). **IEEE Transactions on Microwave Theory and Techniques**, v. 50, n. 3, p. 780–782, Mar 2002. ISSN 0018-9480.

MITOVA, R. et al. Investigations of 600-v gan hemt and gan diode for power converter applications. **IEEE Transactions on Power Electronics**, v. 29, n. 5, p. 2441–2452, May 2014. ISSN 0885-8993.

NODARI, L. M. **Sistema De Controle Digital Com Rápida Resposta Transitória Para Um Retificador Monofásico Meia-Ponte**. Dissertação (Dissertação de Mestrado em Engenharia Elétrica) — UDESC, 2011.

PANASONIC web. 2016. (Data do acesso 20-agosto-2016). Disponível em: <<http://www.semicon.panasonic.co.jp/en/products/powerics/ganpower/#products-document>>.

SOUZA, A. F. de. **Retificadores monofásicos de alto fator de potência com reduzidas perdas de condução e comutação suave**. Tese (Tese de Doutorado em Engenharia Elétrica) — UFSC, 1998.

STM. **Understanding And Minimising Adc Conversion Errors**. [S.l.], 2003.

ÅSTRÖM, B. W. K. **PID controllers: theory, design and tuning**. Second edition. [S.l.: s.n.], 1995.

SU, B.; LU, Z. An interleaved totem-pole boost bridgeless rectifier with reduced reverse-recovery problems for power factor correction. **IEEE Transactions on Power Electronics**, v. 25, n. 6, p. 1406–1415, June 2010. ISSN 0885-8993.

TRANSPHORM web. 2016. (Data do acesso 20-agosto-2016). Disponível em: <<http://www.transphormusa.com/products/>>.

ZHANG, W. et al. Gate drive design considerations for high voltage cascode gan hemt. In: **2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014**. [S.l.: s.n.], 2014. p. 1484–1489. ISSN 1048-2334.

APÊNDICE A – ESTIMATIVA DE PERDAS MAGNÉTICAS NO INDUTOR

Estimativa de perdas magnéticas no Indutor do Boost

2) Perdas Magnéticas

Dados do Nucleo

#####

Nucleo: MS 225060-2
 material: Sendust
 Fabricante: Arnold Magnetics

OD	(nom. - bare core)	57.15 mm	2.250 in
	(max. - after coating)	58.04 mm	2.285 in
ID	(nom. - bare core)	35.56 mm	1.400 in
	(min. - after coating)	34.75 mm	1.368 in
Ht	(nom. - bare core)	13.97 mm	0.550 in
	(max. - after coating)	14.86 mm	0.585 in
Mass	(approximate)	120 grams	
Magnetic Dimensions	A _e - Eff. Mag. Cross Section	1.44 cm ²	
	L _e - Eff. Mag. Path Length	14.296 cm	
	V _e - Eff. Core Volume	20.7 cm ³	
	WA - Min. Eff. Window Area	9.48 cm ²	
	sa - Surface Area	109 cm ²	
	mlt - mean length per turn	7.04 cm	
Inductance	μ _i (reference)	60	
	A _L value (nominal)	75 nH/N ²	
	Test Winding	N=80, #18 AWG	
	Frequency	10 kHz	
	Voltage on Agilent 4284A	0.51 V	
	AL tolerance	±8%	

$$A_l := 75 \times 10^{-9} \text{ H}$$

$$L_e := 0.15 \text{ m}$$

$$\mu_0 := 0.6 \quad \text{Retirado do gráfico}$$

$$\mu_M := 60 \left(10^{-6} \frac{\text{H}}{\text{m}} \right)$$

$$V_e := 20.7 \text{ cm}^3$$

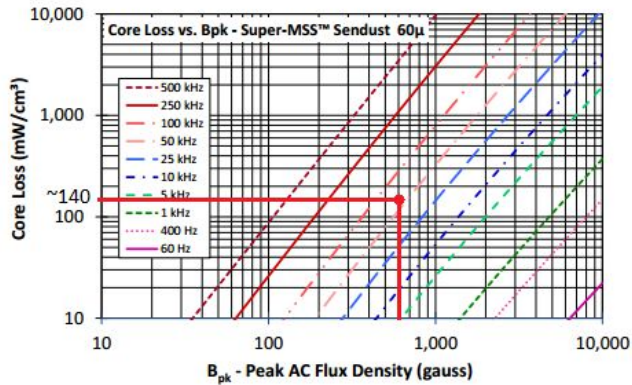
#####

$$N_{\text{esp}} := \sqrt{\frac{Lb}{A_l}} = 108.3205 \quad \text{numero de espiras}$$

$$B_{\text{max}M} := \frac{0.4 \pi \cdot N_{\text{esp}} \cdot IL_{\text{pico}}}{L_e} \cdot \mu_0 \cdot \mu_M = 0.2404T$$

$$B_{\text{min}M} := \frac{0.4 \pi \cdot N_{\text{esp}} \cdot (IL_{\text{pico}} - \Delta IL_{\text{max}})}{L_e} \cdot \mu_0 \cdot \mu_M = 0.1738T$$

$$\Delta B_{\text{max}M} := (B_{\text{max}M} - B_{\text{min}M}) = 666.1609G$$



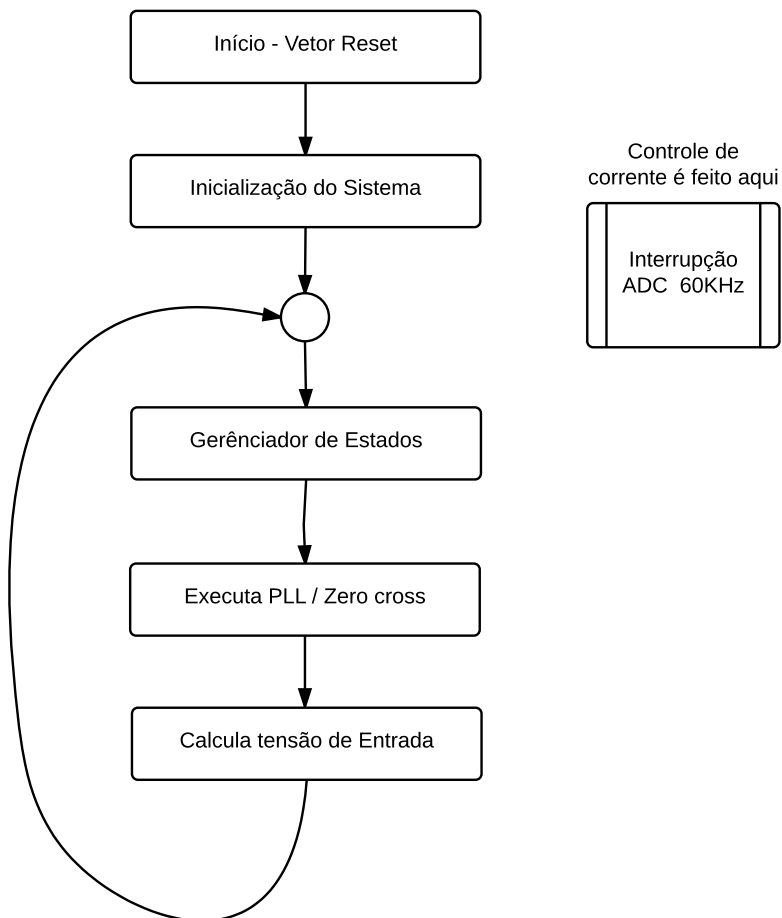
$$DPC := 140 \frac{\text{mW}}{\text{cm}^3}$$

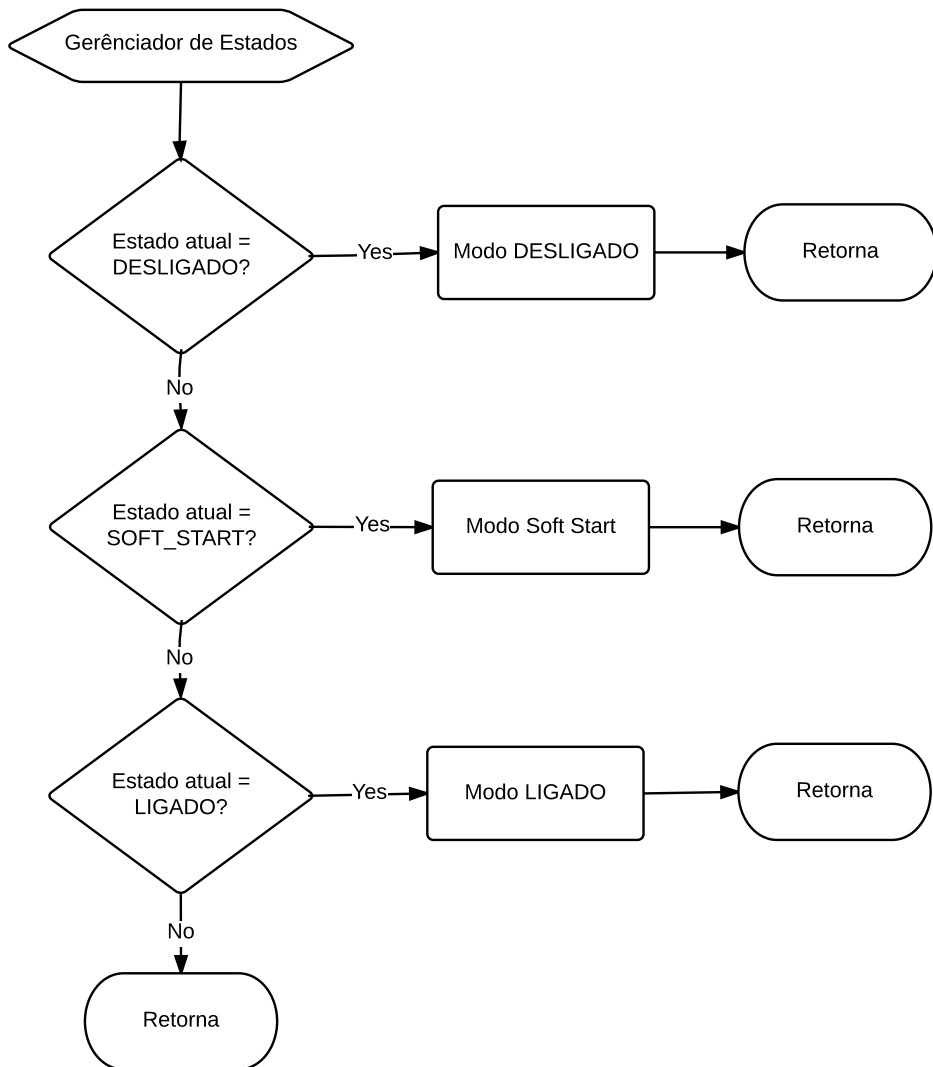
Retirado do Gráfico a partir do Delta B max

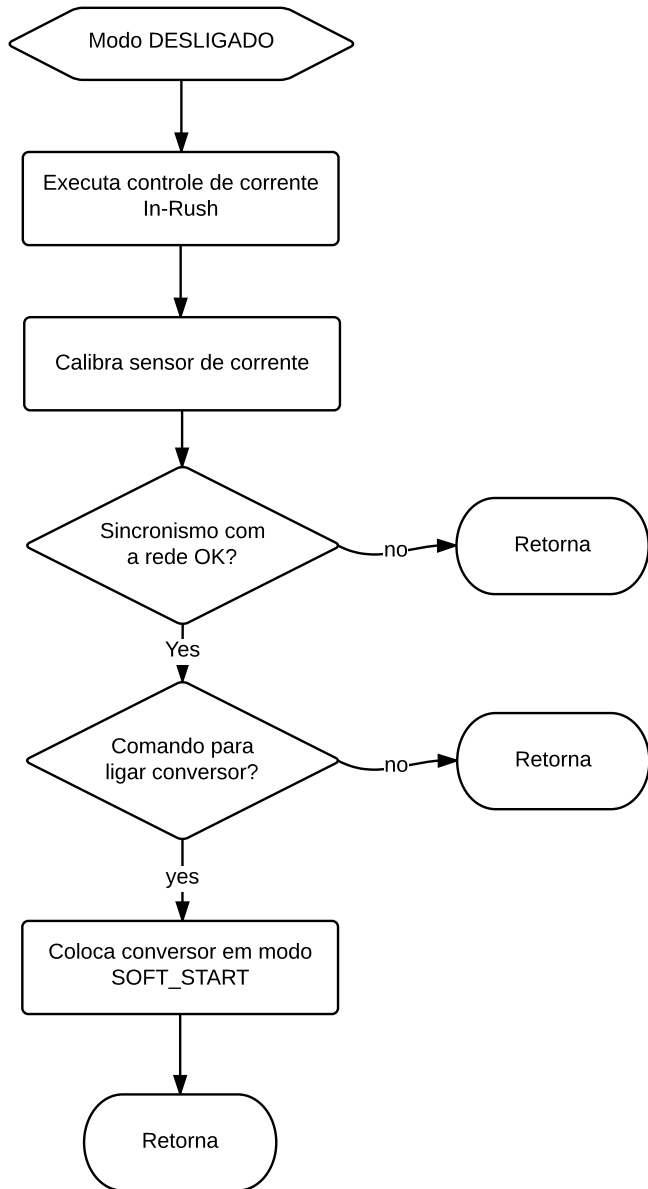
$$PM_{Lb} := DPC \cdot V_e = 2.898W$$

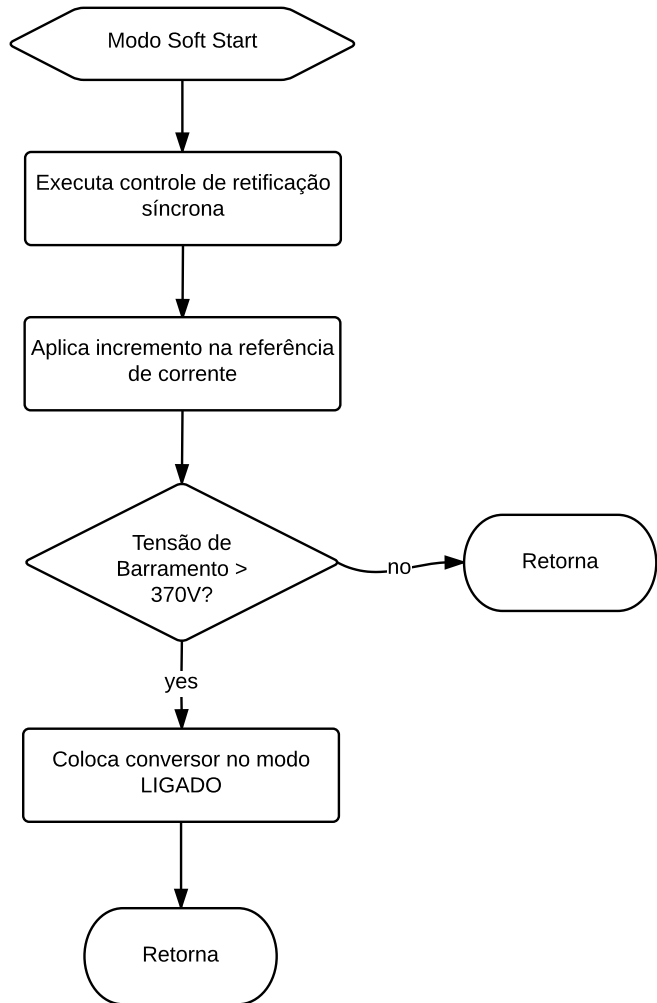
Perdas Magnéticas

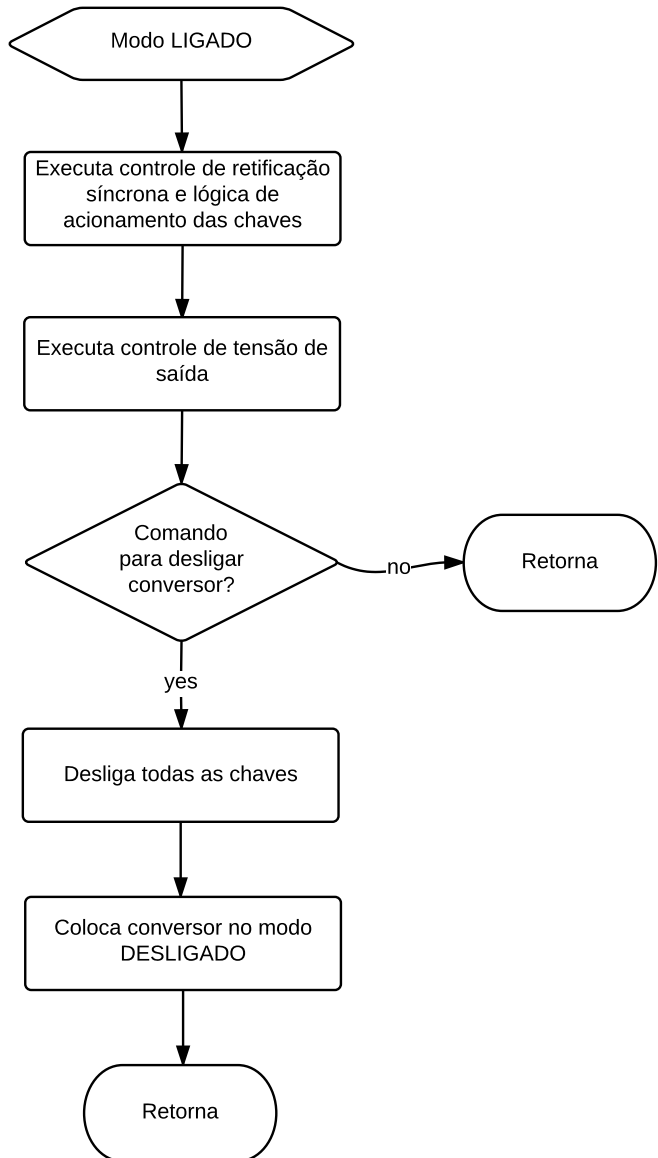
APÊNDICE B – FLUXOGRAMA DE CONTROLE DO CON- VERSOR

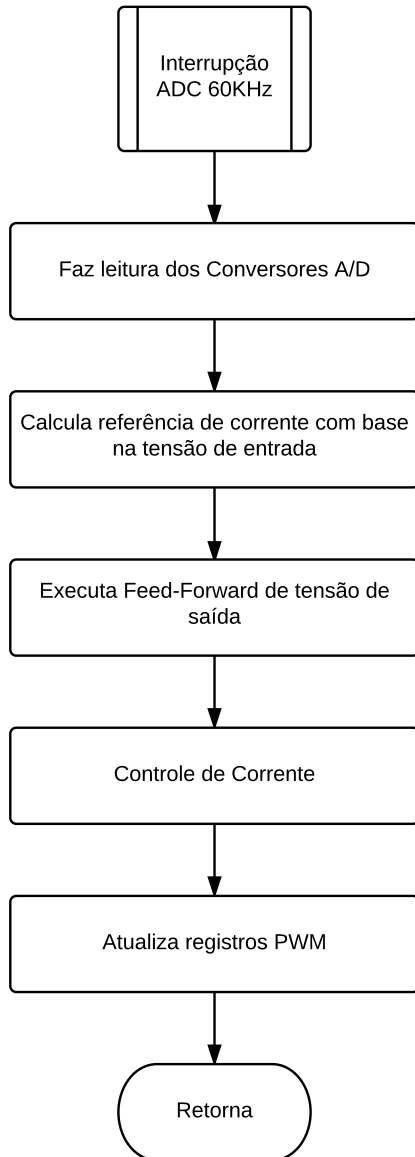




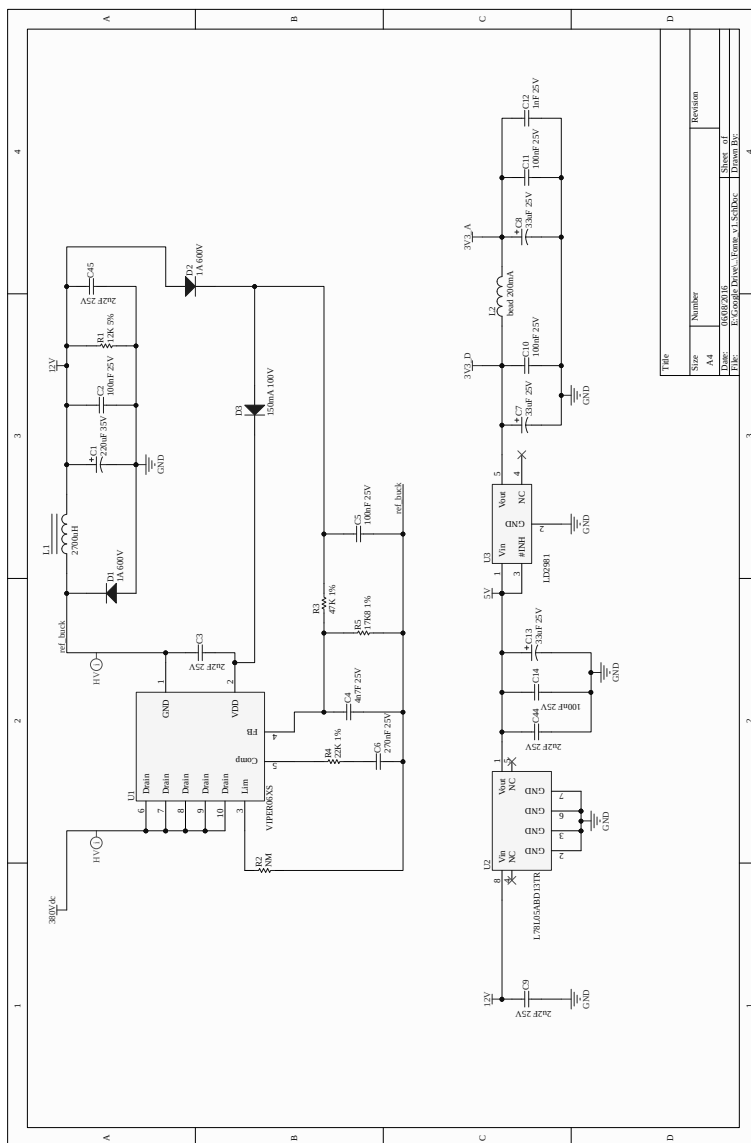






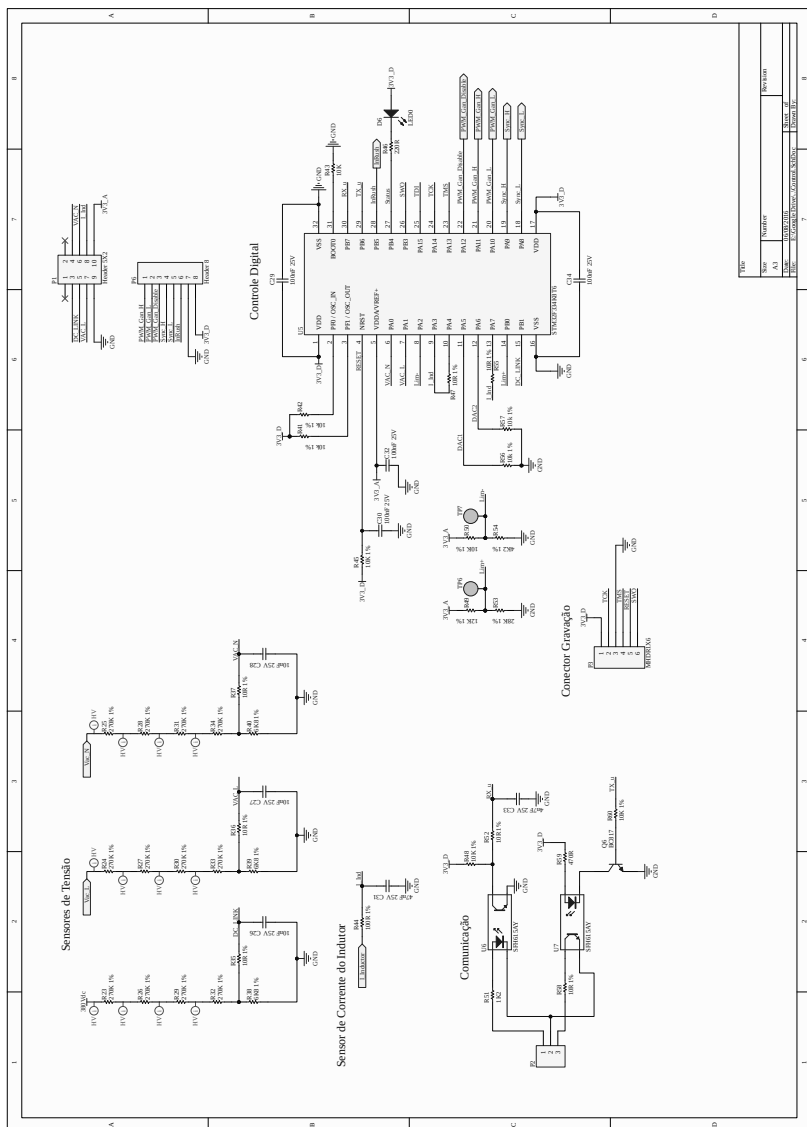


APÊNDICE C – ESQUEMÁTICO DO CONVERSOR



Fonte: Produção do Autor.

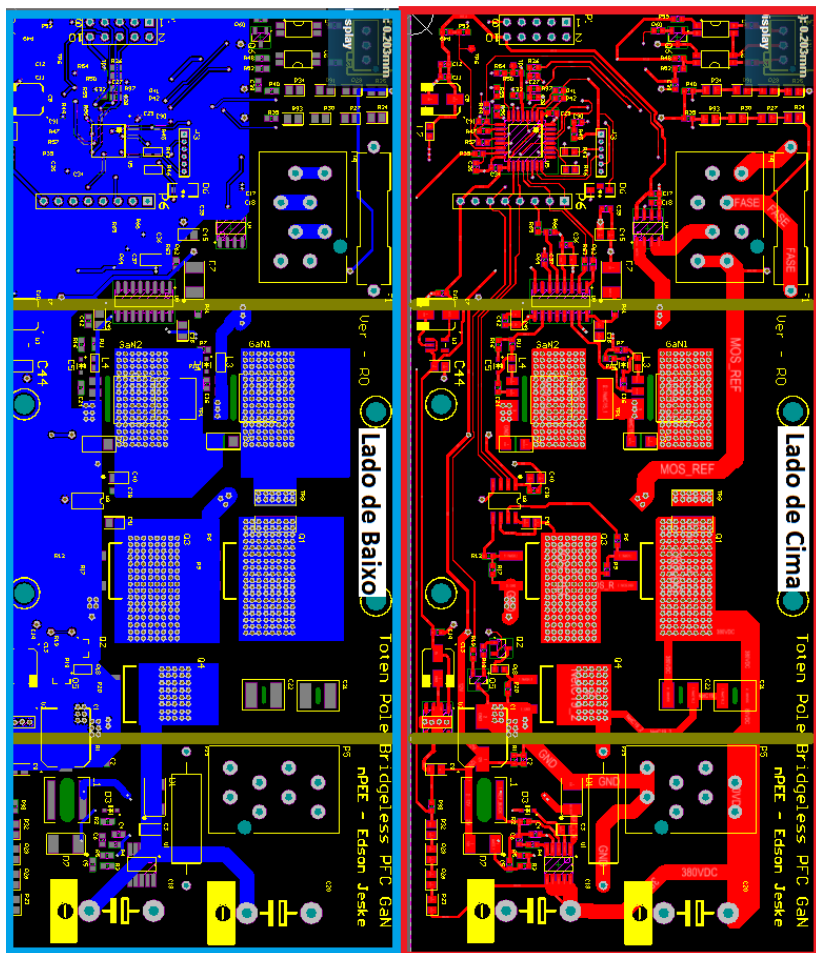
Figura C.4: Micro-controlador e Periféricos



Fonte: Produção do Autor.

APÊNDICE D – LAYOUT DA PLACA DE CIRCUITO IMPRESSO

Figura D.1: Layout da Placa Eletrônica do Conversor



Fonte: Produção do Autor.

Anexos

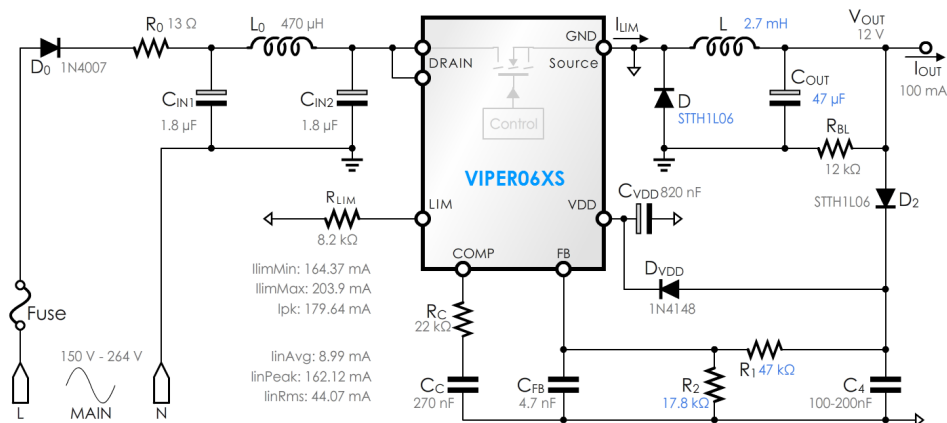
ANEXO A – PROJETO DA FONTE AUXILIAR - VIPER06

Vin: 150 V - 264 V **Vout:** 12 V **Iout:** 100 mA

Switch Frequency: 30 kHz

IC: VIPER06XS - SSO10

System Operating Condition: **Vin:** 264 V - **Iout:** 100 mA - **Ta:** 25 °C



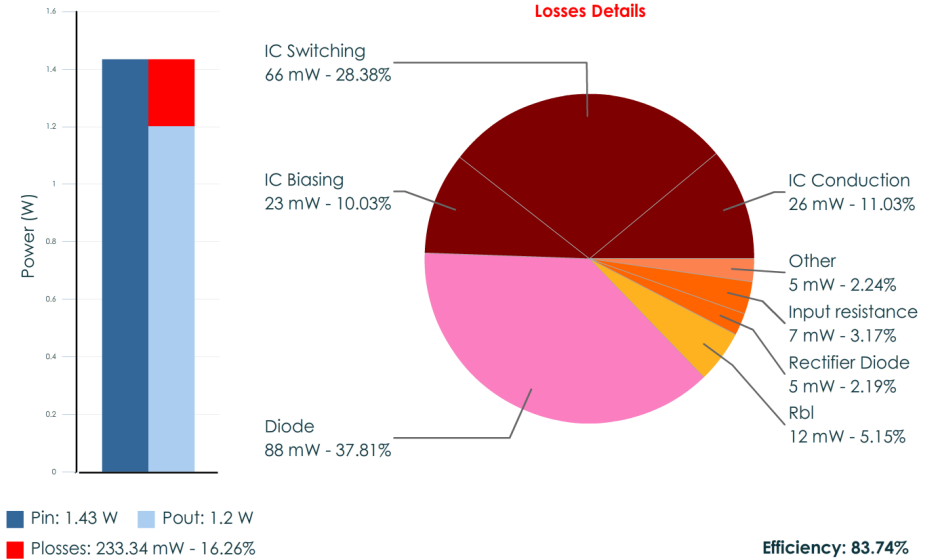
Bill of Materials

Type	Reference	Value	Description
IC	IC	VIPER06XS	VIPER06XS - SSO10
Capacitor	Cout	47 µF	16 V - 20% - Panasonic - EEEFC1C470P
Inductor	L	2.7 mH	700 mA - Coilcraft - RFS1317-275KL
Diode	D	STTH1L06	1 A, 600 V - STMicroelectronics
Resistor	R1	47 kΩ	47 kΩ
Resistor	R2	17.8 kΩ	17.8 kΩ
Capacitor	Cc	270 nF	270 nF
Resistor	Rc	22 kΩ	22 kΩ
Capacitor	Cfb	4.7 nF	4.7 nF
Diode	Din	1N4007	1 A, 1 kV - Fairchild
Resistor	Rin	13 Ω	13 Ω
Inductor	Lin	470 µH	170 mA
Capacitor	Cin1	1.8 µF	400 V - 20%
Capacitor	Cin2	1.8 µF	400 V - 20%
Capacitor	C4	100-200nF	

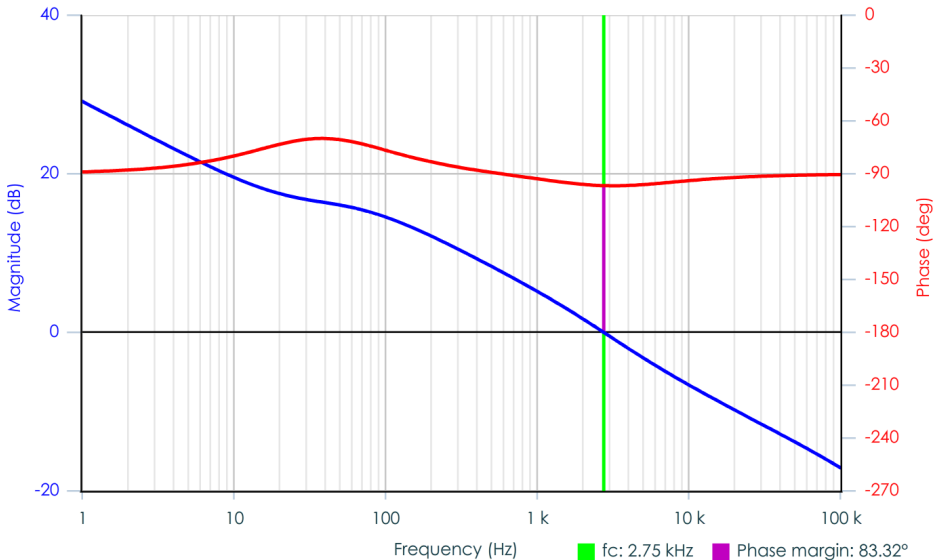
STMicroelectronics and/or its licensors do not warrant the accuracy or completeness of this specification or any information contained therein. STMicroelectronics and/or its licensors do not warrant that this design, design, or implementation will be suitable for your application or will operate in an implementation. STMicroelectronics and/or its licensors do not warrant that the design is production worthy. You should completely validate and test your design implementation to confirm the system functionality for your application.

Type	Reference	Value	Description
Diode	D2	STTH1L06	1 A, 600 V - STMicroelectronics
Resistor	Rlim	8.2 kΩ	8.2 kΩ
Diode	Dvdd	1N4148	200 mA, 100 V -
Capacitor	Cvdd	820 nF	820 nF
Resistor	Rbl	12 kΩ	12 kΩ

Power Losses

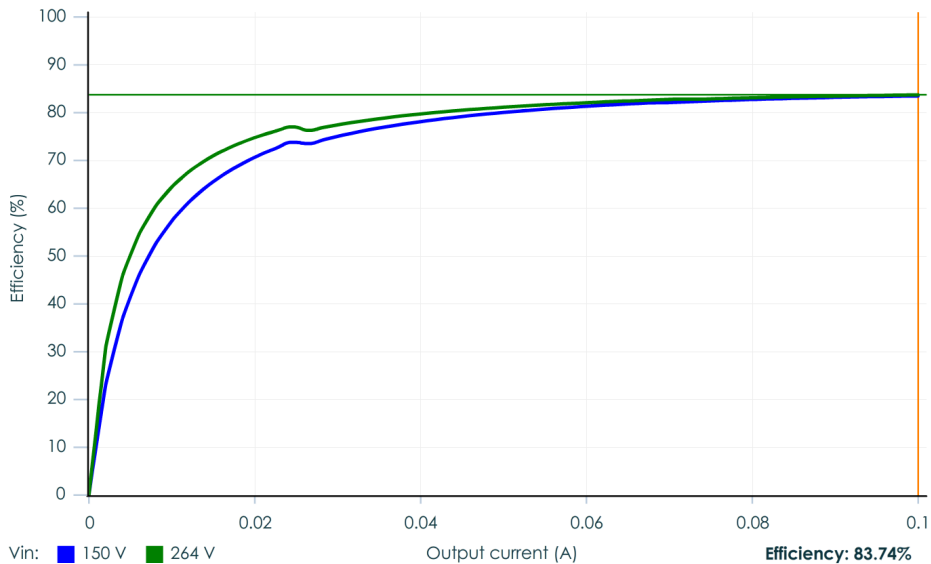


Bode

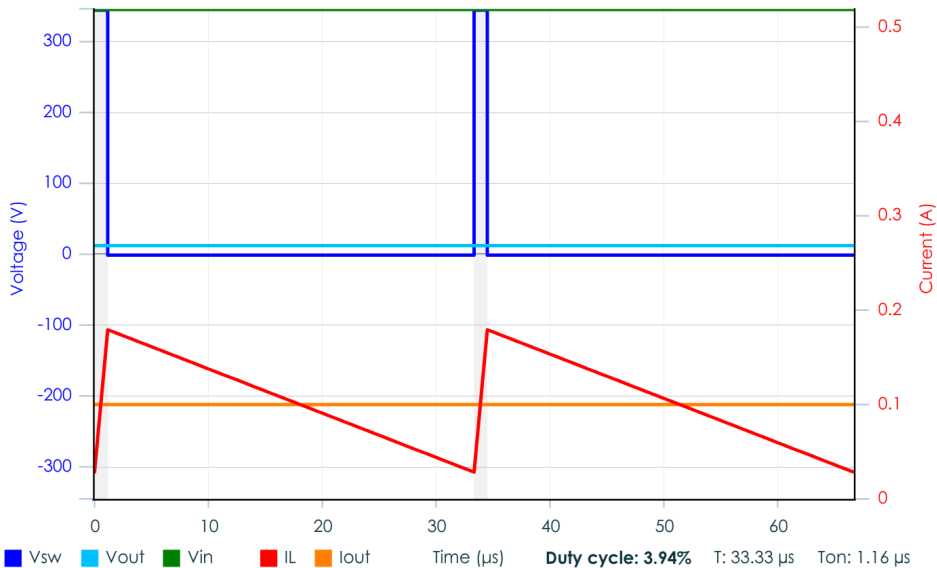


STMicroelectronics and/or its licensors do not warrant the accuracy or completeness of this specification or any information contained therein. STMicroelectronics and/or its licensors do not warrant that this phase design phase will meet the specifications, will be suitable for your application or will operate in an implementation. STMicroelectronics and/or its licensors do not warrant that the design is production worthy. You should completely validate and test your design implementation to confirm the system functionality for your application.

Efficiency



Simulation



STMicroelectronics and/or its licensors do not warrant the accuracy or completeness of this specification or any information contained therein. STMicroelectronics and/or its licensors do not warrant that this phase design phase will be suitable for your application or for any particular purpose, or will operate in an implementation. STMicroelectronics and/or its licensors do not warrant that the design is production worthy. You should completely validate and test your design implementation to confirm the system functionality for your application.